单通道、12/16位串行输入内置电流源和电压输出DAC

AD5412/AD5422

特性

12/16位分辨率和单调性
电流输出范围：4 mA至20 mA、0 mA至20 mA、0 mA至24 mA
　总非调整误差(TUE)：±0.01 %(典型值，FSR)
　输出漂移：±3 ppm/°C
电压输出范围：0 V至5 V、0 V至10 V、±5 V、±10 V
　允许超量程范围：10%
　总非调整误差 (TUE)：±0.01 %(典型值，FSR)
　输出温漂：±2 ppm/°C
灵活的串行数字接口
片内输出故障检测
片内基准电压源：最大温漂10 ppm/°C
异步清零功能
电源电压范围
　AV_{DD}：10.8 V至40 V
　AV_{SS}：−26.4 V至−3 V/0 V
输出环路顺从电压：AV_{DD} − 2.5 V
温度范围：-40℃至+85°C
TSSOP和LFCSP封装

应用

过程控制
执行器控制
PLC

概述

AD5412/AD5422是低成本、精密、完全集成、12/16位数模转换器(DAC)，内置可编程电流源和可编程电压输出，设计用于满足工业过程控制应用的需要。

输出电流范围可编程设置为4 mA至20 mA、0 mA至20 mA或者超量程的0 mA至24 mA。

电压输出由一个独立引脚提供，该引脚可配置成提供0 V至5 V、0 V至10 V、±5 V或±10 V输出范围；所有范围均提供10%的超量程。

模拟输出有短路和开路保护，可驱动1 μF的容性负载。

器件采用10.8 V至40 V的AVDD电源电压范围工作。输出环路顺从电压为0 V至AVDD − 2.5 V。

灵活的串行接口为SPI和MICROWIRE™兼容型，可以采用三线式模式工作，从而极大地降低隔离应用的数字隔离要求。

器件还包括上电复位功能，确保器件在已知状态下上电。该器件还含有一个异步清零引脚(CLEAR)，它可将输出设置为零电平/中间电平电压输出或将输出设置为选定电流范围的低端。

在电流模式和电压模式下，总输出误差典型值均为±0.01%。

表1. 引脚兼容器件

产品型号	描述
AD5410	单通道、12位、串行输入电流源DAC
AD5420	单通道、16位、串行输入电流源DAC

Rev. C
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700　www.analog.com
Fax: 781.461.3113
©2009-2010 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

www.BDTIC.com/ADI/

目录

特性 1
应用 1
概述 1
修订历史 2
功能框图 3
技术规格 4
交流工作特性 7
时序特性 8
绝对最大额定值 10
ESD警告 10
引脚配置和功能描述 11
典型工作特性 13
概述 13
电压输出 15
电流输出 20
术语 24
工作原理 26
架构 26
串行接口 27
上电状态 28
数据寄存器 29
控制寄存器 29
复位寄存器 30
状态寄存器 30
AD5412/AD5422特性 31
故障报警 31
电压输出短路保护 31
电压输出超量程 31
电压输出驱动-检测 31
异步清零(CLEAR) 31
内部基准电压源 31
外部电流设置电阻 31
数字电源 32
外部增强功能 32
外部补偿电容 32
数字压摆率控制 32
I_{OUT} 滤波电容(LFCSP封装) 33
应用信息 35
驱动感性负载 35
瞬变电压保护 35
电流隔离接口 35
微处理器接口 35
布局指南 35
散热和电源考量 36
工业模拟输出模块 37
外形尺寸 38
订购指南 39

修订历史

2010年3月—修订版B至修订版C

更改表5中的AVSS至GND参数 10

2010年2月—修订版A至修订版B

更改散热和电源考量部分及表25 36

2009年8月—修订版0至修订版A

更改表2 4
更改表3 7
更改表4简介 8
更改表5简介和表5 10
更改引脚配置和功能描述部分，增加图6，后续图重新编号 11
更改工作原理部分 26
更改架构部分 26
更改AD5412/AD5422特性部分 31
增加I_{OUT}滤波电容(LFCSP封装)部分，加入图69至图72和表24 33
更改散热和电源考量部分 36
更新外形尺寸 38
更改订购指南 39

2009年5月—修订版0：初始版

www.BDTIC.com/ADI/

功能框图

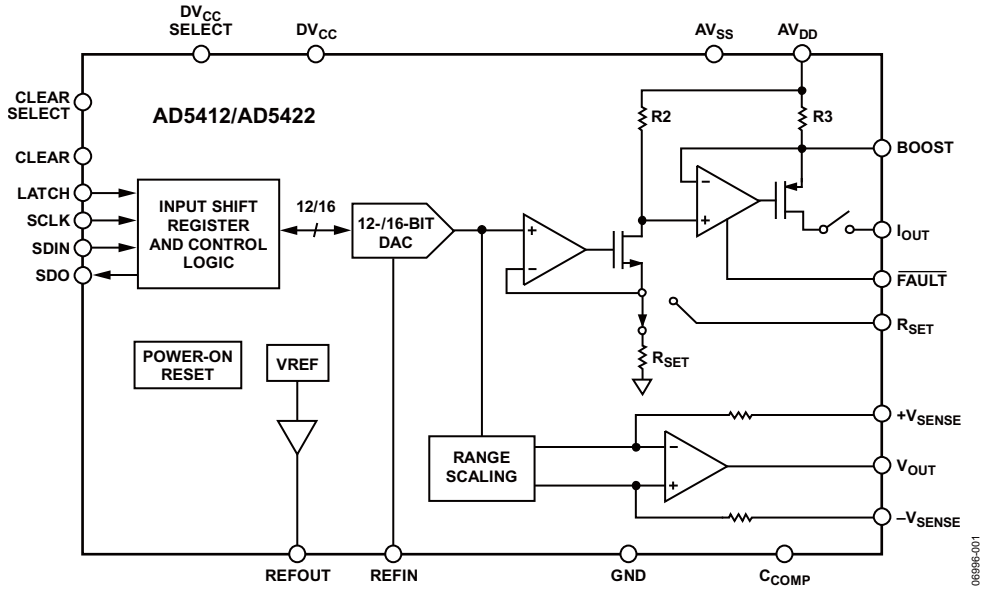


图1.

www.BDTIC.com/ADI/

技术规格

AV_{DD} = 10.8 V至26.4 V，AV_{SS} = −26.4 V至−3 V/0 V，AV_{DD} + |AV_{SS}| < 52.8 V，GND = 0 V，REFIN = 5 V(外部)；DV_{CC} = 2.7 V至5.5 V。除非另有说明，V_{OUT}: R_{LOAD} = 1 kΩ，C_L = 200 pF，I_{OUT}: R_{LOAD} = 350 Ω；所有技术规格均相对于T_{MIN}至T_{MAX}而言。

表2

参数[1]	最小值	典型值	最大值	单位	测试条件/注释
电压输出					
输出电压范围	0		5	V	
	0		10	V	
	−5		+5	V	
	−10		+10	V	
精度					输出端无负载
分辨率	16			位	AD5422
	12			位	AD5412
总非调整误差(TUE)					
B级	−0.1		+0.1	% FSR	
	−0.05	±0.01	+0.05	% FSR	T_A = 25°C
A级	−0.3		+0.3	% FSR	
	−0.1	±0.05	+0.1	% FSR	T_A = 25°C
相对精度(INL)[2]	−0.008		+0.008	% FSR	AD5422
	−0.032		+0.032	% FSR	AD5412
微分非线性(DNL)	−1		+1	LSB	保证单调性
双极性零误差	−6		+6	mV	双极性输出范围
	−1.5	±0.2	+1.5	mV	T_A = 25°C，双极性输出范围
双极性零误差温度系数(TC)[3]		±3		ppm FSR/°C	双极性输出范围
零电平误差	−5		+5	mV	
	−3.5	±0.3	+3.5	mV	T_A = 25°C
零电平误差温度系数(TC)[3]		±2		ppm FSR/°C	
失调误差	−4		+4	mV	单极性输出范围
	−1.5	±0.2	+1.5	mV	T_A = 25°C，单极性输出范围
失调误差温度系数(TC)[3]		±2		ppm FSR/°C	单极性输出范围
增益误差	−0.07		+0.07	% FSR	
	−0.05	±0.004	+0.05	% FSR	T_A = 25°C
增益误差温度系数(TC)[3]		±1		ppm FSR/°C	
满量程误差	−0.07		+0.07	% FSR	
	−0.05	±0.001	+0.05	% FSR	T_A = 25°C
满量程误差温度系数(TC)[3]		±1		ppm FSR/°C	
输出特性[3]					
裕量		0.5	0.8	V	输出端无负载
输出电压漂移与时间的关系		90		ppm FSR	1000小时后漂移，TA = 125°C
短路电流		20		mA	
负载	1			kΩ	
容性负载稳定性					T_A = 25°C
R_{LOAD} = ∞			20	nF	
R_{LOAD} = 1 kΩ			5	nF	
R_{LOAD} = ∞			1	µF	连接4 nF外部补偿电容
直流输出阻抗		0.3		Ω	
上电时间		10		µs	

www.BDTIC.com/ADI/

参数[1]	最小值	典型值	最大值	单位	测试条件/注释
DC PSRR		90	130	μV/V	
		3	12	μV/V	输出端无负载
电流输出					
输出电流范围	0		24	mA	
	0		20	mA	
	4		20	mA	
精度(内部R_{SET})					
分辨率	16			位	AD5422
	12			位	AD5412
总非调整误差(TUE)					
B级	−0.3		+0.3	% FSR	
	−0.13	±0.08	+0.13	% FSR	T_A = 25°C
A级	−0.5		+0.5	% FSR	
	−0.3	±0.15	+0.3	% FSR	T_A = 25°C
相对精度(INL)[4]	−0.024		+0.024	% FSR	AD5422
	−0.032		+0.032	% FSR	AD5412
微分非线性(DNL)	−1		+1	LSB	保证单调性
失调误差	−0.27		+0.27	% FSR	
	−0.12	±0.08	+0.12	% FSR	T_A = 25°C
失调误差温度系数(TC)[3]		±16		ppm FSR/°C	
增益误差	−0.18		+0.18	% FSR	AD5422
	−0.03	±0.006	+0.03	% FSR	AD5422, T_A = 25°C
	−0.22		+0.22	% FSR	AD5412
	−0.06	±0.006	+0.06	% FSR	AD5412, T_A = 25°C
增益温度系数(TC)[3]		±10		ppm FSR/°C	
满量程误差	−0.2		+0.2	% FSR	
	−0.1	±0.08	+0.1	% FSR	T_A = 25°C
满量程温度系数(TC)[3]		±6		ppm FSR/°C	
精度(外部R_{SET})					
分辨率	16			位	AD5422
	12			位	AD5412
总非调整误差(TUE)					
B级	−0.15		+0.15	% FSR	
	−0.06	±0.01	+0.06	% FSR	T_A = 25°C
A级	−0.3		+0.3	% FSR	
	−0.1	±0.02	+0.1	% FSR	T_A = 25°C
相对精度(INL)[4]	−0.012		+0.012	% FSR	AD5422
	−0.032		+0.032	% FSR	AD5412
微分非线性(DNL)	−1		+1	LSB	保证单调性
失调误差	−0.1		+0.1	% FSR	
	−0.03	±0.006	+0.03		T_A = 25°C
失调误差温度系数(TC)[3]		±3		μA/°C	
增益误差	−0.08		+0.08	% FSR	
	−0.05	±0.003	+0.05	% FSR	T_A = 25°C
增益温度系数(TC)[3]		±4		ppm FSR/°C	
满量程误差	−0.15		+0.15	% FSR	
	−0.06	±0.01	+0.06	% FSR	T_A = 25°C
满量程温度系数(TC)[3]		±7		ppm FSR/°C	

www.BDTIC.com/ADI/

参数[1]	最小值	典型值	最大值	单位	测试条件/注释
输出特性[3]					
电流环路顺从电压	0		AV_{DD} – 2.5	V	
输出电流漂移与时间的关系					1000小时后漂移，T_A = 125°C
		50		ppm FSR	内部R_{SET}
		20		ppm FSR	外部R_{SET}
阻性负载			1200	Ω	
感性负载		50		mH	T_A = 25 °C
直流电源抑制比			1	µA/V	
输出阻抗		50		MΩ	
输出禁用时的输出漏电流		60		pA	
基准电压输入/输出					
基准电压输入[3]					
基准输入电压	4.95	5	5.05	V	额定性能
直流输入阻抗	27	40		kΩ	
基准电压输出					
输出电压	4.995	5	5.005		T_A = 25°C
基准电压源温度系数(TC)[3, 5]		1.8	10	ppm/°C	
输出噪声(0.1 Hz至10 Hz)[3]		10		µV p-p	
噪声频谱密度3		100		nV/√Hz	10 kHz时
输出电压漂移与时间的关系[3]		50		ppm	1000小时后漂移，T_A = 125°C
容性负载[3]		600		nF	
负载电流[3]		5		mA	
短路电流[3]		7		mA	
负载调整率[3]		95		ppm/mA	
数字输入[3]					符合JEDEC标准
输入高电压V_{IH}	2			V	
输入低电压V_{IL}			0.8	V	
输入电流	−1		+1	µA	每引脚
引脚电容		10		pF	每引脚
数字输出[3]					
SDO					
输出低电压V_{OL}			0.4	V	吸电流200 µA
输出高电压V_{OH}	DV_{CC} – 0.5			V	源电流200 µA
高阻抗漏电流	−1		+1	µA	
高阻抗输出电容		5		pF	
$\overline{FAULT}$					
输出低电压V_{OL}			0.4	V	至DV_{CC}的10 kΩ上拉电阻
输出低电压V_{OL}		0.6		V	2.5 mA时
输出高电压V_{OH}	3.6			V	至DV_{CC}的10 kΩ上拉电阻
电源要求					
AV_{DD}	10.8		40	V	
AV_{SS}	−26.4		0	V	
$\|AV_{SS}\| + AV_{DD}$	10.8		52.8	V	
DV_{CC}					
输入电压	2.7		5.5	V	内部电源禁用
输出电压		4.5		V	DV_{CC}，可过载至最高5.5 V
输出负载电流[3]		5		mA	
短路电流[3]		20		mA	

www.BDTIC.com/ADI/

参数[1]	最小值	典型值	最大值	单位	测试条件/注释
AI_{DD}					输出端无负载
		2.5	3	mA	输出禁用
		3.4	4	mA	电流输出使能
		3.9	4.4	mA	电压输出使能
AI_{SS}					输出端无负载
		0.24	0.3	mA	输出禁用
		0.5	0.6	mA	电流输出使能
		1.1	1.4	mA	电压输出使能
DI_{CC}			1	mA	$V_{IH} = DV_{CC}$，VIL = GND
功耗		128		mW	AV_{DD} = 40 V，AV_{SS} = 0 V，输出端无负载
		120		mW	AV_{DD} = +24 V，AV_{SS} = -24 V，输出端无负载

[1] 温度范围：−40°C至+85°C；+25°C时，典型值。
[2] 采用AV_{SS} = 0 V给AD5412/AD5422供电时，对于AD5422，0 V至5 V范围和0 V至10 V范围的INL从代码256开始测量，对于AD5412，从代码16开始测量。
[3] 通过设计和特性保证，但未经生产测试。
[4] 对于AD5422，0 mA至20 mA范围和0 mA至24 mA范围的INL从代码256开始测量，对于AD5412，从代码16开始测量。
[5] 片内基准电压经25°C和85°C生产调整与测试。特性范围为−40°C至+85°C。

交流工作特性

AV_{DD} = 10.8 V至26.4 V，AV_{SS} = −26.4 V至−3 V/0 V，$AV_{DD} + |AV_{SS}| < 52.8$ V，GND = 0 V，REFIN = +5 V(外部)；DV_{CC} = 2.7 V至5.5 V。除非另有说明，V_{OUT}: R_{LOAD} = 1 kΩ，C_L = 200 pF，I_{OUT}: R_{LOAD} = 350 Ω；所有技术规格均相对于T_{MIN}至T_{MAX}而言。

Table 3.

参数[1]	最小值	典型值	最大值	单位	测试条件/注释
动态性能					
电压输出					
输出电压建立时间			25	μs	10 V阶跃，±0.03 % FSR
		32		μs	20 V阶跃，±0.03 % FSR
			18	μs	5 V阶跃，±0.03 % FSR
		8		μs	512 LSB阶跃，±0.03 % FSR（16位LSB）
压摆率		0.8		V/μs	
上电脉冲干扰		10		nV-sec	
数模转换脉冲干扰		10		nV-sec	
毛刺脉冲峰值幅度		20		mV	
数字馈通		1		nV-sec	
输出噪声(0.1 Hz至10 Hz带宽)		0.1		LSB p-p	16位LSB
输出噪声(100 kHz带宽)		200		μV rms	
1/f转折频率		1		kHz	
输出噪声频谱密度		150		nV/√Hz	10 kHz下测量，中间电平输出，10 V范围
交流电源抑制比		−75		dB	200 mV 50 Hz/60 Hz正弦波叠加于电源电压上
电流输出					
输出电流建立时间		10		μs	16 mA阶跃，0.1% FSR
		40		μs	16 mA阶跃，0.1% FSR，L = 1 mH
交流电源抑制比		−75		dB	200 mV 50 Hz/60 Hz正弦波叠加于电源电压上

[1] 通过特性保证，但未经生产测试。

www.BDTIC.com/ADI/

时序特性

AV_{DD} = 10.8 V至26.4 V，AV_{SS} = −26.4 V至−3 V/0 V，$AV_{DD} + |AV_{SS}| < 52.8V$，GND = 0 V，REFIN = +5 V(外部)；DV_{CC} = 2.7 V至5.5 V。除非另有说明，V_{OUT}: R_{LOAD} = 1 kΩ，C_L = 200 pF，I_{OUT}: R_{LOAD} = 300 Ω；所有技术规格均相对于T_{MIN}至T_{MAX}而言。

Table 4.

参数[1, 2, 3]	在T_{MIN}、T_{MAX}时的限值	单位	描述
WRITE MODE			
t_1	33	ns, 最小值	SCLK周期时间
t_2	13	ns, 最小值	SCLK低电平时间
t_3	13	ns, 最小值	SCLK高电平时间
t_4	13	ns, 最小值	LATCH延迟时间
t_5	40	ns, 最小值	LATCH高电平时间
t_5	5	µs, 最小值	LATCH高电平时间(对控制寄存器进行写入后)
t_6	5	ns, 最小值	数据设置时间
t_7	5	ns, 最小值	数据保持时间
t_8	40	ns, 最小值	LATCH低电平时间
t_9	20	ns, 最小值	CLEAR脉冲宽度
t_{10}	5	µs, 最大值	CLEAR激活时间
READBACK MODE			
t_{11}	90	ns, 最小值	SCLK周期时间
t_{12}	40	ns, 最小值	SCLK低电平时间
t_{13}	40	ns, 最小值	SCLK高电平时间
t_{14}	13	ns, 最小值	LATCH延迟时间
t_{15}	40	ns, 最小值	LATCH高电平时间
t_{16}	5	ns, 最小值	数据设置时间
t_{17}	5	ns, 最小值	数据保持时间
t_{18}	40	ns, 最小值	LATCH低电平时间
t_{19}	35	ns, 最大值	串行输出延迟时间（$C_{L\ SDO}$[4]= 15 pF）
t_{20}	35	ns, 最大值	LATCH上升沿至SDO三态($C_{L\ SDO}$[4]= 15 pF)
DAISY-CHAIN MODE			
t_{21}	90	ns, 最小值	SCLK周期时间
t_{22}	40	ns, 最小值	SCLK低电平时间
t_{23}	40	ns, 最小值	SCLK高电平时间
t_{24}	13	ns, 最小值	LATCH延迟时间
t_{25}	40	ns, 最小值	LATCH高电平时间
t_{26}	5	ns, 最小值	数据设置时间
t_{27}	5	ns, 最小值	数据保持时间
t_{28}	40	ns, 最小值	LATCH低电平时间
t_{29}	35	ns, 最大值	串行输出延迟时间($C_{L\ SDO}$[4]= 15 pF)

[1] 通过特性保证，但未经生产测试。
[2] 所有输入信号均指定$t_R = t_F$ = 5 ns(10%至90%DV_{CC})并从1.2 V电平起开始计时。
[3] 参见图2、图3和图4。
[4] $C_{L\ SDO}$ = SDO输出上的容性负载。

www.BDTIC.com/ADI/

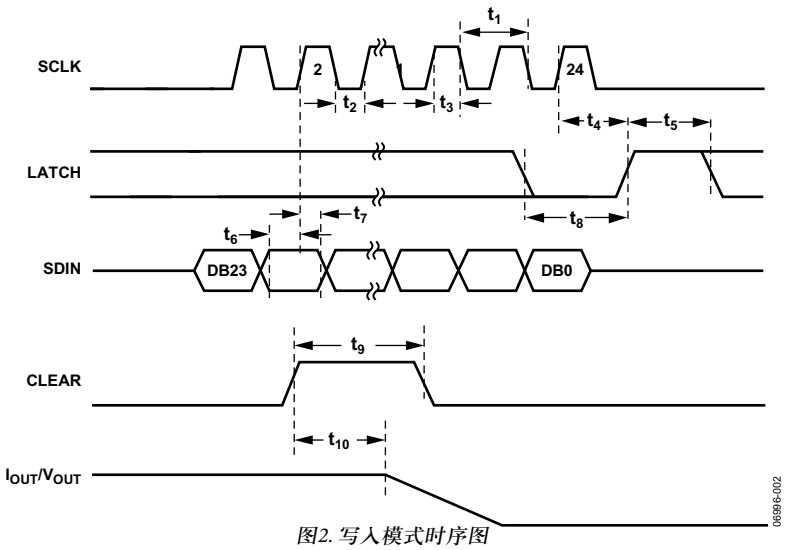


图2. 写入模式时序图

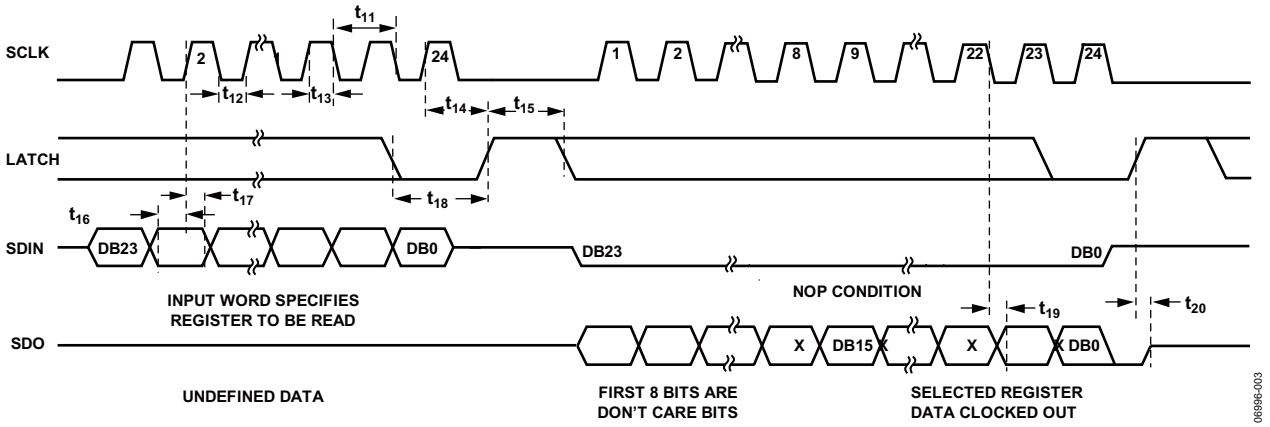


图3. 回读模式时序图

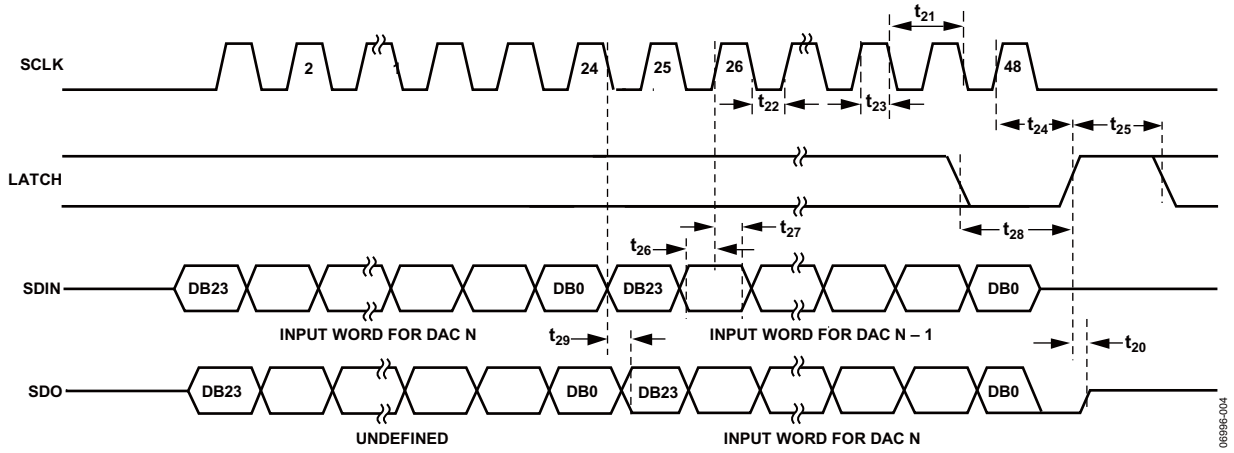


图4. 菊花链模式时序图

www.BDTIC.com/ADI/

绝对最大额定值

除非另有说明，T_A = 25°C。高达80 mA的瞬变电流不会造成SCR闩锁。

表5

参数	额定值
AV_{DD}至GND	-0.3 V至+48 V
AV_{SS}至GND	+0.3 V至-28 V
AV_{DD}至AV_{SS}	-0.3 V至+60 V
DV_{CC}至GND	-0.3 V至+7 V
数字输入至GND	−0.3 V至DV_{CC}+ 0.3 V或7 V（取较小者）
数字输出至GND	−0.3 V至DV_{CC}+ 0.3 V或7 V（取较小者）
REFIN/REFOUT至GND	-0.3 V至+7 V
V_{OUT}至GND	AV_{SS}至AV_{DD}
I_{OUT}至GND	−0.3 V至AV_{DD}
工作温度范围(T_A)	
工业[1]	-40℃至+85℃
存储温度范围	-65℃至+150℃
结温(T_J最大值)	125℃
24引脚TSSOP封装	
θ_{JA}热阻	42℃/W
40引脚LFCSP封装	
θ_{JA}热阻	28℃/W
功耗	(T_J最大值 − T_A)/θ_{JA}
引脚温度	JEDEC业界标准
焊接	J-STD-020
ESD(人体模型)	2 kV

[1] 必须降低芯片的功耗以保持结温低于125°C，假设最大功耗条件是采用4 mA片内电流将24 mA电流从I_{OUT}吸至GND。

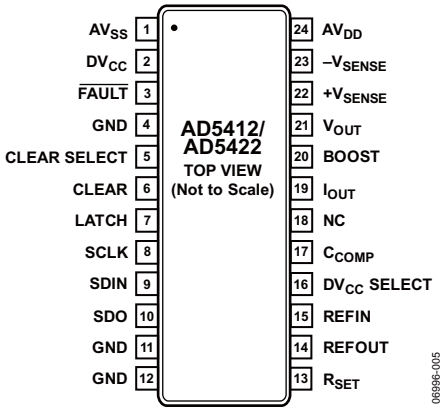
注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告

ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

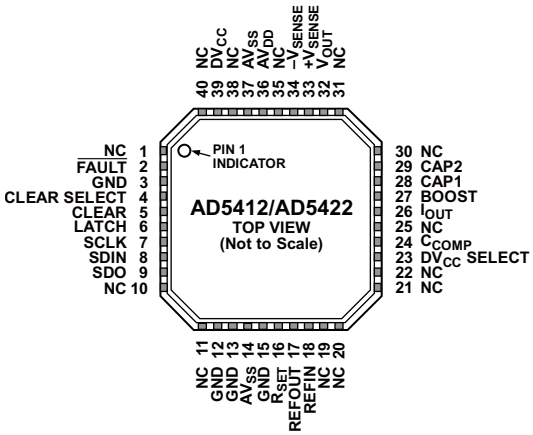
www.BDTIC.com/ADI/

引脚配置和功能描述



NOTES
1. NC = NO CONNECT
2. THE PADDLE CAN BE CONNECTED TO 0V IF THE OUTPUT VOLTAGE RANGE IS UNIPOLAR. THE PADDLE CAN BE LEFT ELECTRICALLY UNCONNECTED PROVIDED THAT A SUPPLY CONNECTION IS MADE AT THE AV_{SS} PIN. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

图5. TSSOP引脚配置



NOTES
1. NC = NO CONNECT.
2. THE EXPOSED PADDLE CAN BE CONNECTED TO 0V IF THE OUTPUT VOLTAGE RANGE IS UNIPOLAR. THE EXPOSED PADDLE CAN BE LEFT ELECTRICALLY UNCONNECTED PROVIDED THAT A SUPPLY CONNECTION IS MADE AT THE AV_{SS} PIN. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

图6. LFCSP引脚配置

表6. 引脚功能描述

引脚编号			
TSSOP	**LFCSP**	**引脚名称**	**描述**
1	14, 37	AV_{SS}	负模拟电源引脚。电压范围为-3 V至-24 V。如果输出电压范围是单极性的，此引脚可连接到0V。
2	39	DV_{CC}	数字电源引脚。电压范围为2.7 V至5.5 V。
3	2	$\overline{FAULT}$	故障报警。电流模式下检测到开路或检测到过温时，此引脚置位低电平。开漏输出必须连接到上拉电阻。
4, 12	3, 15	GND	这些引脚必须连接到0 V。
18	1, 10, 11, 19, 20, 21, 22, 25, 30, 31, 35, 38, 40	NC	不连接。请勿连接到这些引脚。
5	4	CLEAR SELECT	选择电压输出清零值，零电平或中间电平码(见表21)。
6	5	CLEAR	高电平有效输入。置位此引脚可将电流输出设置为选定范围的最低值或将电压输出设置为用户选定值(零电平或中间电平)。
7	6	LATCH	正边沿敏感锁存。LATCH上升沿将输入移位寄存器数据并行载入到DAC寄存器，同时更新输出。
8	7	SCLK	串行时钟输入。数据在SCLK的上升沿时逐个输入移位寄存器。此工作时钟速度最高达30 MHz。
9	8	SDIN	串行数据输入。数据在SCLK的上升沿时必须有效。
10	9	SDO	串行数据输出。用于以菊花链模式或回读模式从串行寄存器逐个输出数据。数据在SCLK的上升沿时有效(见图3和图4)。
11	12, 13	GND	接地基准电压引脚。
13	16	R_{SET}	可将一个外部、精密、低漂移、15 kΩ电流设置电阻连接到此引脚，提高IOUT温度漂移性能。参见AD5412/AD5422特性部分。
14	17	REFOUT	内部基准电压输出。REFOUT = 5 V ± 2 mV。
15	18	REFIN	外部基准电压输入。基准电压输入范围为4 V至5 V。要实现额定性能，REFIN = 5 V。

www.BDTIC.com/ADI/

引脚编号			
TSSOP	LFCSP	引脚名称	描述
16	23	DV_{CC} SELECT	连接到GND时，此引脚禁用内部电源，必须将外部电源连接到DV_{CC}引脚。不连接此引脚可使能内部电压。参见AD5412/AD5422特性部分。
17	24	C_{COMP}	电压输出缓冲的可选补偿电容连接。在此引脚与V_{OUT}引脚之间连接一个4 nF电容允许电压输出驱动最高1 µF。应注意，增加此电容会降低输出放大器的带宽，从而增加建立时间。
19	26	I_{OUT}	电流输出引脚。
20	27	BOOST	可选外部晶体管连接。连接一个外部晶体管可降低AD5412/AD5422的功耗。参见AD5412/AD5422特性部分。
N/A	28, 29	CAP1, CAP2	可选输出滤波电容的连接。参见AD5412/AD5422特性部分。
21	32	V_{OUT}	缓冲模拟输出电压。输出放大器能够直接驱动一个1 kΩ、2000 pF负载。
22	33	$+V_{SENSE}$	正电压输出负载连接的检测连接。
23	34	$-V_{SENSE}$	负电压输出负载连接的检测连接。
24	36	AV_{DD}	正模拟电源引脚。电压范围为10.8 V至60 V。
25 (EPAD)	41 (EPAD)	裸露焊盘	负模拟电源引脚。电压范围为-3 V至-24 V。如果输出电压范围是单极性的，此焊盘可连接到0V。假如在AV_{SS}引脚进行电源连接，焊盘可不进行电气连接。建议将焊盘热连接到铜层，增强散热性能。

www.BDTIC.com/ADI/

典型工作特性

概述

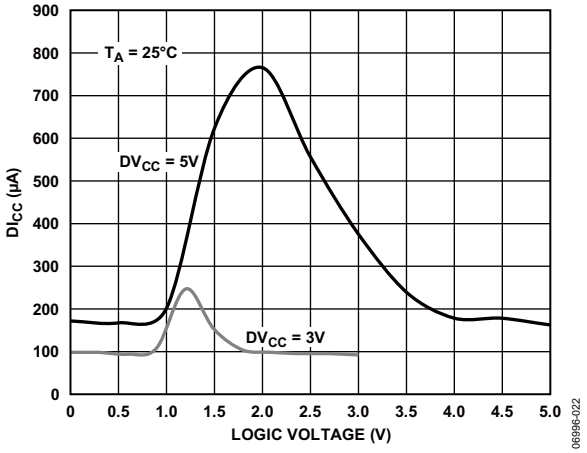


图7. DI_{CC}与逻辑输入电压的关系

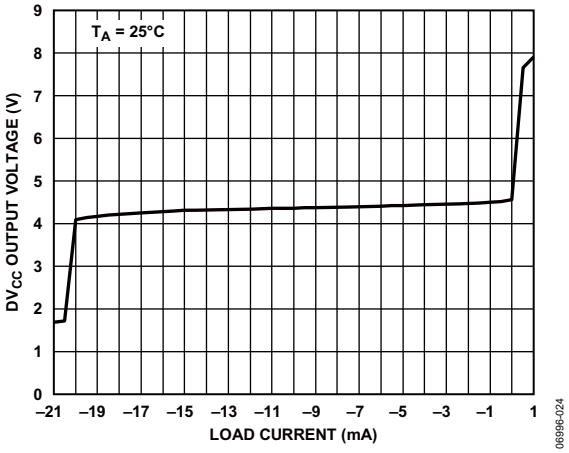


图10. DV_{CC}输出电压与负载电流的关系

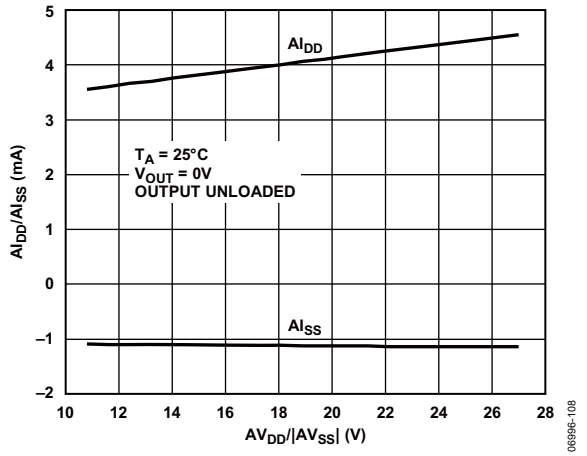


图8. AI_{DD}/AI_{SS}与$AV_{DD}/|AV_{SS}|$的关系

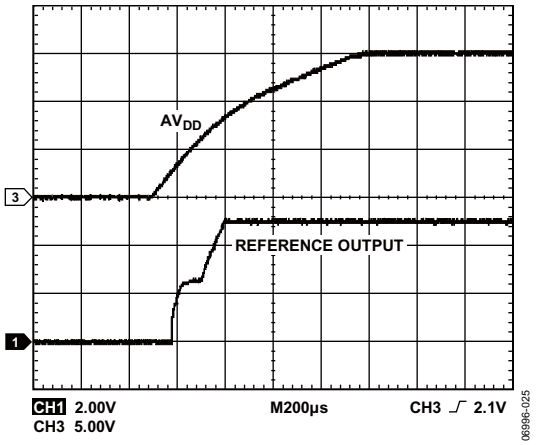


图11. REFOUT开启瞬变

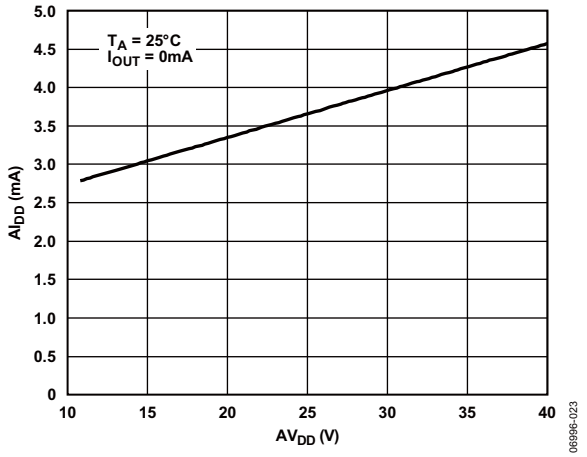


图9. AI_{DD}与AV_{DD}的关系

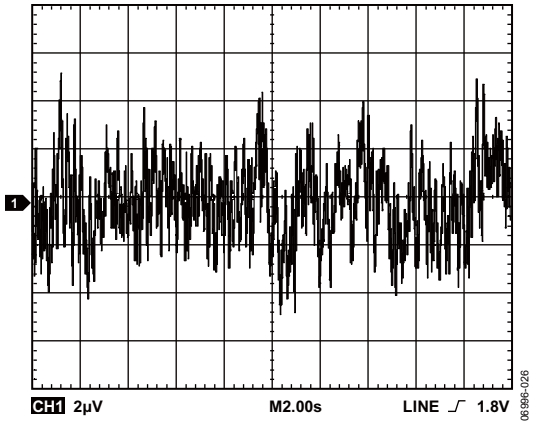


图12. REFOUT输出噪声(0.1 Hz至10 Hz带宽)

www.BDTIC.com/ADI/

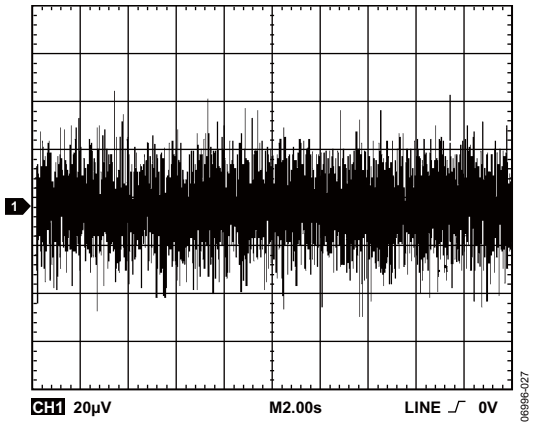


图13. REFOUT输出噪声(100 kHz带宽)

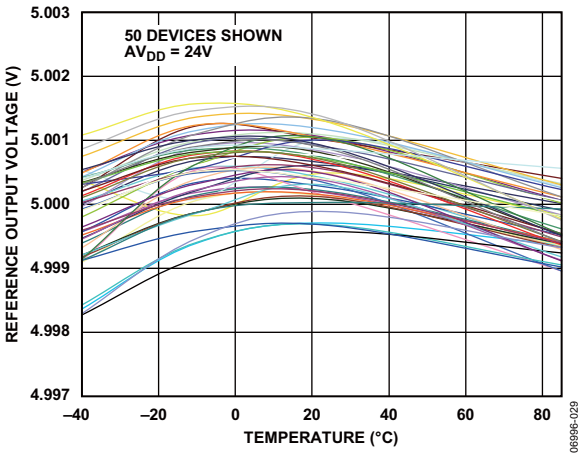


图14. 基准电压与温度的关系

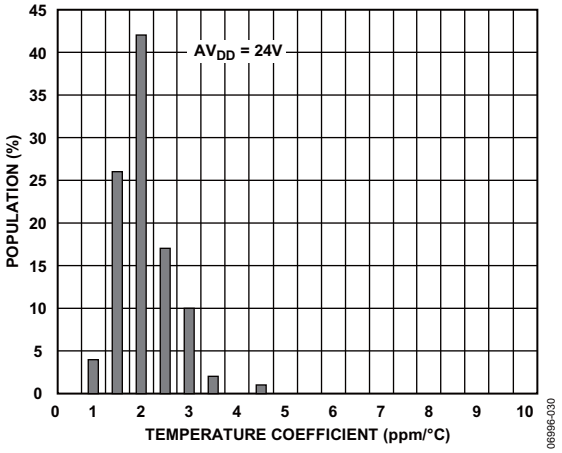


图15. 基准温度系数直方图

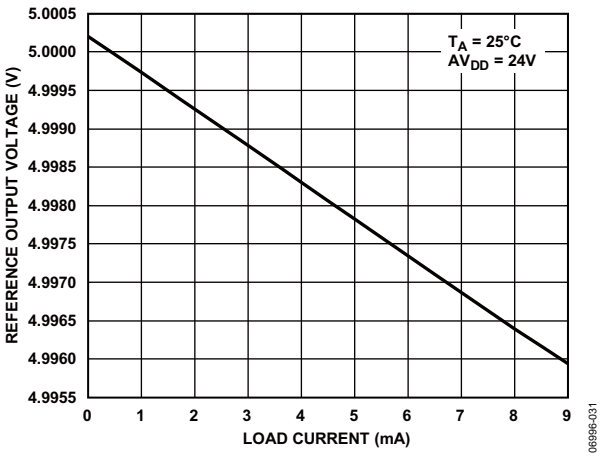


图16. 基准电压与负载电流的关系

www.BDTIC.com/ADI/

VOLTAGE OUTPUT

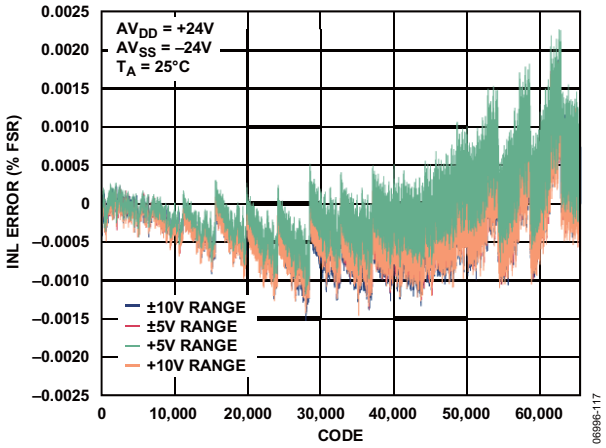


图17. 积分非线性误差与DAC码的关系，双电源供电

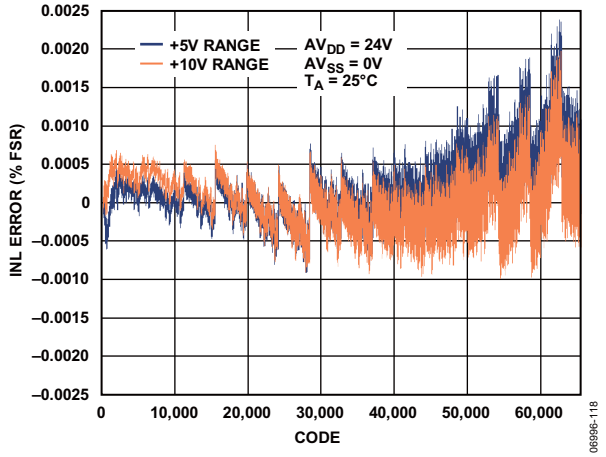


图18. 积分非线性误差与DAC码的关系，单电源供电

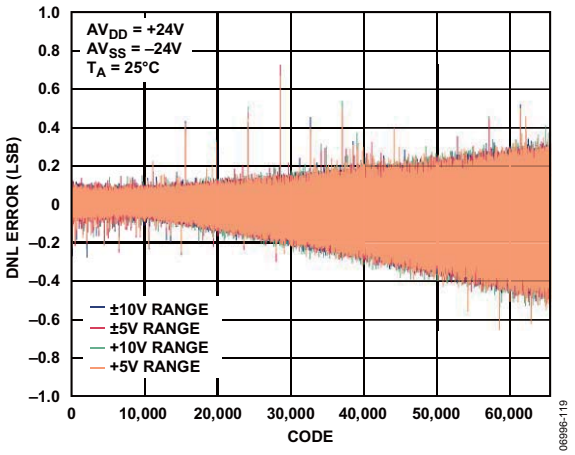


图19. 微分非线性误差与DAC码的关系，双电源供电

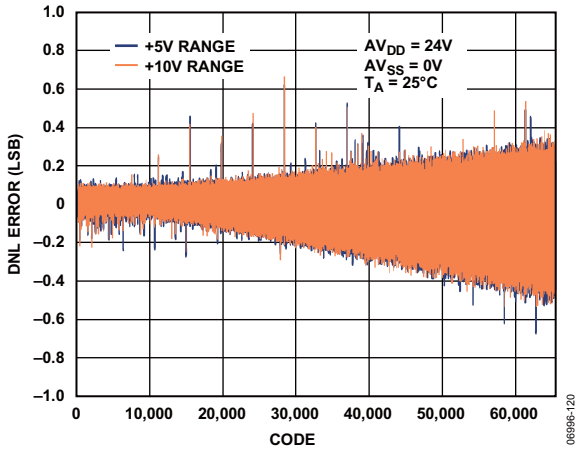


图20. 微分非线性误差与DAC码的关系，单电源供电

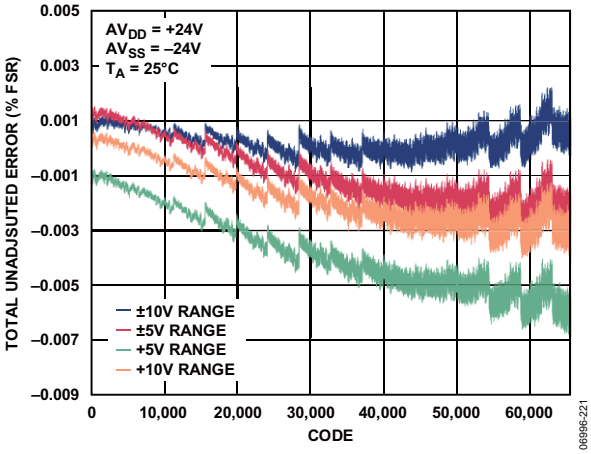


图21. 总非调整误差与DAC码的关系，双电源供电

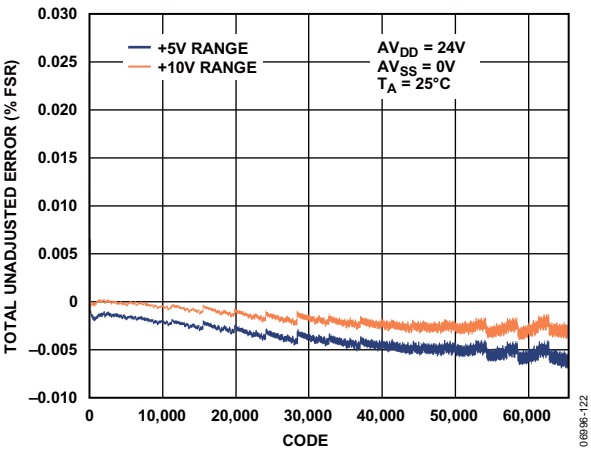


图22. 总非调整误差与DAC码的关系，单电源供电

www.BDTIC.com/ADI/

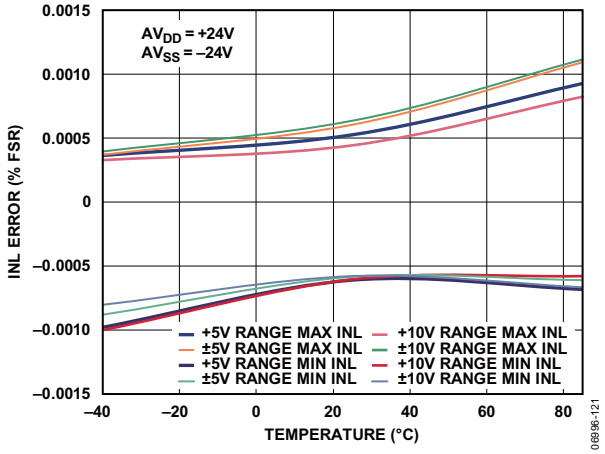


图23. 积分非线性误差与温度的关系

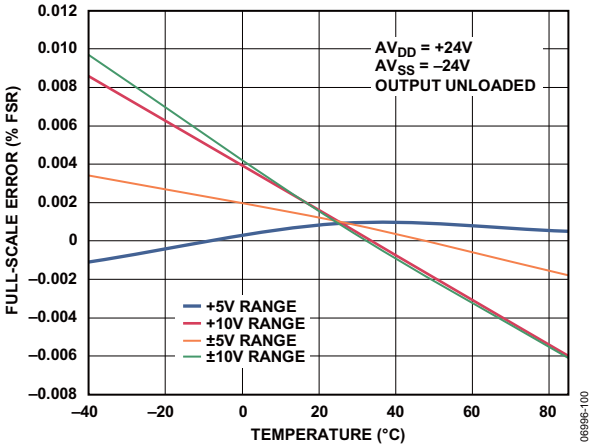


图26. 满量程误差与温度的关系

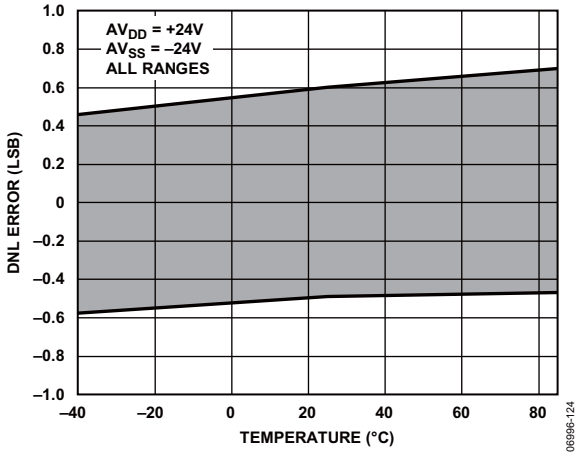


图24. 微分非线性误差与温度的关系

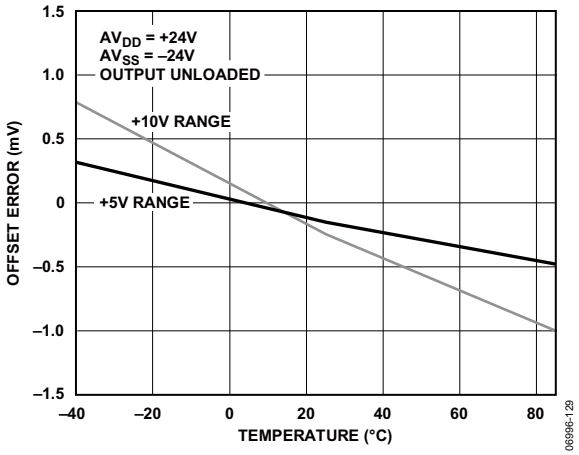


图27. 失调误差与温度的关系

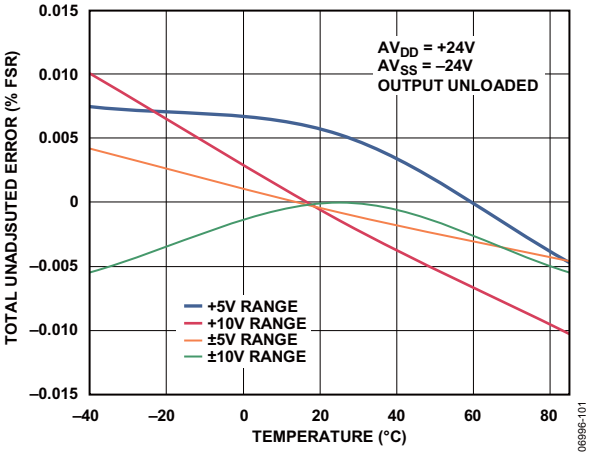


图25. 总非调整误差与温度的关系

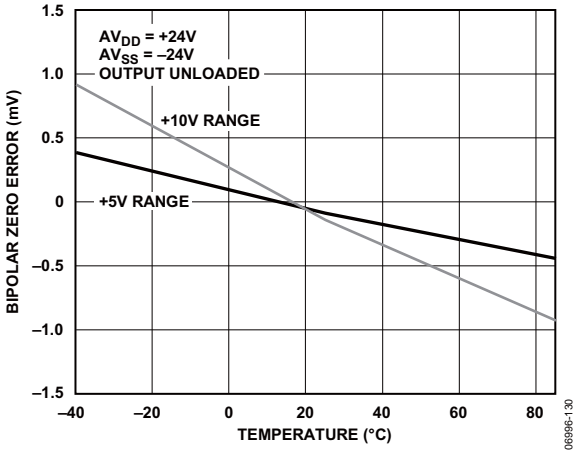


图28. 双极性零误差与温度的关系

www.BDTIC.com/ADI/

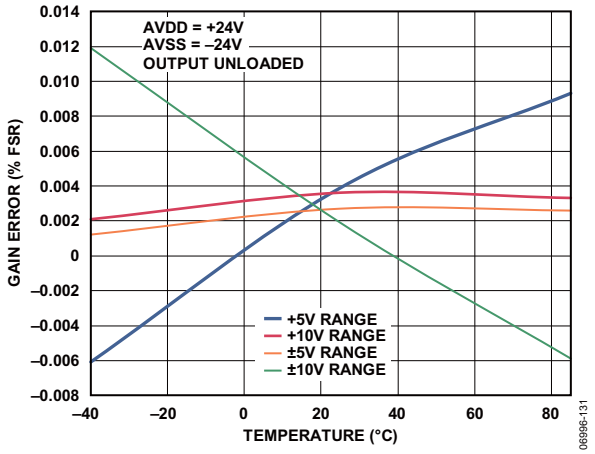


图29. 增益误差与温度的关系

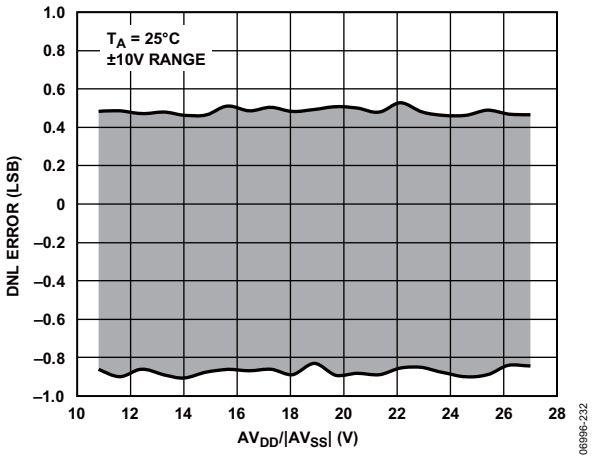


图32. 微分非线性误差与$AV_{DD}/|AV_{SS}|$的关系

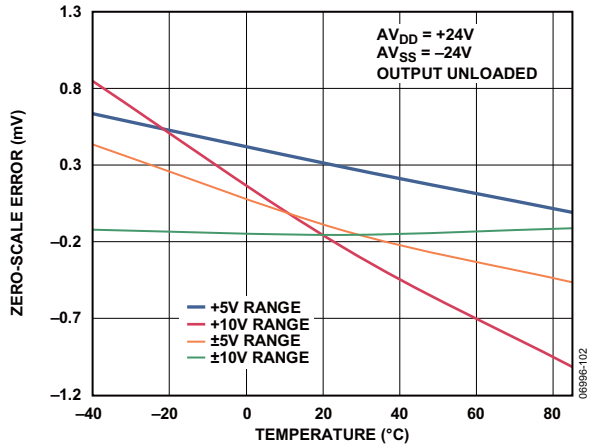


图30. 零电平误差与温度的关系

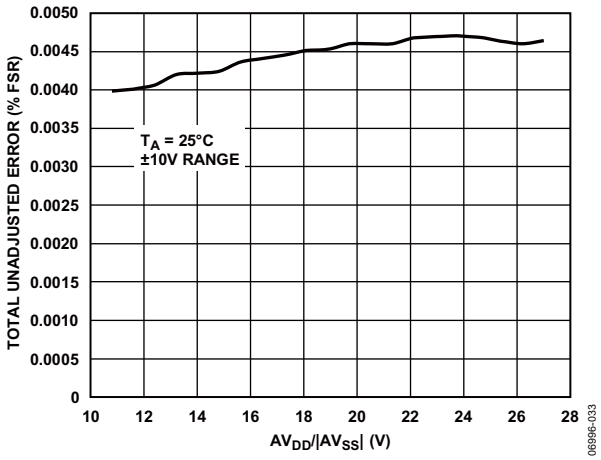


图33. 总非调整误差与$AV_{DD}/|AV_{SS}|$的关系

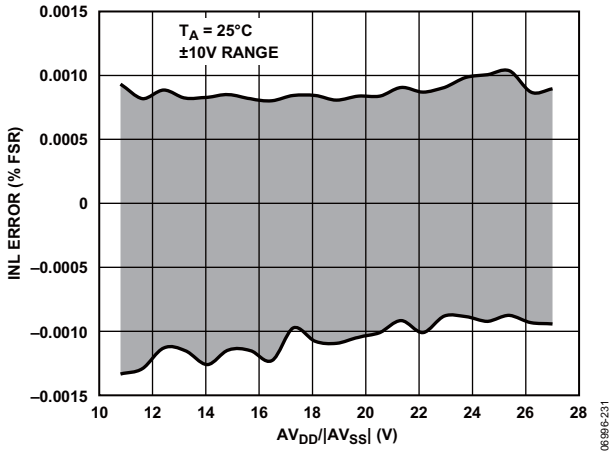


图31. 积分非线性误差与$AV_{DD}/|AV_{SS}|$的关系

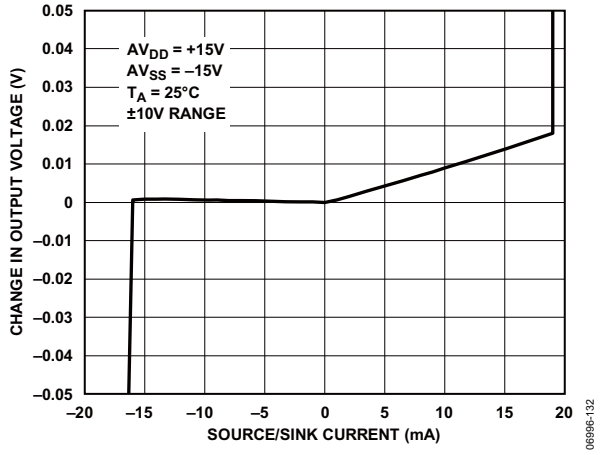


图34. 输出放大器的源电流和吸电流能力，满量程码载入

www.BDTIC.com/ADI/

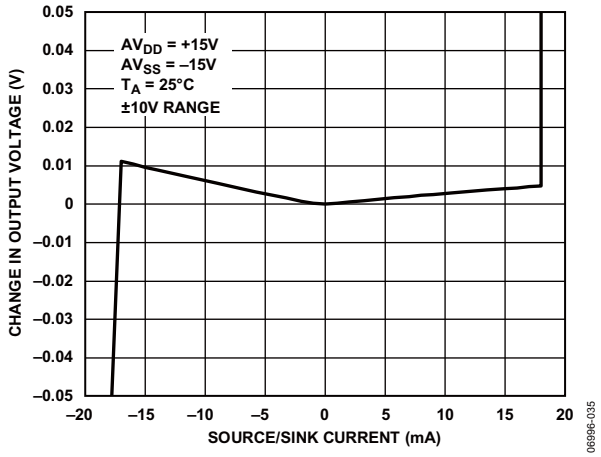


图35. 输出放大器的源电流和吸电流能力，零电平载入

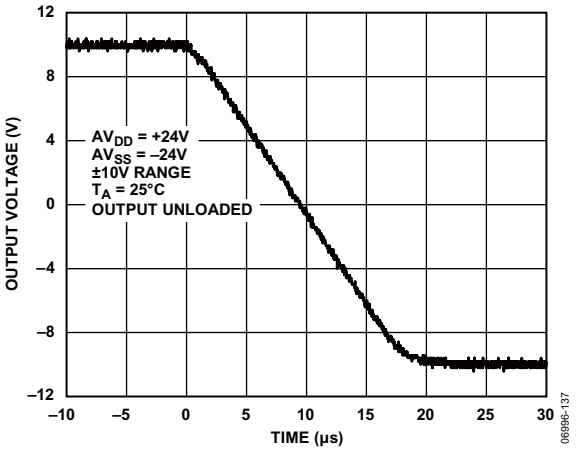


图37. 满量程负阶跃

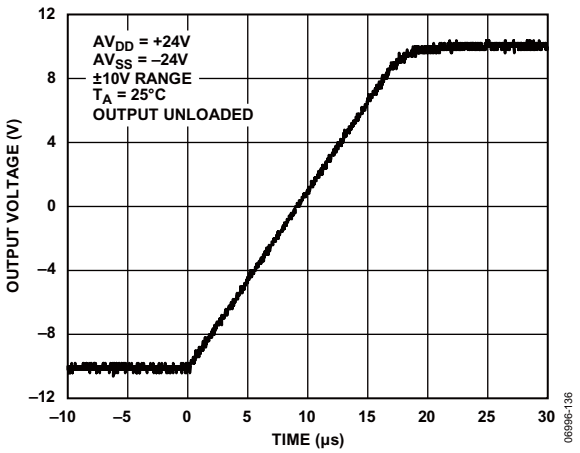


图36. 满量程正阶跃

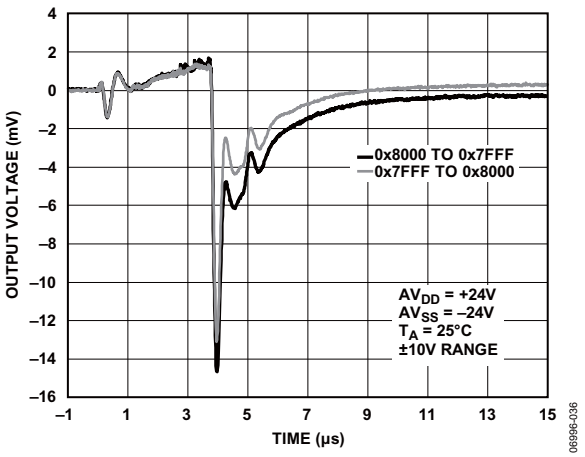


图38. 数模毛刺

www.BDTIC.com/ADI/

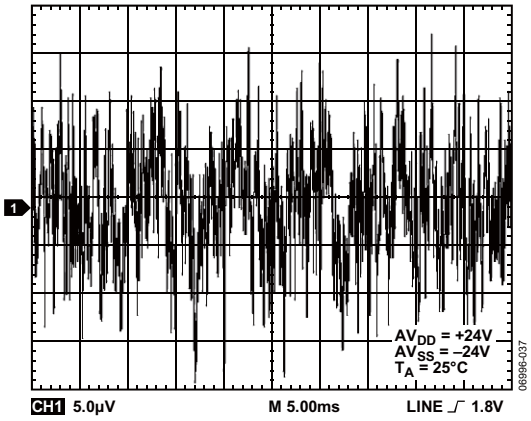


图39. 峰峰值噪声(0.1 Hz至10 Hz带宽)

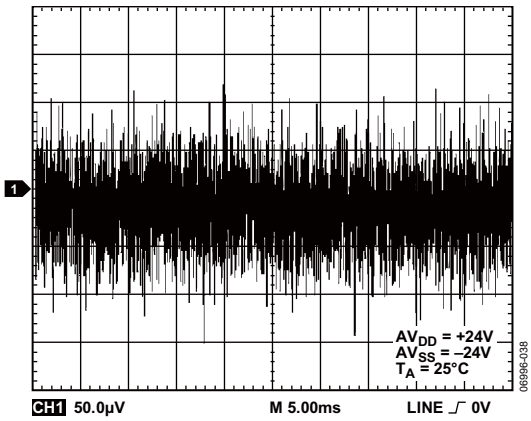


图40. 峰峰值噪声(100 kHz带宽)

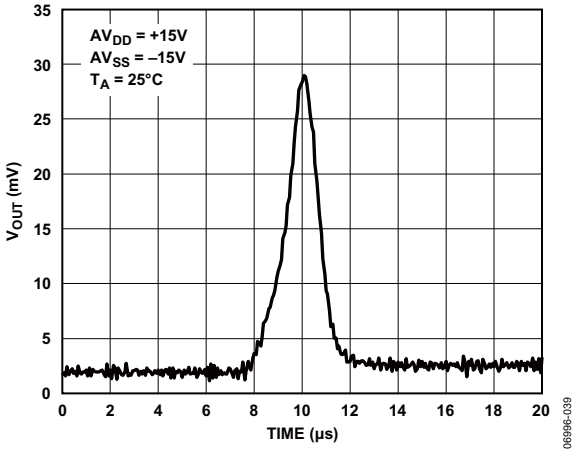


图41. V_{OUT}与上电时间的关系

www.BDTIC.com/ADI/

CURRENT OUTPUT

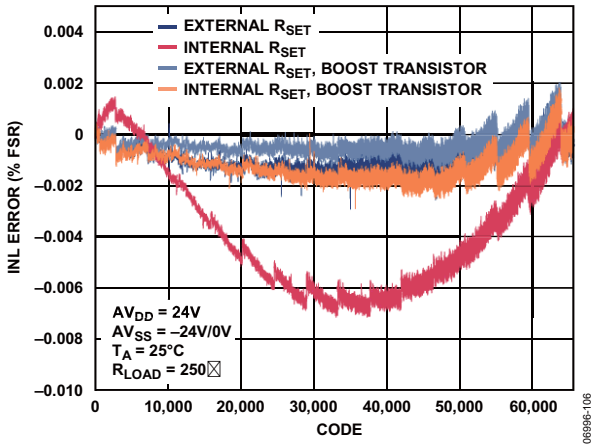


图42. 积分非线性与码的关系

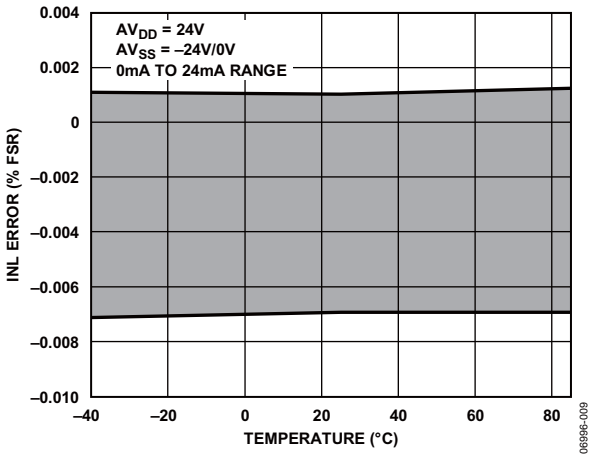


图45. 积分非线性与温度的关系，内部R_{SET}

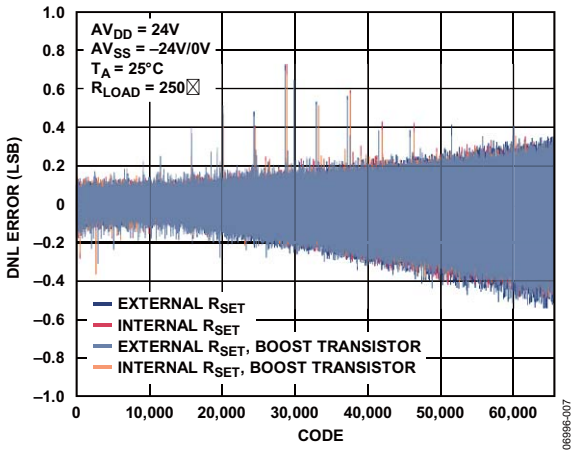


图43. 微分非线性与码的关系

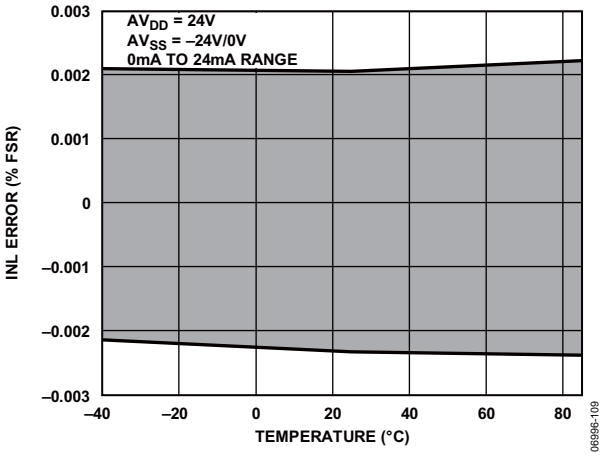


图46. 积分非线性与温度的关系，外部R_{SET}

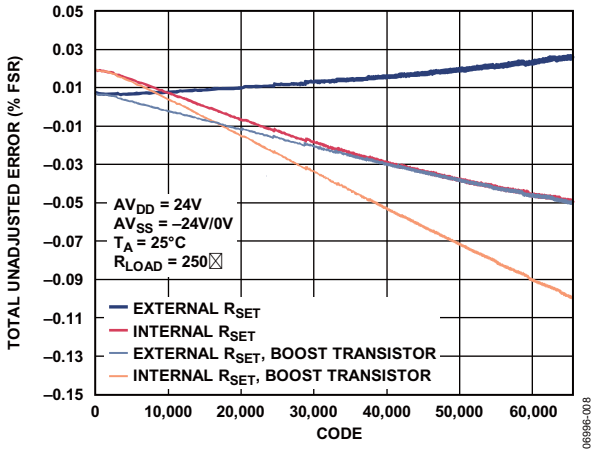


图44. 总非调整误差与码的关系

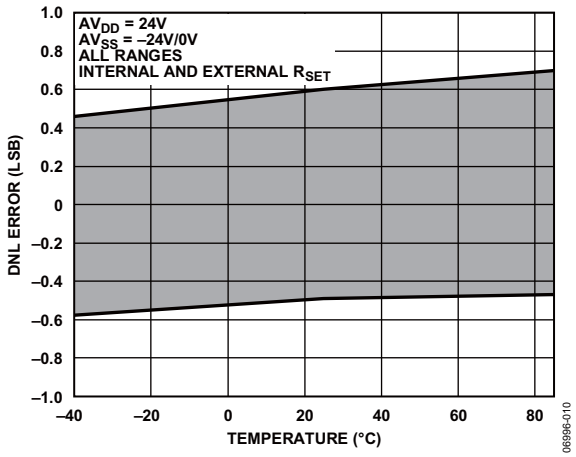


图47. 微分非线性与温度的关系

www.BDTIC.com/ADI/

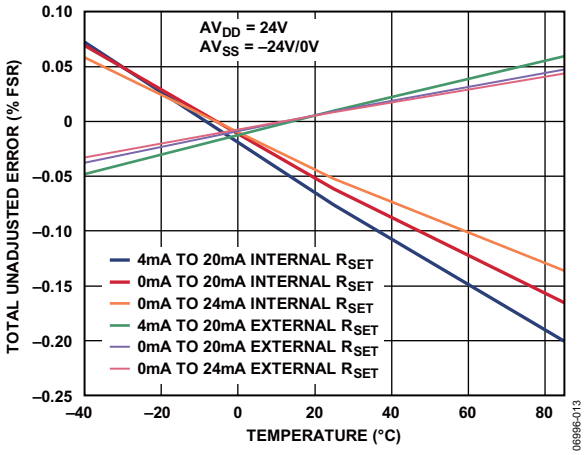


图48. 总非调整误差与温度的关系

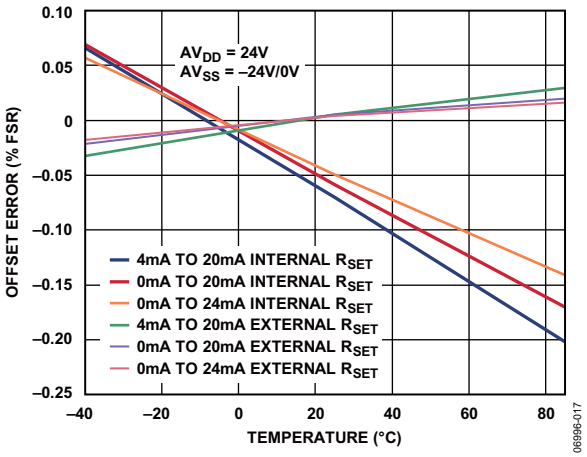


图49. 失调误差与温度的关系

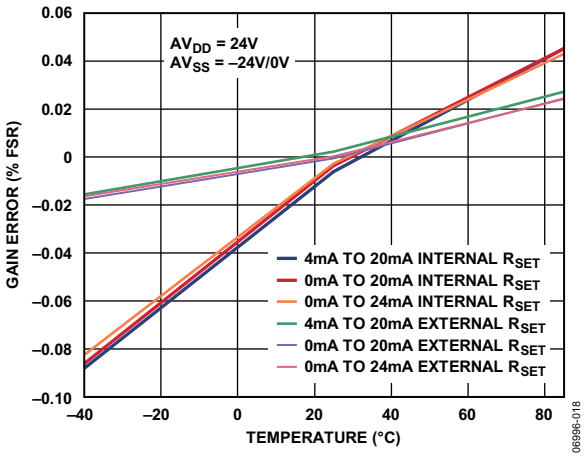


图50. 增益误差与温度的关系

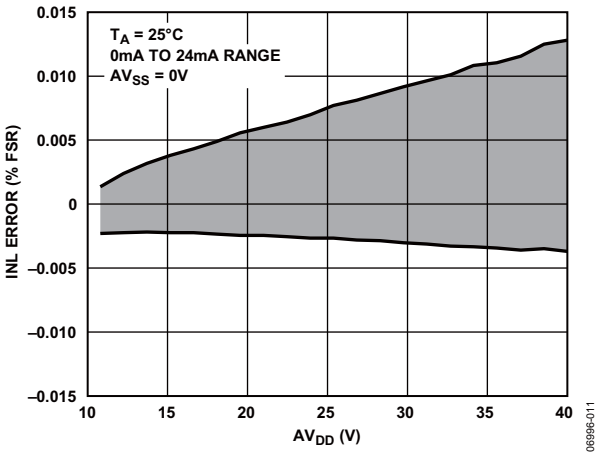


图51. 积分非线性误差与AV_{DD}的关系，外部R_{SET}

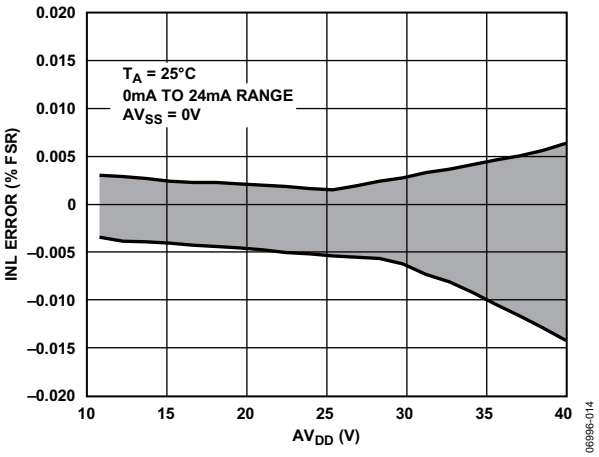


图52. 积分非线性误差与AV_{DD}的关系，内部R_{SET}

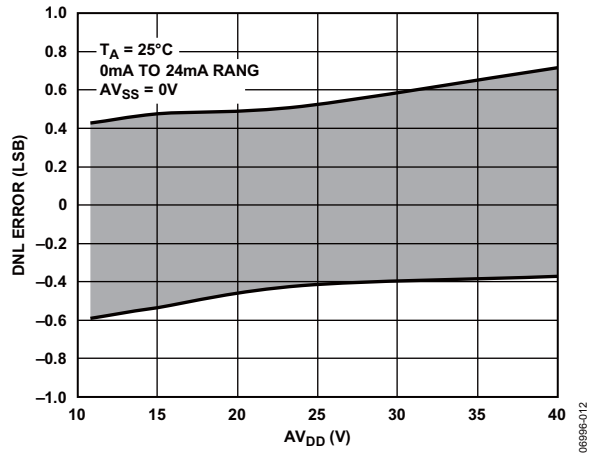


图53. 微分非线性误差与AV_{DD}的关系，外部R_{SET}

www.BDTIC.com/ADI/

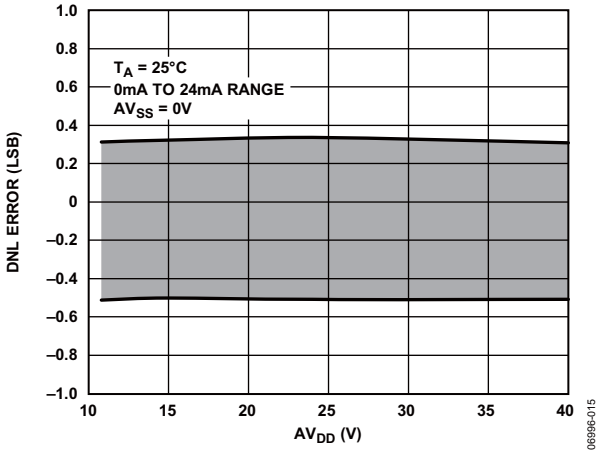


图54. 微分非线性误差与AV_{DD}的关系，内部R_{SET}

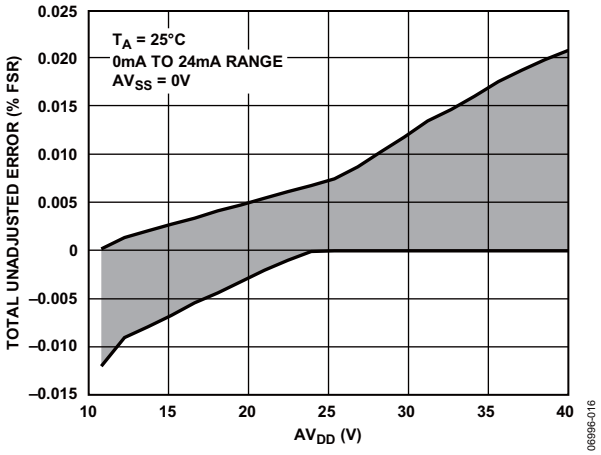


图55．总非调整误差与AV_{DD}的关系，外部R_{SET}

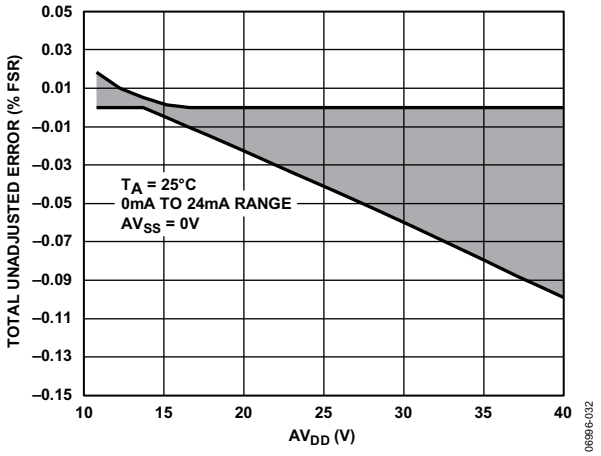


图56．总非调整误差与AV_{DD}的关系，内部R_{SET}

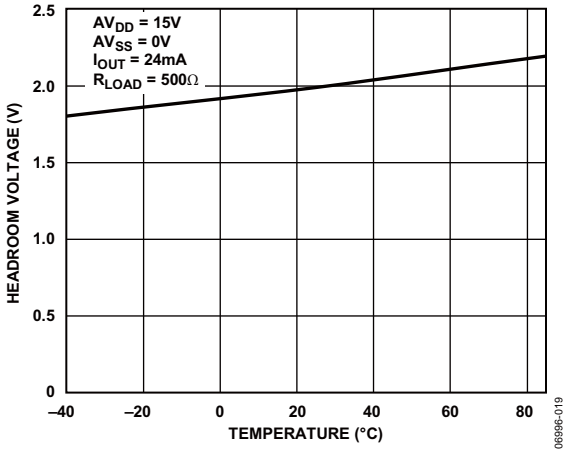


图57. 顺从电压裕量与温度的关系

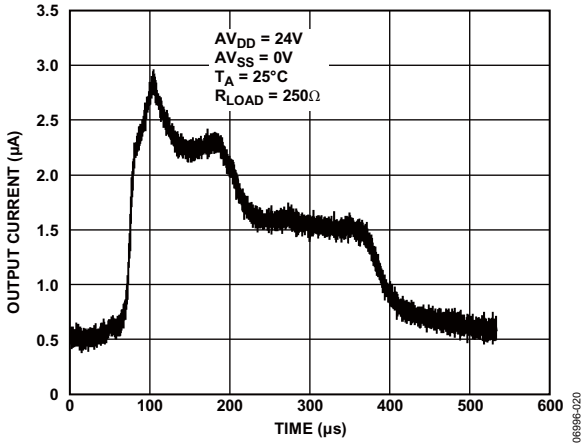


图58. 输出电流与上电时间的关系

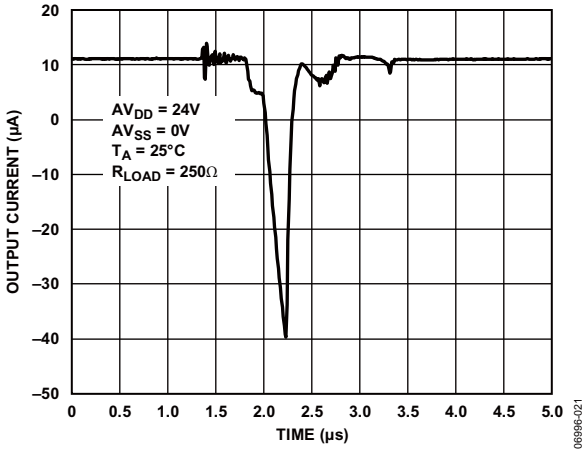


图59. 输出电流与输出使能时间的关系

www.BDTIC.com/ADI/

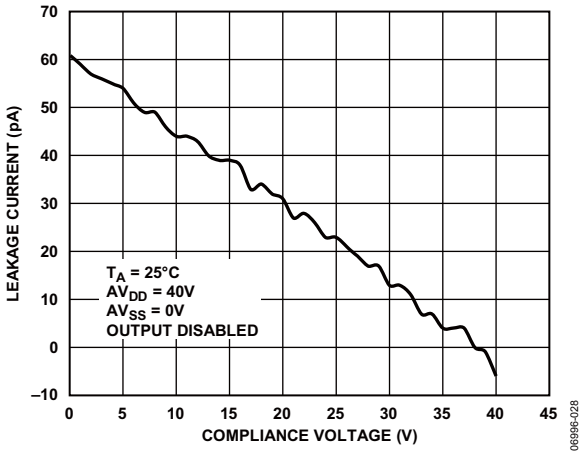


图60．输出漏电流与顺从电压的关系

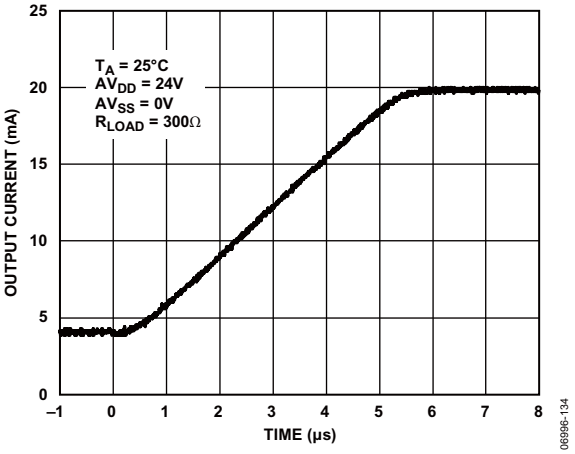


图62. 4 mA至20 mA输出电流阶跃

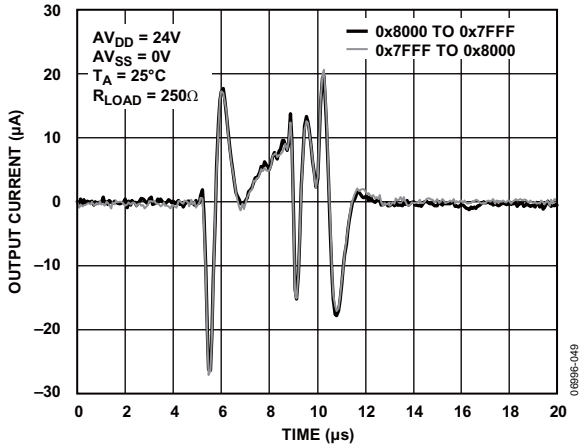


图61．数模毛刺

www.BDTIC.com/ADI/

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或INL是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。从图17可以看出典型INL与码的关系。

微分非线性(DNL)

DNL是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。从图19可以看出典型DNL与码的关系。

单调性

如果输出针对数字输入码增加而增加或保持恒定，则DAC具有单调性。AD5412/AD5422在其整个工作温度范围内具有单调性。

双极性零误差

双极性零误差是DAC寄存器载入0x8000（直接二进制编码）或0x0000(二进制补码编码)时模拟输出与0 V的理想半量程输出的偏差。从图28可以看出双极性零误差与温度的关系。

双极性零温度系数(TC)

双极性零温度系数(TC)衡量双极性零误差随温度的变化，用ppm FSR/°C表示。

满量程误差

满量程误差衡量将满量程码载入DAC寄存器时的输出误差。理想情况下，输出应为满量程 − 1 LSB。满量程误差用满量程范围的百分比(% FSR)表示。

负满量程误差/零电平误差

负满量程误差是将0x0000(直接二进制编码)或0x8000(二进制补码编码)载入DAC寄存器时的DAC输出电压误差。理想情况下，输出电压应为负满量程 − 1 LSB。从图30可以看出零电平误差与温度的关系。

零电平温度系数(TC)

零电平温度系数(TC)衡量零电平误差随温度的变化，用ppm FSR/°C表示。

输出电压建立时间

输出电压建立时间是指对于一个满量程输入变化，输出建立为指定电平所需的时间量。

压摆率

器件的压摆率是对输出电压变化率的限制。电压输出DAC的输出压摆速度通常受其输出端使用的放大器的压摆率限制。压摆率的测量范围是输出信号的10%至90%，用V/μs表示。

增益误差

增益误差是衡量DAC量程误差的指标，是DAC传递特性的斜率与理想值的偏差，用%FSR表示。从图29可以看出增益误差与温度的关系。

增益误差温度系数(TC)

增益误差温度系数(TC)衡量增益误差随温度的变化，用ppm FSR/°C表示。

总非调整误差(TUE)

总非调整误差(TUE)衡量考虑积分非线性误差、失调误差、增益误差以及输出随电源、温度和时间的漂移等各种误差时的输出误差，用% FSR表示。

电流环路顺从电压

输出电流等于编程值时，I_{OUT}引脚端的最大电压。

上电脉冲干扰

上电脉冲干扰是AD5412/AD5422上电时注入模拟输出的脉冲，规定为毛刺的面积，用nV-sec表示。参见图41和图58。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入代码改变状态而输出电压保持恒定时注入模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。参见图38和图61。

毛刺脉冲峰值幅度

毛刺脉冲峰值幅度是DAC寄存器中的输入代码改变状态时注入模拟输出的脉冲的峰值幅度。毛刺脉冲峰值幅度规定为毛刺的幅度，用毫伏表示，数字输入代码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。参见图38和图61。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通用nV-sec表示，利用数据总线上的满量程代码变化测定。

www.BDTIC.com/ADI/

电源抑制比(PSRR)

PSRR表示DAC的输出如何受电源电压变化影响。

基准电压源TC

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[\frac{V_{REF\,max} - V_{REF\,min}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

V_{REFmax}是在整个温度范围内测量的最大基准电压输出。

V_{REFmin}是在整个温度范围内测量的最小基准电压输出。

V_{REFnom}是标称基准输出电压5V。

TempRange为额定温度范围：−40°C至+85°C。

负载调整率

负载调整率是由额定负载电流变化所致的基准输出电压变化，用ppm/mA表示。

www.BDTIC.com/ADI/

工作原理

AD5412/AD5422是设计用于满足工业过程控制应用需要的精密数字-电流环路和电压输出转换器，提供高精密、完全集成、低成本单芯片解决方案，用于产生电流环路和单极性/双极性电压输出。电流范围为0 mA至20 mA、0 mA至24 mA和4 mA至20 mA；有效电压范围为0 V至5 V、±5 V、0 V至10 V和±10 V；所有电压输出范围均提供10%的超量程。电流输出和电压输出通过独立引脚提供，任何时候仅一个引脚处于有效状态。用户可通过控制寄存器选择所需输出配置。

架构

AD5412/AD5422的DAC内核架构包含两个匹配DAC部分。图63所示为简化电路图。12/16位数据字的4个MSB经解码用于驱动15个开关E1至E15。每个开关将15个匹配电阻之一连接到地或基准电压缓冲输出。数据字的其余8/12位驱动8/12位电压模式R-2R梯形网络的S0至S7/S11开关。

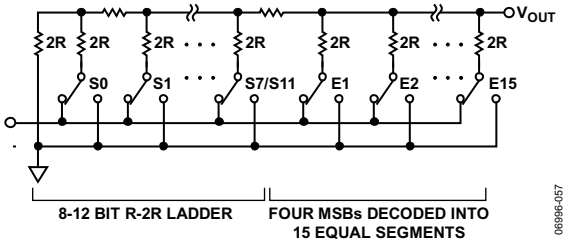


图63. DAC的梯形结构

DAC内核的电压输出要么转换成电流(见图64)，然后电流镜像到供电轨，因而在应用中可方便地使用到地的电流源输出；或者，电压输出经缓冲和比例缩放而输出可通过软件选择的单极性或双极性电压范围(见图65)。电流和电压通过独立引脚输出，且不能同步输出。

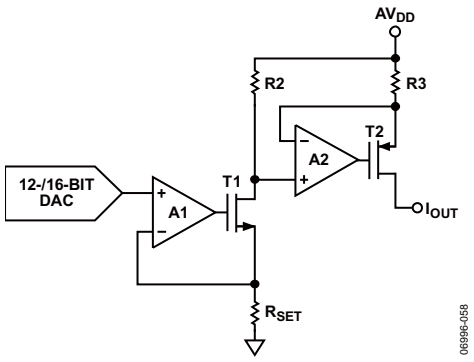


图64. 电压-电流转换电路

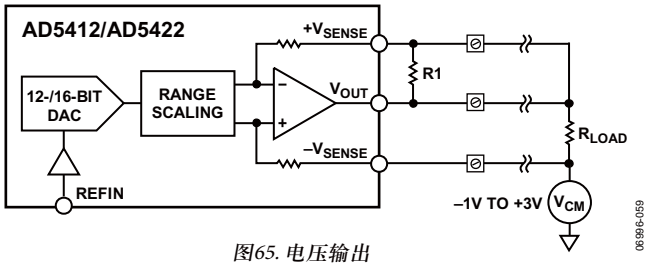


图65. 电压输出

电压输出放大器

电压输出放大器能够产生单极性和双极性两种输出电压，能够将与1 µF(外部补偿电容)并联的1 kΩ负载驱动至GND。从图35可以看出输出放大器的源电流和吸电流能力。压摆率为1 V/µs，满量程建立时间最大值为25 µs(10 V阶跃)。图65所示为电压输出驱动一个负载R_{LOAD}，负载在−1 V至+3 V的共模电压(V_{CM})上方。在电缆可能从+VSENSE断开从而导致放大器环路中断并可能导致V_{OUT}上存在较大破坏性电压的输出模块应用中，在$+V_{SENSE}$与V_{OUT}之间加入一个值在2 kΩ至5 kΩ范围内的可选电阻(R1)以确保放大器环路保持闭合，如图65所示。如果不需要远程检测负载，则将$+V_{SENSE}$直接连接到V_{OUT}并将$-V_{SENSE}$直接连接到GND。改变电压输出范围时，可能产生毛刺。因此，建议在改变输出电压范围之前通过将控制寄存器的O_{UTEN}位设置为逻辑低电平来禁用输出；这样可防止产生毛刺。

驱动较大容性负载

通过在C_{COMP}与V_{OUT}引脚之间增加一个无极性4 nF补偿电容，电压输出放大器能够驱动最高1 µF的容性负载。如果不增加该补偿电容，最高可驱动20 nF容性负载

www.BDTIC.com/ADI/

串行接口

AD5412/AD5422通过一个多功能三线式串行接口受控，该接口以最高30 MHz的时钟速率工作，与SPI、QSPI™、MICROWIRE和DSP标准兼容。

输入移位寄存器

输入移位寄存器为24位宽。数据在串行时钟输入SCLK的控制下首先作为24位字载入器件MSB中。数据在SCLK的上升沿逐个输入。输入寄存器包括8个地址位和16个数据位，如表7所示。该24位字在LATCH引脚的上升沿无条件锁存。数据继续逐个输入，与LATCH的状态无关。在LATCH的上升沿，锁存输入寄存器中存在的数据；换言之，要在LATCH的上升沿之前逐个输入的最后24位是锁存的数据。图2给出了这种操作的时序图。

表7. 输入移位寄存器格式

MSB	LSB
D23至D16	**D15至D0**
地址字节	数据字

表8. 地址字节功能

地址字	功能
00000000	不操作(NOP)
00000001	数据寄存器
00000010	根据读取地址的回读寄存器值(见表9)
01010101	控制寄存器
01010110	复位寄存器

独立操作

串行接口采用连续式和非连续式两种串行时钟工作。只有在逐个输入正确数据位数之后LATCH变为高电平的情况下，才可以使用连续式SCLK源。在选通时钟模式下，必须使用包含确切时钟周期数的突发时钟，并且在锁存数据的最后时钟之后，LATCH必须变为高电平。逐个输入数据字的MSB的SCLK上升沿标志着写周期的开始。在LATCH变为高电平之前，必须有正好24个时钟上升沿施加于SCLK。如果在第24个SCLK上升沿之前LATCH变为高电平，则所写入数据无效。如果在LATCH变为高电平之前施加了24个以上的SCLK上升沿，则输入数据同样无效。

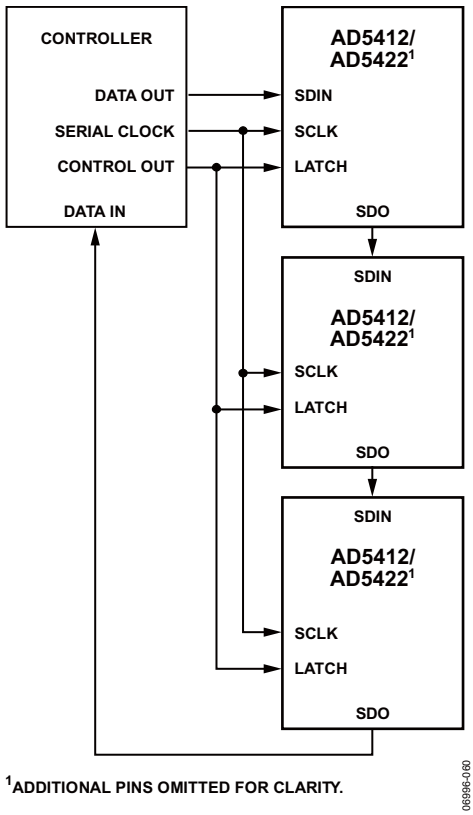


图66. 菊花链连接AD5412/AD5422

菊花链操作

对于包括数个器件的系统，可以使用SDO引脚来将器件以菊花链形式连接在一起，如图66所示。这种菊花链模式适用于系统诊断和减少串行接口线路数。菊花链模式通过将控制寄存器的DCEN位设置为1来使能。逐个输入数据字的MSB的第一个SCLK上升沿标志着写周期的开始。SCLK连续施加于输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。此数据在前一SCLK下降沿时逐个输出后，在SCLK的上升沿时有效。通过将菊花链上第一个器件的SDO连接到下一器件的SDIN输入，构建出一个多器件接口。系统中每个器件都需要24个时钟脉冲。因此，总时钟周期数必须等于24 × n，其中n是菊花链上AD5412/ AD5422器件的总数。对所有器件的串行发送完成时，LATCH变为高电平。这可以锁存菊花链上各器件中的输入数据。串行时钟可以是连续时钟或选通时钟。

只有在正确时钟周期数之后LATCH变为高电平的情况下，才可以使用连续式SCLK源。在选通时钟模式下，必须使用包含精确时钟周期数的突发时钟，并且在锁存数据的最后时钟之后，LATCH必须变为高电平(时序图见图4)。

www.BDTIC.com/ADI/

回读操作

通过在写入输入寄存器时设置地址字节和读取地址(见表9和表11)可调用回读模式。接下来写入AD5412/AD5422的应该是一个NOP命令，该命令从先前寻址的寄存器逐个输出数据，如图3所示。

寻址AD5412/AD5422进行读取操作之后SDO引脚默认禁用；LATCH的上升沿使能SDO引脚预测逐个输出的数据。数据在SDO上逐个输出后，LATCH的上升沿禁用(三态)SDO引脚。例如，要读回数据寄存器，实施如下序列：

1. 将0x020001写入输入寄存器。这采用选定数据寄存器配置用于读取模式的器件。
2. 然后进行第二次写入：一个NOP条件，即0x000000。在此写入期间，来自寄存器的数据在SDO线路上逐个输出。

表9. 读取地址解码

读取地址	功能
00	读取状态寄存器
01	读取数据寄存器
10	读取控制寄存器

上电状态

AD5412/AD5422上电期间，上电复位电路确保所有寄存器都载入零代码。因此，两个输出都被禁用；即，V_{OUT}和I_{OUT}引脚处于三态。$+V_{SENSE}$引脚通过一个40 kΩ电阻内部连接到地。因此，如果将V_{OUT}和$+V_{SENSE}$连接在一起，V_{OUT}通过一个40 kΩ电阻有效箝位至接地。同样，上电时，读取内部校准寄存器，并且将数据施加于内部校准电路。要实现可靠的读取操作，DV_{CC}电源上电触发读取事件时，AV_{DD}电源上必须有充足的电压。在AV_{DD}电源之后给DV_{CC}电源上电可确保这一点。如果DV_{CC}和AV_{DD}同时上电或者使能内部DV_{CC}，电源应以大于500 V/sec或24 V/50 ms典型值的速率上电。如果无法实现，上电后向AD5412/AD5422发布一个复位命令；这执行了一个上电复位事件，读取校准寄存器，并确保了AD5412/AD5422的规定工作。

电压输出

对于单极性电压输出范围，输出电压可表示为

$$V_{OUT} = V_{REFIN} \times Gain\left[\frac{D}{2^N}\right]$$

对于双极性电压输出范围，输出电压可表示为

$$V_{OUT} = V_{REFIN} \times Gain\left[\frac{D}{2^N}\right] - \frac{Gain \times V_{REFIN}}{2}$$

其中：

*D*是载入DAC的代码的十进制等效值。

*N*是DAC的位分辨率。

V_{REFIN}是REFIN引脚端施加的基准电压。

*Gain*是值取决于用户所选的输出范围的内部增益，如表10所示。

表10. 内部增益值

输出范围	增益值
+5 V	1
+10 V	2
±5 V	2
±10 V	4

电流输出

针对0 mA至20 mA、0 mA至24 mA和4 mA至20 mA电流输出范围，输出电流分别表示为

$$I_{OUT} = \left[\frac{20\text{ mA}}{2^N}\right] \times D$$

$$I_{OUT} = \left[\frac{24\text{ mA}}{2^N}\right] \times D$$

$$I_{OUT} = \left[\frac{16\text{ mA}}{2^N}\right] \times D + 4\text{ mA}$$

其中：

*D*是载入DAC的代码的十进制等效值。

*N*是DAC的位分辨率。

表11. 读操作的输入移位寄存器内容

MSB LSB

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D2	D1	D0
0	0	0	0	0	0	1	0	X[1]	读取地址	

[1] X = 无关。

www.BDTIC.com/ADI/

数据寄存器

数据寄存器通过将输入移位寄存器的地址字设置为0x01寻址。对于AD5412，要写入至数据寄存器的数据输入D15至D4位置中，而对于AD5422，输入D15至D0位置，如表12和表13所示。

表12. AD5412数据寄存器编程

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
12位数据字												X	X	X	X

表13. AD5422数据寄存器编程

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
16位数据字															

控制寄存器

控制寄存器通过将输入移位寄存器的地址字设置为0x55寻址。要写入控制寄存器的数据输入D15至D0位置中，如表14所示。控制寄存器功能如表15所示。

表14. 控制寄存器编程

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CLRSEL	OVRRNG	REXT	OUTEN	SR时钟				SR阶跃			SREN	DCEN	R2	R1	R0

表15：控制寄存器功能

选项	描述
CLRSEL	对CLRSEL操作的描述请见表21。
OVRRNG	设置此位可使电压输出范围增加10%(参见AD5412/AD5422特性部分)。
REXT	设置此位可选择外部电流设置电阻(参见AD5412/AD5422特性部分)。
OUTEN	输出使能。必须设置此位，以使能输出。范围位选择起作用的输出。
SR时钟	数字压摆率控制(参见AD5412/AD5422特性部分)。
SR阶跃	数字压摆率控制(参见AD5412/AD5422特性部分)。
SREN	数字压摆率控制使能。
DCEN	菊花链使能。
R2, R1, R0	输出范围选择(参见表16)。

表16. 输出范围选项

R2	R1	R0	所选输出范围
0	0	0	0 V至5 V电压范围
0	0	1	0 V至10 V电压范围
0	1	0	±5 V电压范围
0	1	1	±10 V电压范围
1	0	1	4 mA至20 mA电流范围
1	1	0	0 mA至20 mA电流范围
1	1	1	0 mA至24 mA电流范围

www.BDTIC.com/ADI/

复位寄存器

复位寄存器通过将输入移位寄存器的地址字设置为0x56寻址。要写入复位寄存器的数据输入D0位置中，如表17所示。复位寄存器选项如表17和表18所示。

表17. 复位寄存器编程

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
保留															复位

表18：复位寄存器功能

选项	描述
复位	该位置1可执行复位操作，使AD5412/AD5422恢复到其上电状态。

状态寄存器

状态寄存器属于只读寄存器。状态寄存器功能如表19和表20所示。

表19. 状态寄存器解码

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
保留													I_{OUT}故障	压摆有效	过热

表20. 状态寄存器功能

选项	描述
I_{OUT}故障	如果I_{OUT}引脚上检测到故障，则该位置1。
压摆有效	输出值压摆时该位置1(压摆率控制使能)。
过热	如果AD5412/AD5422内核温度超过~150°C，该位置1。

www.BDTIC.com/ADI/

AD5412/AD5422特性

故障报警

AD5412/AD5422配有一个$\overline{\text{FAULT}}$引脚，该引脚属于开漏输出引脚，允许数个AD5412/AD5422器件一起连接到一个上拉电阻，用于检测全局故障。$\overline{\text{FAULT}}$引脚在以下任一故障情形下强制处于有效状态：

- 由于采用开环电路或顺从电压不足，I_{OUT}端的电压试图升至电源电压范围以上。I_{OUT}电流受PMOS晶体管和内部放大器控制，如图64所示。产生故障输出的内部电路避免使用有窗口限值的比较器，因为这会在$\overline{\text{FAULT}}$输出变为有效之前需要一个实际的输出误差。相反，输出级中的内部放大器具有少于~1 V的剩余驱动能力时(输出PMOS晶体管的栅极几乎达到接地时)，信号产生。因此，在达到顺从电压限值之前，$\overline{\text{FAULT}}$输出略微激活。因为在输出放大器的反馈环路内进行比较，所以输出精度由其开环增益维持，并且在$\overline{\text{FAULT}}$输出变为有效之前不发生输出误差。
- 如果AD5412/AD5422的内核温度超过约150°C。

状态寄存器的I_{OUT}故障位和过热位与$\overline{\text{FAULT}}$引脚一同使用，通知用户那种故障条件引起了$\overline{\text{FAULT}}$引脚置位(参见表19和表20)。

电压输出短路保护

正常工作时，电压输出吸电流/源电流为10 mA。电压输出传送的最大电流约为20 mA；这是短路电流。

电压输出超量程

电压输出提供超量程功能。通过控制寄存器使能时，选定输出范围超量程一般为10%。

电压输出驱动−检测

提供$+V_{SENSE}$和$-V_{SENSE}$引脚，便于远程检测连接到电压输出的负载。如果负载连接于一个较长或阻抗较高的电缆的端部，检测负载处的电压使输出放大器能够补偿并确保施加在负载上的电压正确。此功能仅受有效电源裕量限制。

异步清零(CLEAR)

CLEAR引脚属于高电平有效清零引脚，允许电压输出清零为零电平码或中间电平码，用户可通过CLEAR SELECT引脚或控制寄存器的CLRSEL位进行选择，如表21所示。(清零选择特性是CLEAR SELECT引脚或CLRSEL位的逻辑或功能)。电流输出清零至其可编程范围的最低值。CLEAR需要处于高电平状态一段时间，至少足以完成操作(参见图2)。CLEAR信号返回低电平时，输出保持处于清零值。可通过发送脉冲使LATCH信号变为低电平而不逐步传送任何数据来恢复预清零值。在CLEAR引脚返回低电平之前不能对新值进行编程。

表21. CLRSEL选项

	输出值	
CLRSEL	单极性输出范围	双极性输出范围
0	0 V	0 V
1	中间电平	负满量程

除了定义清零操作的输出值，CLRSEL位和CLEAR SELECT引脚还定义默认输出值。选择新电压范围期间，输出值如表21所定义。为了避免输出毛刺，建议用户在改变电压范围之前先通过将控制寄存器的OUTEN位设置为逻辑低电平来禁用输出。OUTEN设置为逻辑高时，输出按CLRSEL和CLEAR SELECT所定义变为默认值。

内部基准电压源

AD5412/AD5422内置集成式5 V基准电压源，初始精度为±5 mV(最大值)，温度漂移系数为±10 ppm/°C(最大值)。基准电压源经过缓冲，可外部用于系统内的其他地方。集成式基准电压源的负载调节图请见图16。

外部电流设置电阻

R_{SET}属于内部检测电阻，是电压-电流转换电路的一部分(参见图64)。输出电流在整个温度范围内的稳定性取决于R_{SET}值的稳定性。作为提高输出电流在整个温度范围内的稳定性的一种方法，可将一个外部精密15 kΩ低漂移电阻连接到AD5412/AD5422的RSET引脚，取代内部电阻(R_{SET})使用。外部电阻通过控制寄存器进行选择(参见表14)。

www.BDTIC.com/ADI/

数字电源

默认情况下，DV_{CC}引脚接受2.7 V至5.5 V的电源。或者，通过DV_{CC} SELECT引脚，可在DV_{CC}引脚上输出一个内部4.5 V电源，用作系统中其他器件的数字电源或作为上拉电阻的端阻抗。此功能的优势在于不必在隔离栅上提供数字电源。内部电源通过使DV_{CC} SELECT引脚保持不连接来使能。要禁用内部电源，将DV_{CC} SELECT与0 V相连。DV_{CC}能够供应最高5 mA的电流(负载调节图请见图10)。

外部增强功能

如图67所示，增加外部增强晶体管可通过降低片内输出晶体管中流过的电流(除以外部电路的电流增益)来降低AD5412/AD5422的功耗。可以使用击穿电压BV_{CEO}大于40 V的分立式NPN晶体管。外部增强能力专为可能希望在极端电源电压、负载电流和温度范围条件下使用AD5412/AD5422的用户开发。增强晶体管也可用于降低器件中由温度引起的漂移量。这将片内基准电压源由温度引起的漂移降至最低，改善了漂移和线性度。

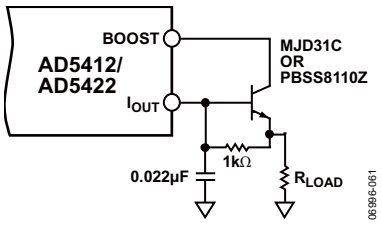


图67. 外部增强配置

外部补偿电容

电压输出通常驱动最高20 nF的容性负载；如果需要驱动最高1 µF的更大容性负载，可以在CCOMP引脚和VOUT引脚之间连接一个外部补偿电容。增加电容可保持输出电压稳定，但也降低带宽并增加电压输出的建立时间。

数字压摆率控制

AD5412/AD5422的压摆率控制特性允许用户控制输出电压或电流变化的速率。通过禁用压摆率控制特性，输出以受输出驱动电路和所连负载限制的速率变化。电流输出阶跃请见图62，电压输出阶跃请见图36。要降低压摆率，使能压摆率控制特性。通过控制寄存器的SREN位(参见表14)使能特性后，输出并非直接在两个值之间压摆，而是以通过开展寄存器可以访问的两个参数所定义的速率进行数字阶跃，如表14所示。该等参数通过SR时钟和SR阶跃位设置。SR时钟定义数字压摆更新的速率；SR阶跃定义每次更新时输出值变化多少。两个参数共同定义输出电压或电流的变化率。表22和表23描述SR时钟参数和SR阶跃参数两者的值范围。图68所示为缓升时间为10 ms、50 ms和100 ms的输出电流变化。

图22. 压摆率步长选项

SR阶跃	AD5412步长(LSB)	AD5422步长(LSB)
000	1/16	1
001	1/8	2
010	1/4	4
011	1/2	8
100	1	16
101	2	32
110	4	64
111	8	128

图23. 压摆率更新时钟选项

SR时钟	更新时钟频率(Hz)
0000	257,730
0001	198,410
0010	152,440
0011	131,580
0100	115,740
0101	69,440
0110	37,590
0111	25,770
1000	20,160
1001	16,030
1010	10,290
1011	8280
1100	6900
1101	5530
1110	4240
1111	3300

输出在给定输出范围内压摆所需的时间可表达如下：

$$Slew\ Time = \frac{Output\ Change}{Step\ Size \times Update\ Clock\ Frequency \times LSB\ Size} \quad (1)$$

其中：

*Slew Time*用秒表示。

*Output Change*针对I_{OUT}用A表示或针对V_{OUT}用V表示。

压摆率控制特性使能时，所有输出变化以编程压摆率改变；如果CLEAR引脚置位，则输出以编程压摆率压摆至零电平值。通过写入至控制寄存器，可使输出暂停于其电流值。为了避免暂停输出压摆，可读取压摆有效位(参见表19)，检查压摆是否已在写入至任一AD5410/AD5420寄存器之前完成。任何给定值的更新时钟对于所有输出范围都是相同的。但是，针对给定步长值，步长在整个输出范围内是变化的，因为对于每一输出范围而言，LSB大小都是不同的。表24所示为任一输出范围的满量程变化的可编程压摆时间范围。表24中的值由等式1计算得出。

www.BDTIC.com/ADI/

数字压摆率控制特性导致阶梯状电流输出，如图72所示。此图还显示如何通过将电容连接至CAP1和CAP2引脚来消除阶梯，如I_{OUT}滤波电容(LFCSP封装)部分所述。

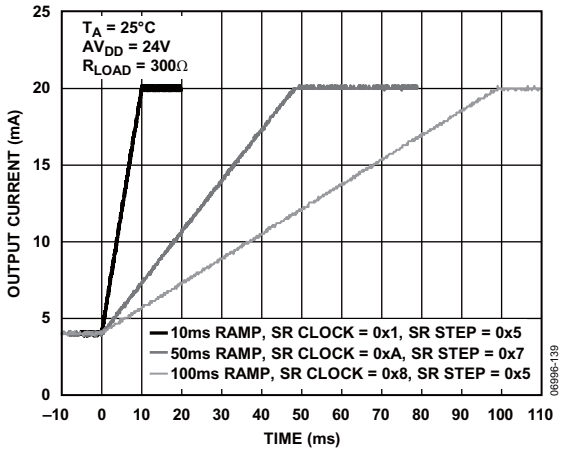


图68. 受数字压摆率控制特性控制的输出电流压摆

I_{OUT} 滤波电容(LFCSP封装)

电容可置于CAP1与AVDD和CAP2与AVDD之间，如图69所示。

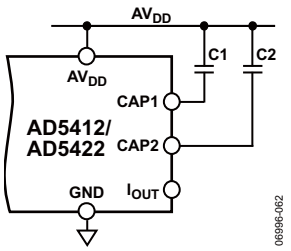


图69. I_{OUT}滤波电容

只有LFCSP封装提供CAP1引脚和CAP2引脚。这些电容在电流输出电路上形成一个滤波器，如图70所示，从而降低带宽和输出电流的压摆率。图71所示为电容对输出电流压摆率的影响要显著降低变化率，需要非常大的电容值，这在某些应用中可能不适合。这种情况下，可以使用数字压摆率控制特性。电容可以与数字压摆率控制特性一起使用，作为平整数字码增量所引起的阶跃的方法，如图72所示。

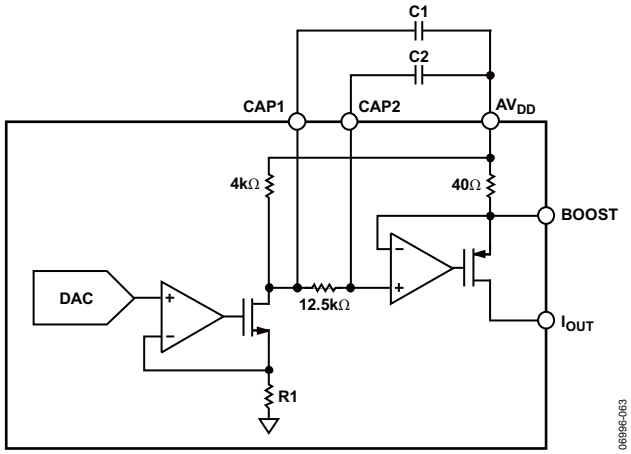


图70. I_{OUT}滤波器电路

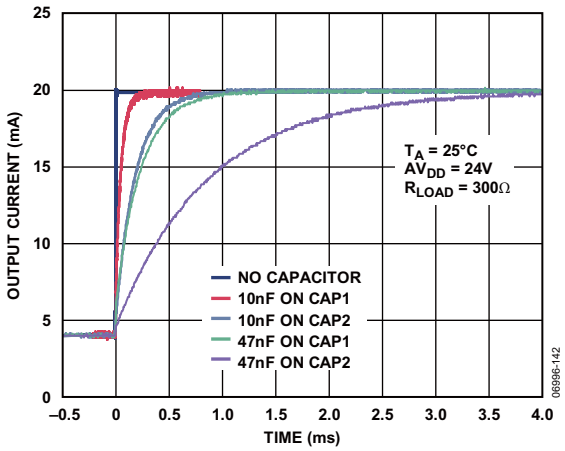


图71. 在CAP1和CAP2引脚上使用外部电容的压摆受控4 mA至20 mA输出电流阶跃

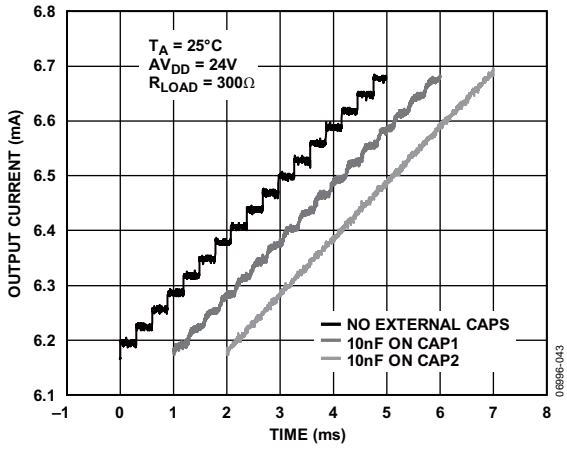


图72. 平整数字压摆率控制特性所引起的阶跃

www.BDTIC.com/ADI/

表24. 任意输出范围的满量程变化的可编程压摆时间值，单位：秒

更新时钟频率(Hz)	步长(LSB)							
	1	2	4	8	16	32	64	128
257,730	0.25	0.13	0.06	0.03	0.016	0.008	0.004	0.0020
198,410	0.33	0.17	0.08	0.04	0.021	0.010	0.005	0.0026
152,440	0.43	0.21	0.11	0.05	0.027	0.013	0.007	0.0034
131,580	0.50	0.25	0.12	0.06	0.031	0.016	0.008	0.0039
115,740	0.57	0.28	0.14	0.07	0.035	0.018	0.009	0.0044
69,440	0.9	0.47	0.24	0.12	0.06	0.03	0.015	0.007
37,590	1.7	0.87	0.44	0.22	0.11	0.05	0.03	0.014
25,770	2.5	1.3	0.64	0.32	0.16	0.08	0.04	0.020
20,160	3.3	1.6	0.81	0.41	0.20	0.10	0.05	0.025
16,030	4.1	2.0	1.0	0.51	0.26	0.13	0.06	0.03
10,290	6.4	3.2	1.6	0.80	0.40	0.20	0.10	0.05
8280	7.9	4.0	2.0	1.0	0.49	0.25	0.12	0.06
6900	9.5	4.8	2.4	1.2	0.59	0.30	0.15	0.07
5530	12	5.9	3.0	1.5	0.74	0.37	0.19	0.09
4240	15	7.7	3.9	1.9	0.97	0.48	0.24	0.12
3300	20	9.9	5.0	2.5	1.24	0.62	0.31	0.16

www.BDTIC.com/ADI/

应用信息

驱动感性负载

驱动感性负载或定义不良的负载时，在I_{OUT}与GND之间连接一个0.01 μF电容。这确保高于50 mH的负载的稳定性。不存在最大电容限值。负载的容性成本可能造成建立变慢。这种情况下，数字压摆率控制特性可能也非常有用。

瞬变电压保护

AD5412/AD5422内置ESD保护二极管，防止正常操作造成的损害。但是，工业控制环境会使I/O电路遭受高得多的瞬变。为了防止AD5412/AD5422受到过高的电压瞬变，需要外部功率二极管和一个浪涌电流限流电阻，如图73所示。对电阻值的约束条件是，在正常工作期间，I_{OUT}端的输出电平必须保持在其顺从电压限值AV_{DD} – 2.5 V以内，并且这两个保护二极管和电阻必须具有适当的额定功率。可以使用瞬变电压抑制器或瞬态吸收器提供进一步的保护；这类保护可以采用单向抑制器(防止正高电压瞬变)和双向抑制器(防止正和负高电压瞬变)，并且可以在较宽的离板和击穿电压额定值范围内实现。建议保护所有现场连接节点。

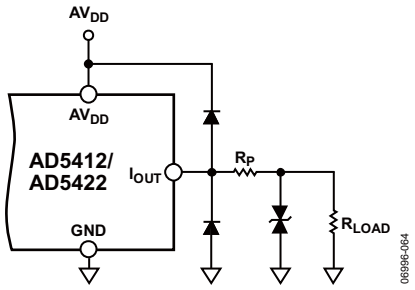


图73. 输出瞬变电压保护

电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以防止控制电路遭受可能发生的任何危险共模电压并将其隔离开。ADI公司的*i*Coupler®产品提供超过2.5 kV的电压隔离。AD5412/AD5422的串行加载结构使器件成为隔离接口的理想之选，原因是接口线路数保持在最小值。图74所示为使用ADuM1400的AD5412/AD5422的4通道隔离接口欲了解更多信息，请访问：http://www. an alog.com/icouplers。

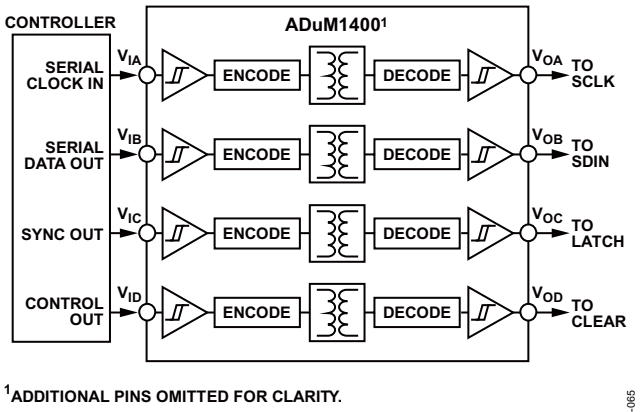


图74. 隔离接口

微处理器接口

AD5412/AD5422的微处理器接口是通过串行总线，使用与微控制器和DSP处理器兼容的协议。通信信道是一个三线式最小接口，由一个时钟信号、一个数据信号和一个锁存信号组成。AD5412/AD5422需要一个24位数据字，数据在SCLK的上升沿时有效。

对于所有接口，DAC输出更新都在LATCH的上升沿时启动。寄存器的内容可采用回读功能进行读取。

布局指南

在任何注重精度的电路中，精心考虑电源和接地回路布局有助于确保达到规定的性能。安装AD5412/AD5422所用的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5412/AD5422处于多个器件需要一个模拟地-数字地连接的系统中，只在一个点上进行连接。星形接地点尽可能靠近该器件。

AD5412/AD5422应具有足够大的10 μF电源旁路电容，与每个电源上的0.1 μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF电容为钽珠型电容。0.1 μF电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬变电流。

www.BDTIC.com/ADI/

AD5412/AD5422的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板的其它部分辐射噪声。绝不能在基准电压输入附近布设这些线路。SDIN线路与SCLK线路之间布设接地线路有助于降低二者之间的串扰(多层电路板上不需要，因为它有独立的接地层，但分开不同线路对此有所帮助)。REFIN线路上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。

避免数字信号与模拟信号交叠。PCB相反两侧上的走线应彼此垂直。这样有助于减小电路板的馈通效应。微带线技术是目前为止最好的方法，但这种技术对于双面电路板未必始终可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

散热和电源考量

AD5412/AD5422的设计可在最大125°C结温下工作。使器件不在会引起结温超过此值的条件下工作非常重要。如果AD5412/AD5422采用最大AV_{DD}工作并直接驱动最大电流(24mA)至接地，会发生结温过高情况。这种情况下，要控制环境温度或降低AV_{DD}。条件取决于器件封装。

最大环境温度85°C条件下，24引脚TSSOP封装的功耗可达950 mW，40引脚LFCSP封装的功耗可达1.42 W。为了确保结温不超过125°C并同时直接驱动24 mA最大电流至地(还增加3 mA片内电流)，要将AV_{DD}从最大额定值降下来，以确保封装功耗无需高于前述功耗(参见表25、图75和图76)。

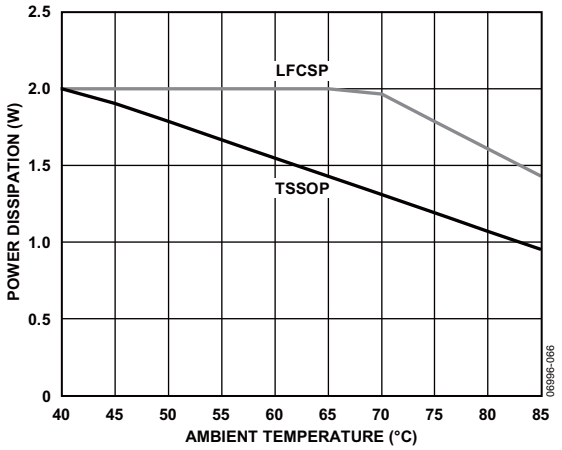


图75. 最大功耗与环境温度的关系

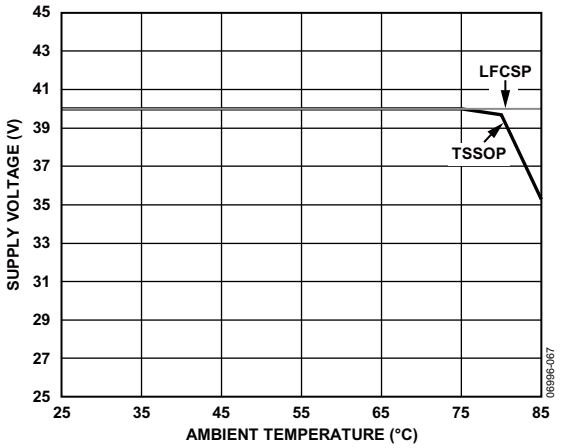


图76. 最大电源电压与环境温度的关系

表25. 各封装的散热和电源考量

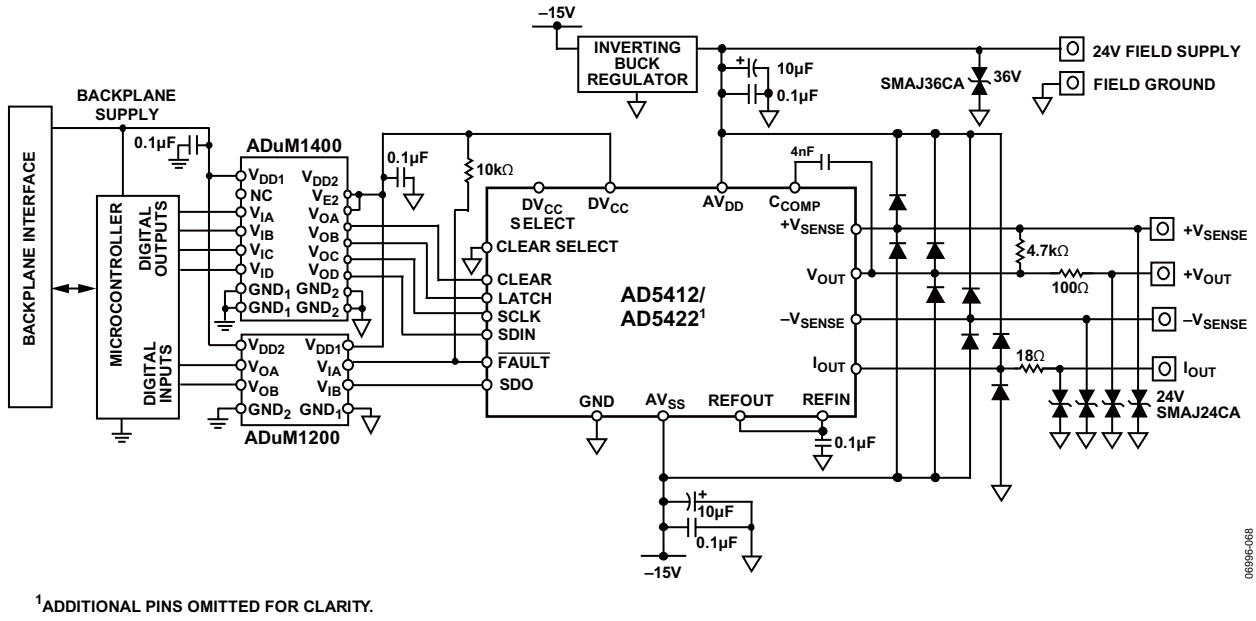
考量	TSSOP	LFCSP
在85°C环境温度下工作时的最大容许功耗	$\frac{T_J\ max - T_A}{\theta_{JA}} = \frac{125 - 85}{42} = 950\ \text{mW}$	$\frac{T_J\ max - T_A}{\theta_{JA}} = \frac{125 - 85}{28} = 1.42\ \text{W}$
采用40 V电源供电并直接驱动24 mA至地时的最大容许环境温度	$T_J\ max \quad P_D \quad \theta_{JA} = 125 - (40 \times 0.028) \times 42 = 78°\text{C}$	$T_J\ max - P_D \times \theta_{JA} \quad 125 \quad (40 \times 0.028) \times 28 = 94°\text{C}$
采用40 V电源供电并直接驱动24 mA至地时的最大容许环境温度	$\frac{T_J\ max - T_A}{AI_{DD} \times \theta_{JA}} = \frac{125 - 85}{0.028 \times 42} = 34\ \text{V}$	$\frac{T_J\ max - T_A}{AI_{DD} \times \theta_{JA}} = \frac{125 - 85}{0.028 \times 28} = 51\ \text{V}$

www.BDTIC.com/ADI/

工业模拟输出模块

许多工业控制应用都需要精确控制的电流和电压输出信号。AD5412/AD5422是此类应用的理想之选。图77所示为工业控制应用专用输出模块的电路设计中的AD5412/AD5422该设计提供一个电流或电压输出。模块采用24 V现场电源供电。此电源直接供应AV_{DD}。反相降压调节器为AVSS生成负电源。为了实现瞬变过压保护，在所有现场可访问连接上均配置瞬变电压抑制器(TVS)。每个I_{OUT}、V_{OUT}、$+V_{SENSE}$和$-V_{SENSE}$连接上配置一个24 V的TVS，现场电源输入上配置一个36 V的TVS。可将箝位二极管从I_{OUT}、V_{OUT}、$+V_{SENSE}$和$-V_{SENSE}$引脚连接到AV_{DD}和AV_{SS}电源引脚，进行额外保护。如果不需要远程电压负载检测，可将$+V_{SENSE}$引脚直接连接到V_{OUT}引脚，并可将$-V_{SENSE}$引脚连接到GND。

AD5412/AD5422与背板电路之间的隔离通过ADuM1400和ADuM1200 *i*Coupler数字隔离器实现；有关iCoupler产品的更多信息，请访问www.analog.com/icouplers。AD5412/AD5422的内部产生数字电源为数字隔离器的现场端供电，因而无需在隔离栅的现场端产生数字电源。AD5412/AD5422数字电源输出最高供应5 mA电流，满足采用最高1 MHz逻辑信号频率工作的ADuM1400和ADuM1200的2.8 mA需求绰绰有余。要降低所需隔离器的数量，可将CLEAR等不重要的信号连接到GND。FAULT和SDO可保持不连接，从而将隔离需求降到仅三个信号。



[1]ADDITIONAL PINS OMITTED FOR CLARITY.

图77. 工业模拟输出模块应用中的AD5412/AD5422

www.BDTIC.com/ADI/

外形尺寸

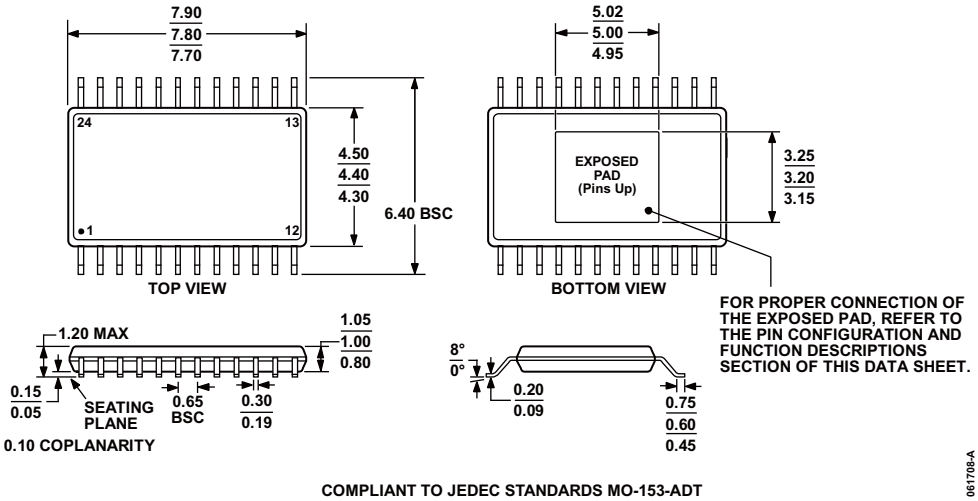


图78. 24引脚裸露焊盘、超薄紧缩小型封装[TSSOP_EP]
(RE-24)图示尺寸单位：mm

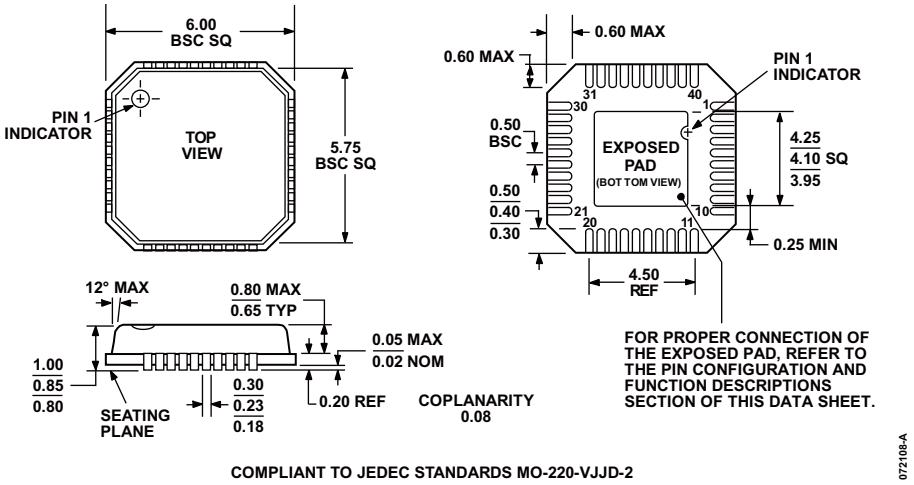


图79. 40引脚引脚架构芯片级封装[LFCSP_VQ]
6 mm x 6 mm , 超薄体
(CP-40-1)
图示尺寸单位：mm

www.BDTIC.com/ADI/

订购指南

型号[1]	分辨率	I_{OUT} TUE	V_{OUT} TUE	温度范围	封装描述	封装选项
AD5412AREZ	12位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5412AREZ-REEL7	12位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5412ACPZ-REEL	12位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
AD5412ACPZ-REEL7	12位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
AD5422AREZ	16位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5422AREZ-REEL	16位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5422BREZ	16位	0.3% FSR,最大值	0.1% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5422BREZ-REEL	16位	0.3% FSR,最大值	0.1% FSR,最大值	−40°C 至 +85°C	24引脚TSSOP_EP	RE-24
AD5422ACPZ-REEL	16位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
AD5422ACPZ-REEL7	16位	0.5% FSR,最大值	0.3% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
AD5422BCPZ-REEL	16位	0.3% FSR,最大值	0.1% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
AD5422BCPZ-REEL7	16位	0.3% FSR,最大值	0.1% FSR,最大值	−40°C 至 +85°C	40引脚LFCSP_VQ	CP-40-1
EVAL-AD5422EBZ					评估板	

[1] Z = 符合RoHS标准的兼容器件。

www.BDTIC.com/ADI/

注释

©2009-2010 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D06996-0-3/10(C)

www.BDTIC.com/ADI/