

## AD5624R/AD5644R/AD5664R

### 特性

低功耗，最小的引脚兼容、四通道nanoDAC

**AD5664R: 16位**

**AD5644R: 14位**

**AD5624R: 12位**

用户可选外部或内部基准电压源

默认使用外部基准电压源

1.25 V/2.5 V、5 ppm/°C片内基准电压源

10引脚MSOP和3 mm × 3 mm、LFCSP\_WD封装

电源电压范围: 2.7 V至5.5 V

通过设计保证单调性

上电复位至零电平

各通道独立关断

串行接口，时钟速率最高达50 MHz

### 应用

过程控制

数据采集系统

便携式电池供电仪表

数字增益和失调电压调整

可编程电压源和电流源

可编程衰减器

### 概述

AD5624R/AD5644R/AD5664R均属于nanoDAC®系列，分别是低功耗、四通道、12/14/16位缓冲电压输出DAC，采用2.7 V至5.5 V单电源供电，通过设计保证单调性。

AD5624R/AD5644R/AD5664R均内置一个片内基准电压源。AD56x4R-3内置一个1.25 V、5 ppm/°C基准电压源，满量程输出范围可达到2.5 V；AD56x4R-5内置一个2.5 V、5 ppm/°C基准电压源，满量程输出范围可达到5 V。上电时，片内基准电压源关闭，因而可以用外部基准电压源。所有器件均可以采用2.7 V至5.5 V单电源供电。内部基准电压源通过软件写操作来使能。

上述器件内置一个上电复位电路，确保DAC上电后输出0 V并保持该电平，直到执行一次有效的写操作为止。此外还具有各通道独立关断特性，在关断模式下，器件在5 V

功能框图

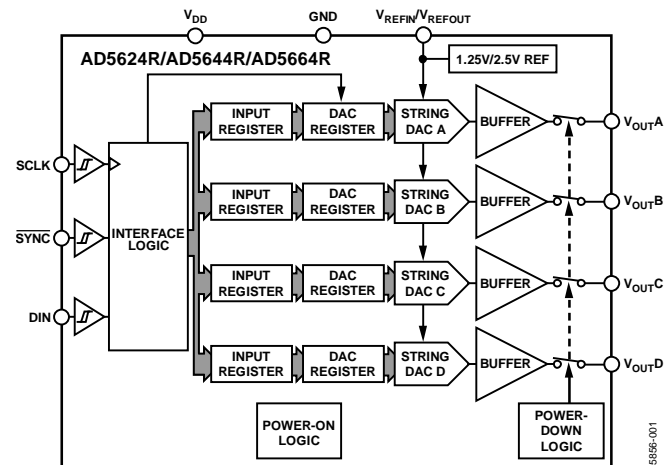


图1

表1. 相关器件

产品型号	描述
AD5624/AD5664	2.7 V至5.5 V、四通道、12/16位DAC，外部基准电压源
AD5666	2.7 V至5.5 V、四通道、16位DAC，内部基准电压源，LDAC、CLR引脚

时的功耗降至480 nA，并提供软件可选的输出负载。在正常工作模式下，该器件具有低功耗特性，非常适合便携式电池供电设备。

AD5624R/AD5644R/AD5664R采用多功能三线式串行接口，能够以最高50 MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。它内置片内精密输出放大器，能够实现轨到轨输出摆幅。

### 产品聚焦

1. 四通道、12/14/16位DAC。
2. 1.25 V/2.5 V、5 ppm/°C片内基准电压源。
3. 提供3 mm × 3 mm、10引脚MSOP和10引脚LFCSP\_WD两种封装。
4. 低功耗：3 V时典型功耗为1.32 mW，5 V时为2.2 mW。

### Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由本产品产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2006–2008 Analog Devices, Inc. All rights reserved.

## 目录

特性.....	1	内部基准电压源.....	20
应用.....	1	外部基准电压源.....	20
功能框图.....	1	串行接口.....	20
概述.....	1	输入移位寄存器.....	21
产品聚焦.....	1	$\overline{\text{SYNC}}$ 中断.....	21
修订历史.....	2	上电复位.....	22
技术规格.....	3	软件复位.....	22
AD5624R-5/AD5644R-5/AD5664R-5.....	3	关断模式.....	22
AD5624R-3/AD5644R-3/AD5664R-3.....	4	LDAC功能.....	23
交流特性.....	6	内部基准电压源设置.....	23
时序特性.....	7	微处理器接口.....	24
时序图.....	7	应用.....	25
绝对最大额定值.....	8	使用基准电压源作为AD5624R/AD5644R/AD5664R的电源.....	25
ESD警告.....	8	使用AD5624R/AD5644R/AD5664R实现双极性工作模式.....	25
引脚配置和功能描述.....	9	AD5624R/AD5644R/AD5664R与电隔离接口的配合使用.....	25
典型工作特性.....	10	电源旁路和接地.....	26
术语.....	18	外形尺寸.....	27
工作原理.....	20	订购指南.....	28
数模转换部分.....	20		
电阻串.....	20		
输出放大器.....	20		

## 修订历史

### 2008年4月—修订版A至修订版B

更改图50.....	20
更新“外形尺寸”.....	27
更改“订购指南”部分.....	28

### 2006年11月—修订版0至修订版A

更改表2中的基准输出参数.....	3
更改表3中的基准输出参数.....	5
增加图3的注释.....	9

### 2006年4月—修订版0：初始版

## 技术规格

### AD5624R-5/AD5644R-5/AD5664R-5

除非另有说明,  $V_{DD} = 4.5\text{ V}$ 至 $5.5\text{ V}$ ,  $R_L = 2\text{ k}\Omega$ 接GND,  $C_L = 200\text{ pF}$ 接GND,  $V_{REFIN} = V_{DD}$ ; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表2

参数	B级 <sup>1</sup>			单位	条件/注释
	最小值	典型值	最大值		
静态性能 <sup>2</sup>					
AD5664R					
分辨率	16			位	
相对精度		±8	±16	LSB	
微分非线性			±1	LSB	通过设计保证单调性
AD5644R					
分辨率	14			位	
相对精度		±2	±4	LSB	
微分非线性			±0.5	LSB	通过设计保证单调性
AD5624R					
分辨率	12			位	
相对精度		±0.5	±1	LSB	
微分非线性			±0.25	LSB	通过设计保证单调性
零编码误差		2	10	mV	DAC寄存器载入全0
失调误差		±1	±10	mV	
满量程误差		-0.1	±1	% of FSR	DAC寄存器载入全1
增益误差			±1.5	% of FSR	
零编码误差漂移		±2		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		±2.5		ppm	FSR/ $^\circ\text{C}$
直流电源抑制比		-100		dB	DAC编码 = 中间量程; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰					
外部基准电压源		10		$\mu\text{V}$	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		10		$\mu\text{V}/\text{mA}$	负载电流变化引起
		5		$\mu\text{V}$	(各通道)关断引起
内部基准电压源		25		$\mu\text{V}$	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		20		$\mu\text{V}/\text{mA}$	负载电流变化引起
		10		$\mu\text{V}$	(各通道)关断引起
输出特性 <sup>3</sup>					
输出电压范围	0		$V_{DD}$	V	
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5		$\Omega$	
短路电流		30		mA	$V_{DD} = 5\text{ V}$
上电时间		4		$\mu\text{s}$	退出关断模式; $V_{DD} = 5\text{ V}$
基准输入					
基准电流		170	200	$\mu\text{A}$	$V_{REF} = V_{DD} = 5.5\text{ V}$
基准电压输入范围	0.75		$V_{DD}$	V	
基准输入阻抗		26		k $\Omega$	
基准输出					
输出电压	2.495		2.505	V	环境温度
基准电压温度系数(TC) <sup>3</sup>		±5	±10	ppm/ $^\circ\text{C}$	MSOP封装型号
		±10		ppm/ $^\circ\text{C}$	LFCSP封装型号
输出阻抗		7.5		k $\Omega$	

# AD5624R/AD5644R/AD5664R

参数	B级 <sup>1</sup>			单位	条件/注释
	最小值	典型值	最大值		
逻辑输入 <sup>3</sup>					
输入电流			±2	μA	所有数字输入
低输入电压 $V_{INL}$			0.8	V	$V_{DD} = 5\text{ V}$
高输入电压 $V_{INH}$	2			V	$V_{DD} = 5\text{ V}$
引脚电容		3		pF	
电源要求					
$V_{DD}$	4.5		5.5	V	$V_{IH} = V_{DD}, V_{IL} = \text{GND}, V_{DD} = 4.5\text{ V 至 } 5.5\text{ V}$
$I_{DD}$					
正常模式 <sup>4</sup>		0.45	0.9	mA	内部基准电压源关闭
		0.95	1.2	mA	内部基准电压源开启
全关断模式 <sup>5</sup>		0.48	1	μA	

<sup>1</sup> 温度范围(B级): -40°C至+105°C。

<sup>2</sup> 线性度计算使用缩减的数据范围: AD5664R(编码512到编码65,024); AD5644R(编码128到编码16,256); AD5624R(编码32到编码4064)。输出端无负载。

<sup>3</sup> 通过设计和特性保证, 未经生产测试。

<sup>4</sup> 接口未启用。所有DAC启用。DAC输出端无负载。

<sup>5</sup> 所有DAC关断。

## AD5624R-3/AD5644R-3/AD5664R-3

除非另有说明,  $V_{DD} = 2.7\text{ V至}3.6\text{ V}$ ,  $R_L = 2\text{ k}\Omega$ 接GND,  $C_L = 200\text{ pF}$ 接GND,  $V_{REFIN} = V_{DD}$ ; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表3

参数	B级 <sup>1</sup>			单位	条件/注释
	最小值	典型值	最大值		
静态性能 <sup>2</sup>					
AD5664R					
分辨率	16			位	
相对精度		±8	±16	LSB	
微分非线性			±1	LSB	通过设计保证单调性
AD5644R					
分辨率	14			位	
相对精度		±2	±4	LSB	
微分非线性			±0.5	LSB	通过设计保证单调性
AD5624R					
分辨率	12			位	
相对精度		±0.5	±1	LSB	
微分非线性			±0.25	LSB	通过设计保证单调性
零编码误差		2	10	mV	DAC寄存器载入全0
失调误差		±1	±10	mV	
满量程误差		-0.1	±1	% of FSR	DAC寄存器载入全1
增益误差			±1.5	% of FSR	
零编码误差漂移		±2		μV/°C	
增益温度系数		±2.5		ppm	FSR/°C
直流电源抑制比		-100		dB	DAC编码 = 中间量程; $V_{DD} = 3\text{ V} \pm 10\%$
直流串扰					
外部基准电压		10		μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		10		μV/mA	负载电流变化引起
		5		μV	(各通道)关断引起
内部基准电压		25		μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		20		μV/mA	负载电流变化引起
		10		μV	(各通道)关断引起

# AD5624R/AD5644R/AD5664R

参数	B级 <sup>1</sup>			单位	条件/注释
	最小值	典型值	最大值		
输出特性 <sup>3</sup>					
输出电压范围	0		$V_{DD}$	V	
容性负载稳定性		2		nF	$R_L = \infty$
直流输出阻抗		10		nF	$R_L = 2\text{ k}\Omega$
短路电流		0.5		$\Omega$	
上电时间		30		mA	$V_{DD} = 3\text{ V}$
		4		$\mu\text{s}$	退出关断模式; $V_{DD} = 3\text{ V}$
基准输入					
基准电流		170	200	$\mu\text{A}$	$V_{REF} = V_{DD} = 3.6\text{ V}$
基准电压输入范围	0		$V_{DD}$	V	
基准输入阻抗		26		$\text{k}\Omega$	
基准输出					
输出电压	1.247		1.253	V	环境温度
基准电压温度系数(TC) <sup>3</sup>		$\pm 5$	$\pm 15$	ppm/ $^{\circ}\text{C}$	MSOP封装型号
		$\pm 10$		ppm/ $^{\circ}\text{C}$	LFCSP封装型号
输出阻抗		7.5		$\text{k}\Omega$	
逻辑输入 <sup>3</sup>					
输入电流			$\pm 2$	$\mu\text{A}$	所有数字输入
低输入电压 $V_{INL}$			0.8	V	$V_{DD} = 3\text{ V}$
高输入电压 $V_{INH}$	2			V	$V_{DD} = 3\text{ V}$
引脚电容		3		pF	
电源要求					
$V_{DD}$	2.7		3.6	V	$V_{IH} = V_{DD}, V_{IL} = \text{GND}, V_{DD} = 2.7\text{ V 至 } 3.6\text{ V}$
$I_{DD}$					内部基准电压源关闭
正常模式 <sup>4</sup>		0.44	0.85	mA	内部基准电压源开启
全关断模式 <sup>5</sup>		0.95	1.15	mA	
		0.2	1	$\mu\text{A}$	

1 温度范围(B级):  $-40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ 。

2 线性度计算使用缩减的数据范围: AD5664R(编码512到编码65,024); AD5644R(编码128到编码16,256); AD5624R(编码32到编码4064)。输出端无负载。

3 通过设计和特性保证, 未经生产测试。

4 接口未启用。所有DAC启用。DAC输出端无负载。

5 所有DAC关断。

# AD5624R/AD5644R/AD5664R

## 交流特性

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ， $R_L = 2\text{ k}\Omega$ 接GND， $C_L = 200\text{ pF}$ 接GND， $V_{REFIN} = V_{DD}$ ；所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言<sup>1</sup>。

表4

参数 <sup>2</sup>	最小值	典型值	最大值	单位	条件/注释 <sup>3</sup>
输出电压建立时间					
AD5624R		3	4.5	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 0.5\text{ LSB}$
AD5644R		3.5	5	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 0.5\text{ LSB}$
AD5664R		4	7	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 2\text{ LSB}$
压摆率		1.8		$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲		10		$\text{nV}\cdot\text{s}$	主进位1 LSB变化
数字馈通		0.1		$\text{nV}\cdot\text{s}$	
基准馈通		-90		$\text{dB}$	$V_{REF} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率范围10 Hz至20 MHz
数字串扰		0.1		$\text{nV}\cdot\text{s}$	
模拟串扰		1		$\text{nV}\cdot\text{s}$	外部基准电压源
		4		$\text{nV}\cdot\text{s}$	内部基准电压源
DAC间串扰		1		$\text{nV}\cdot\text{s}$	外部基准电压源
		4		$\text{nV}\cdot\text{s}$	内部基准电压源
乘法带宽		340		$\text{kHz}$	$V_{REF} = 2\text{ V} \pm 0.1\text{ V p-p}$
总谐波失真		-80		$\text{dB}$	$V_{REF} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率 = 10 kHz
输出噪声频谱密度		120		$\text{nV}/\sqrt{\text{Hz}}$	DAC编码 = 中间量程，1 kHz
		100		$\text{nV}/\sqrt{\text{Hz}}$	DAC编码 = 中间量程，10 kHz
输出噪声		15		$\mu\text{V p-p}$	0.1 Hz至10 Hz

1 通过设计和特性保证，未经生产测试。

2 参见“术语”部分。

3 温度范围： $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ ，典型值 $25^\circ\text{C}$ 。

## 时序特性

所有输入信号均在 $t_R = t_F = 1 \text{ ns/V}$  (10%到90%的 $V_{DD}$ )情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时(见图2)。除非另有说明,  $V_{DD} = 2.7 \text{ V}$ 至 $5.5 \text{ V}$ , 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。<sup>1</sup>

表5

参数	$T_{MIN}$ 、 $T_{MAX}$ 的限值 $V_{DD} = 2.7 \text{ V}$ 至 $5.5 \text{ V}$	单位	条件/注释
$t_1^2$	20	ns(最小值)	SCLK周期时间
$t_2$	9	ns(最小值)	SCLK高电平时间
$t_3$	9	ns(最小值)	SCLK低电平时间
$t_4$	13	ns(最小值)	SYNC到SCLK下降沿建立时间
$t_5$	5	ns(最小值)	数据建立时间
$t_6$	5	ns(最小值)	数据保持时间
$t_7$	0	ns(最小值)	SCLK下降沿到SYNC上升沿
$t_8$	15	ns(最小值)	最小SYNC高电平时间
$t_9$	13	ns(最小值)	SYNC上升沿到SCLK下降沿忽略
$t_{10}$	0	ns(最小值)	SCLK下降沿到SYNC下降沿忽略

1 通过设计和特性保证, 未经生产测试。

2  $V_{DD} = 2.7 \text{ V}$ 至 $5.5 \text{ V}$ 时, 最大SCLK频率为50 MHz。

## 时序图

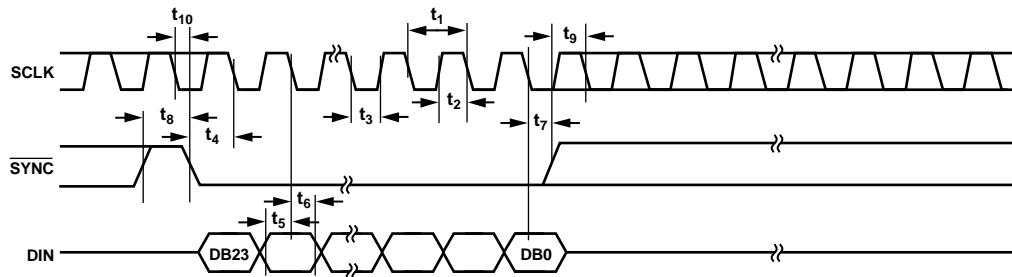


图2. 串行写入操作

05886-002

# AD5624R/AD5644R/AD5664R

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表6

参数	额定值
$V_{DD}$ 至 GND	-0.3 V 至 +7 V
$V_{OUT}$ 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
$V_{REFIN}/V_{REFOUT}$ 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
数字输入电压至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
工作温度范围	
工业	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
结温( $T_J$ 最大值)	150°C
功耗	$(T_{J\max} - T_A)/\theta_{JA}$
热阻	
LFCSP_WD封装(四层板)	
$\theta_{JA}$	61°C/W
MSOP封装(四层板)	
$\theta_{JA}$	142°C/W
$\theta_{JC}$	43.7°C/W
回流焊峰值温度	
无铅	260°C $\pm$ 5°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



## 引脚配置和功能描述

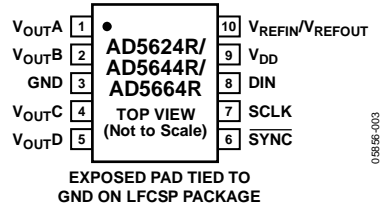


图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
1	V <sub>OUTA</sub>	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
2	V <sub>OUTB</sub>	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
3	GND	器件上所有电路的接地基准点。
4	V <sub>OUTC</sub>	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
5	V <sub>OUTD</sub>	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
6	$\overline{\text{SYNC}}$	低电平有效控制输入。这是输入数据的帧同步信号。当 $\overline{\text{SYNC}}$ 变为低电平时，SCLK和DIN缓冲器上电，输入移位寄存器使能。数据在后续24个时钟的下降沿读入。如果 $\overline{\text{SYNC}}$ 在第24个下降沿之前变为高电平， $\overline{\text{SYNC}}$ 的上升沿将用作中断，器件将忽略写入序列。
7	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。
8	DIN	串行数据输入。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
9	V <sub>DD</sub>	电源输入引脚。这些器件可以采用2.7V至5.5V电源供电，电源应通过并联的10 $\mu\text{F}$ 电容和0.1 $\mu\text{F}$ 电容去耦至GND。
10	V <sub>REFIN</sub> /V <sub>REFOUT</sub>	AD5624R/AD5644R/AD5664R有一个用于基准输入和输出的公用引脚。使用内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认用作基准输入。

## 典型工作特性

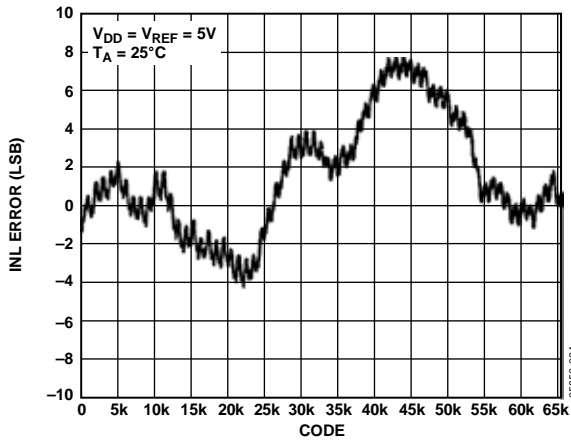


图4. AD5664R INL, 外部基准电压源

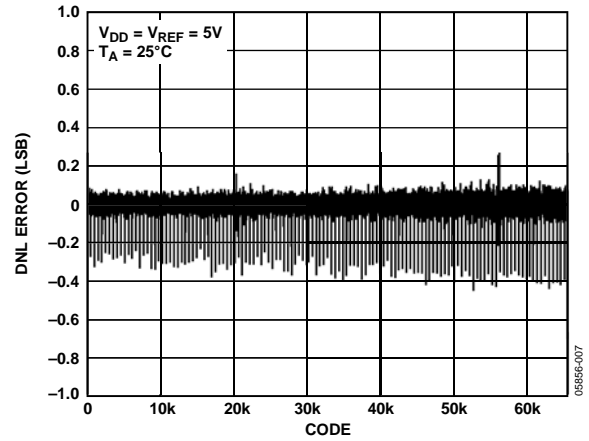


图7. AD5664R DNL, 外部基准电压源

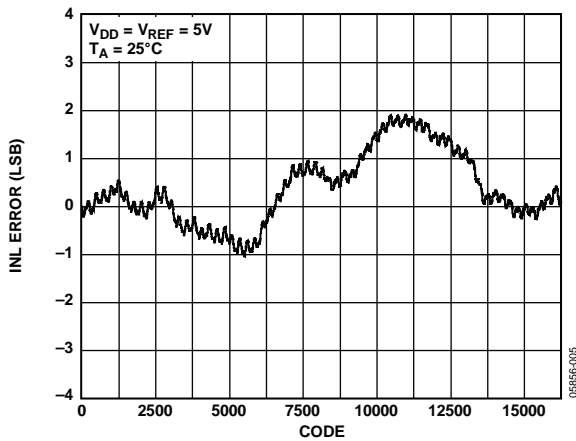


图5. AD5644R INL, 外部基准电压源

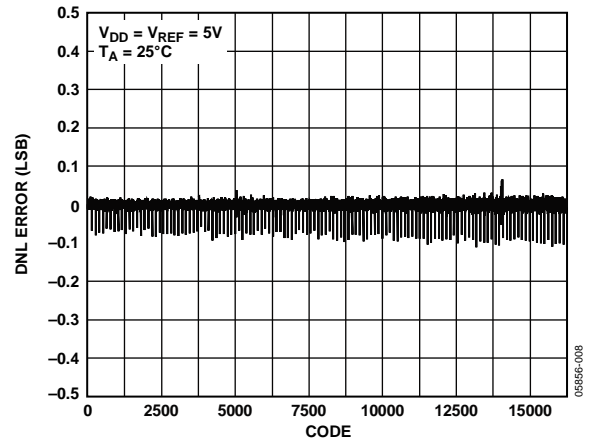


图8. AD5644R DNL, 外部基准电压源

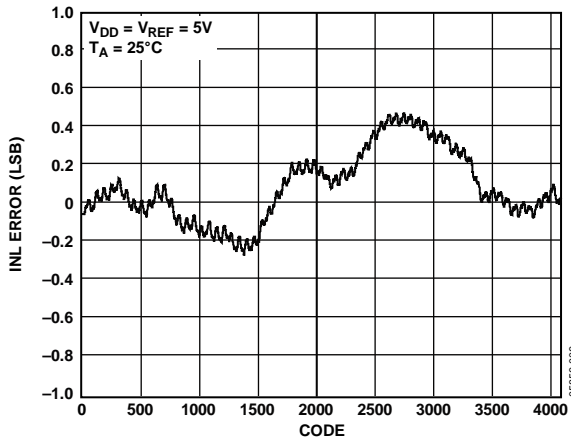


图6. AD5624R INL, 外部基准电压源

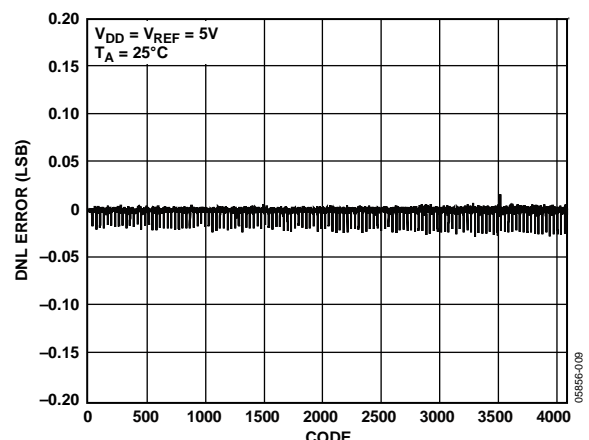


图9. AD5624R DNL, 外部基准电压源

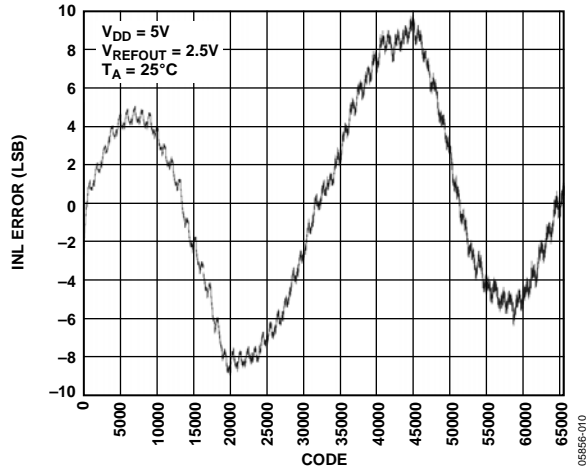


图10. AD5664R-5 INL, 内部基准电压源

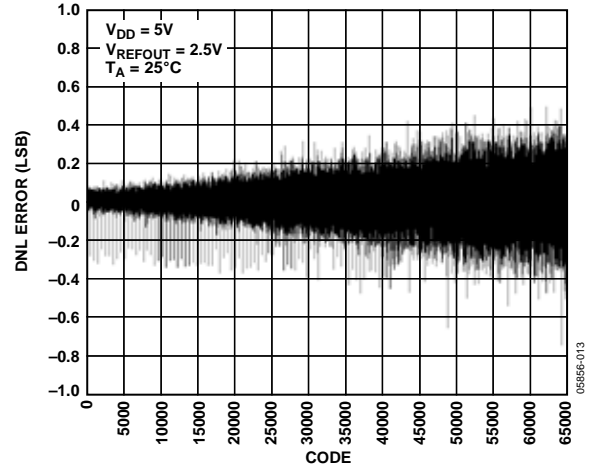


图13. AD5664R-5 DNL, 内部基准电压源

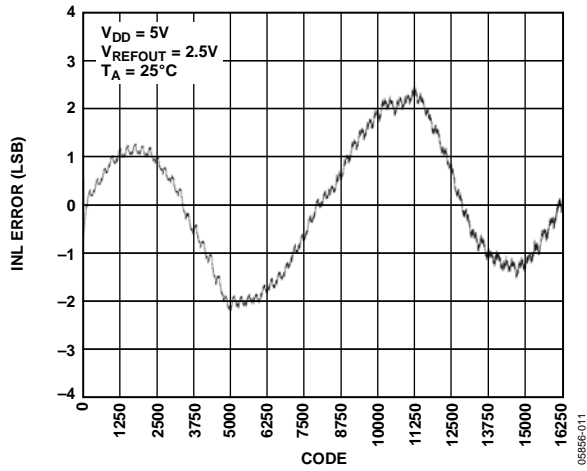


图11. AD5644R-5 INL, 内部基准电压源

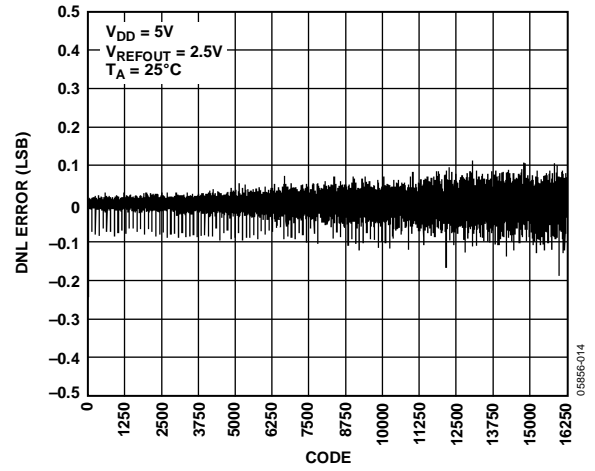


图14. AD5644R-5 DNL, 内部基准电压源

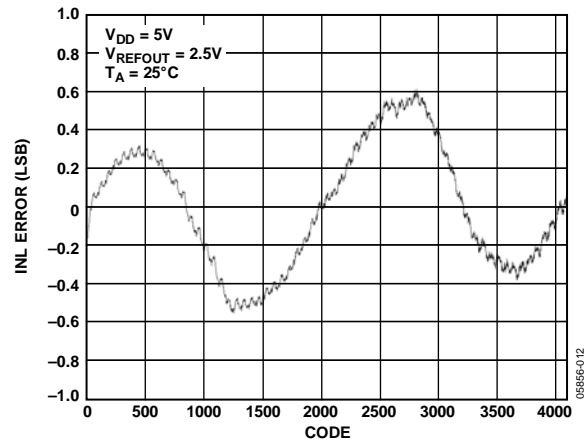


图12. AD5624R-5 INL, 内部基准电压源

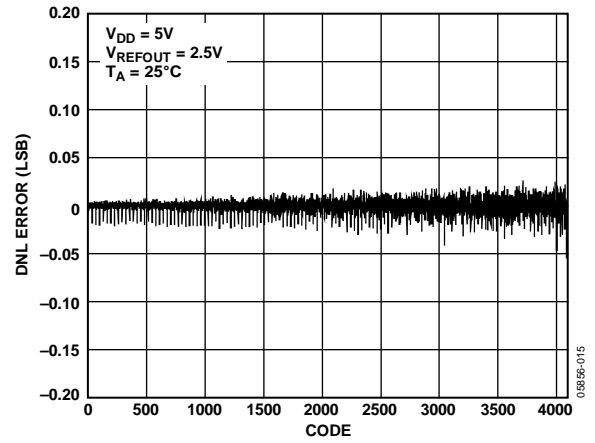


图15. AD5624R-5 DNL, 内部基准电压源

# AD5624R/AD5644R/AD5664R

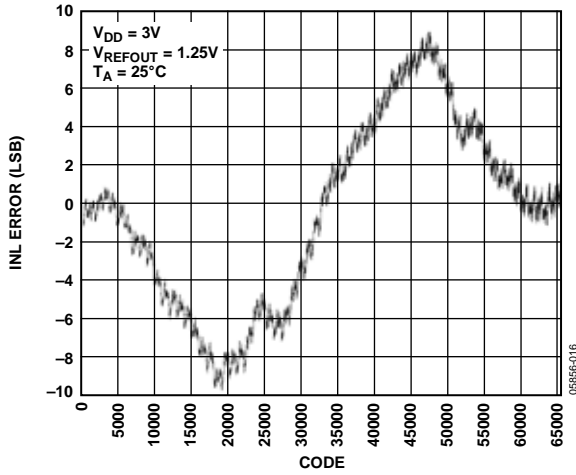


图16. AD5664R-3 INL, 内部基准电压源

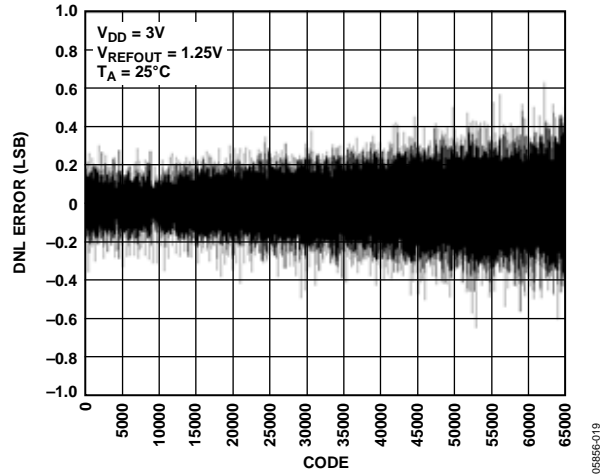


图19. AD5664R-3 DNL, 内部基准电压源

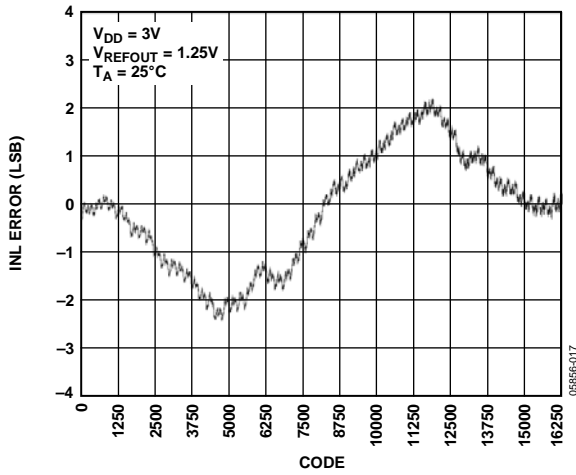


图17. AD5644R-3 INL, 内部基准电压源

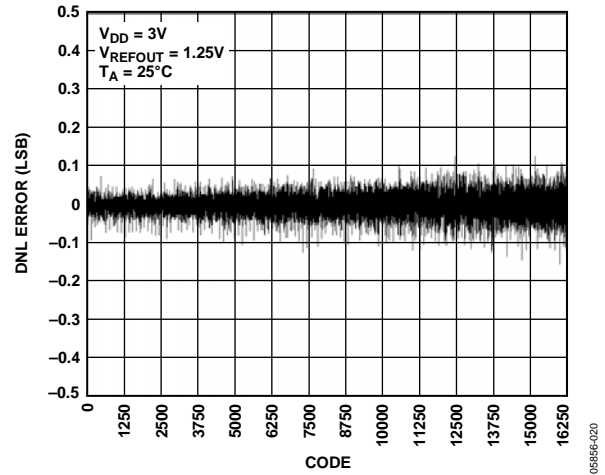


图20. AD5644R-3 DNL, 内部基准电压源

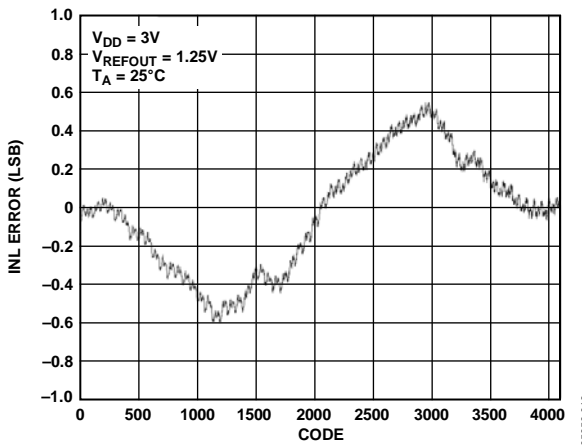


图18. AD5624R-3 INL, 内部基准电压源

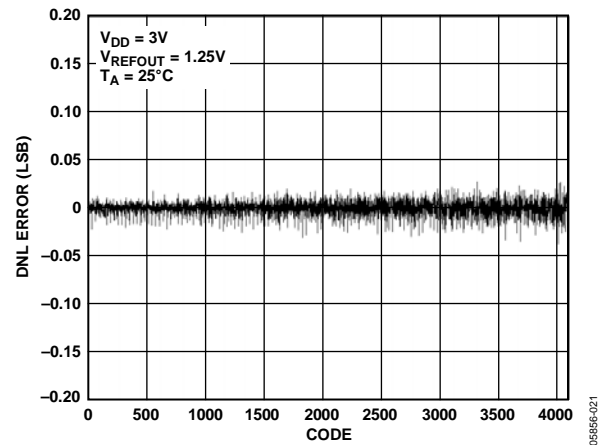


图21. AD5624R-3 DNL, 内部基准电压源

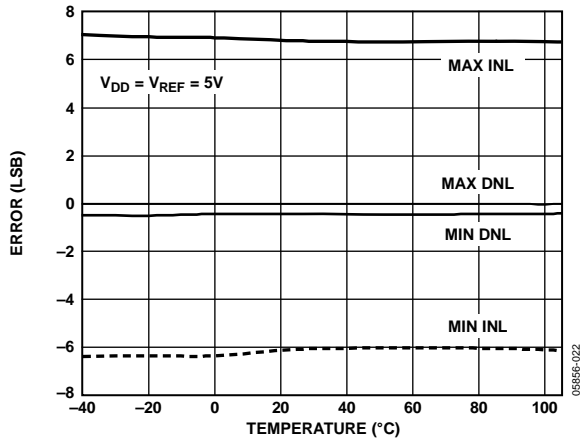


图22. INL误差和DNL误差与温度的关系

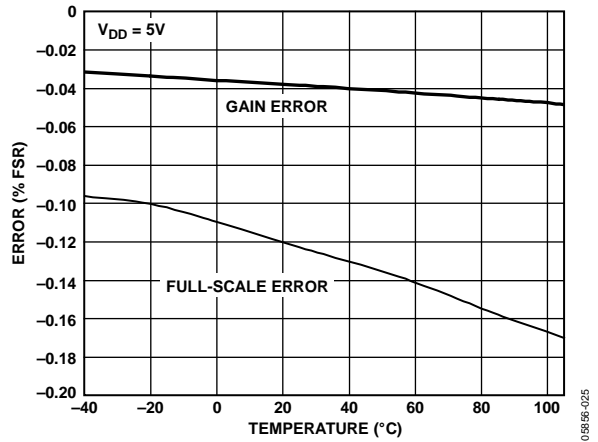


图25. 增益误差和满量程误差与温度的关系

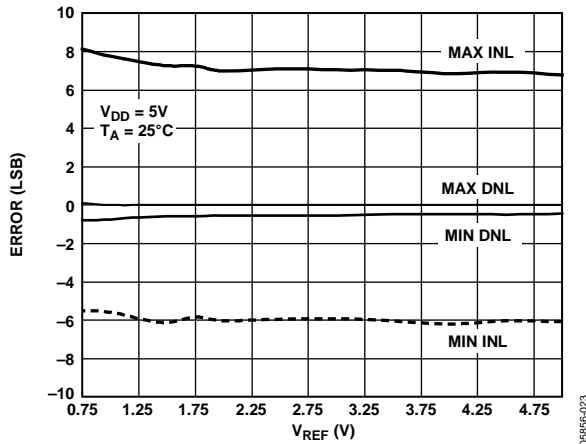


图23. INL误差和DNL误差与 $V_{REF}$ 的关系

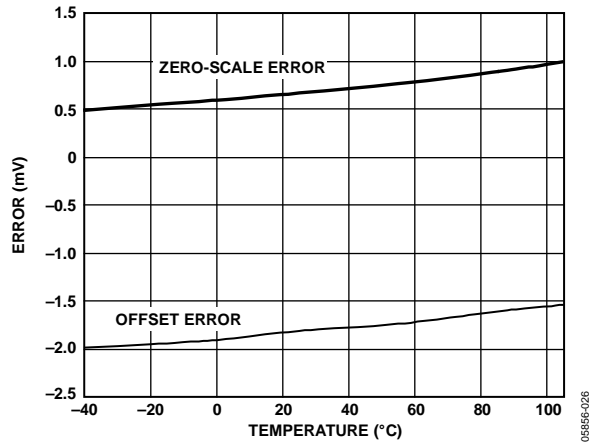


图26. 零电平误差和失调误差与温度的关系

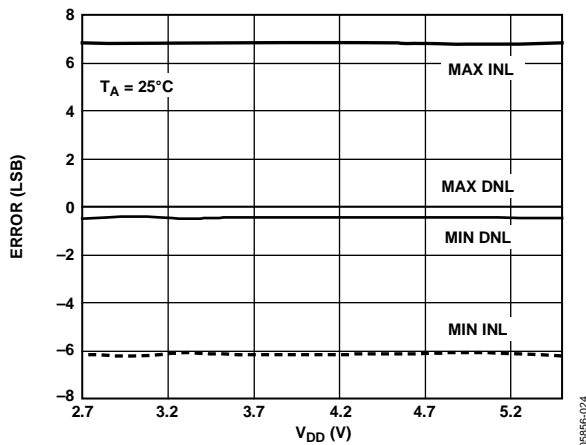


图24. INL误差和DNL误差与电源的关系

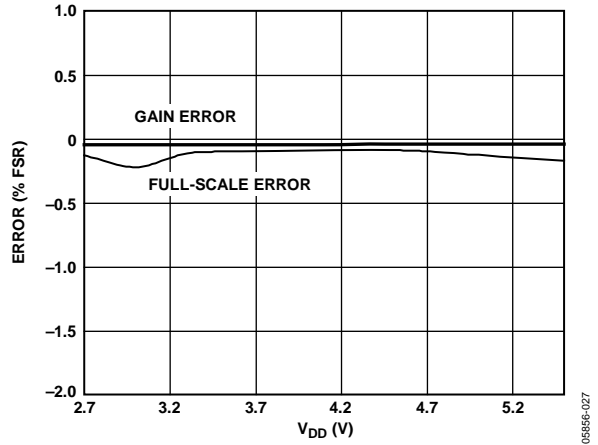


图27. 增益误差和满量程误差与电源的关系

# AD5624R/AD5644R/AD5664R

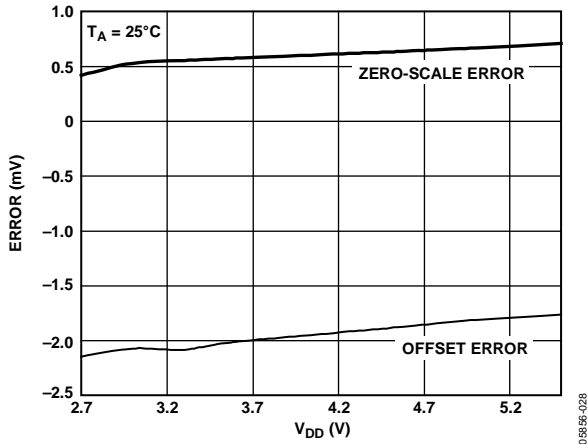


图28. 零电平误差和失调误差与电源的关系

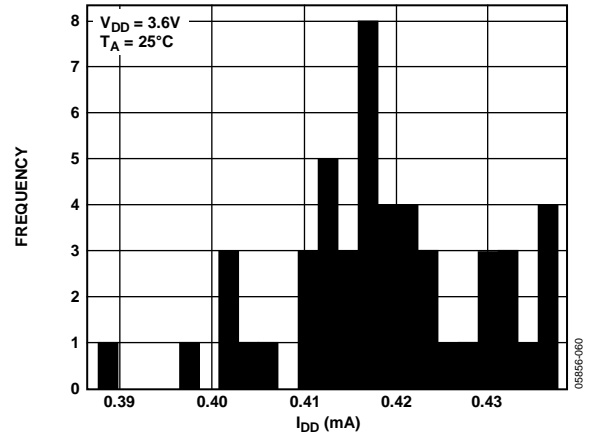


图31. 采用外部基准电压源时的 $I_{DD}$ 直方图(3.6 V)

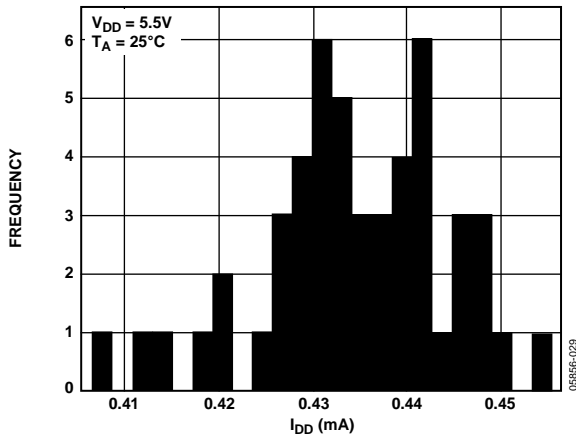


图29. 采用外部基准电压源时的 $I_{DD}$ 直方图(5.5 V)

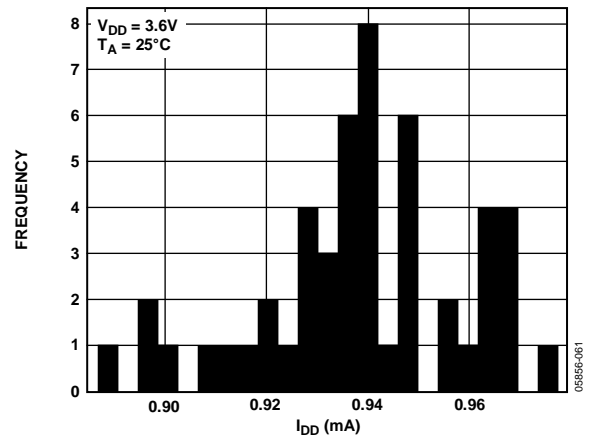


图32. 采用内部基准电压源时的 $I_{DD}$ 直方图,  $V_{REFOUT} = 1.25$  V

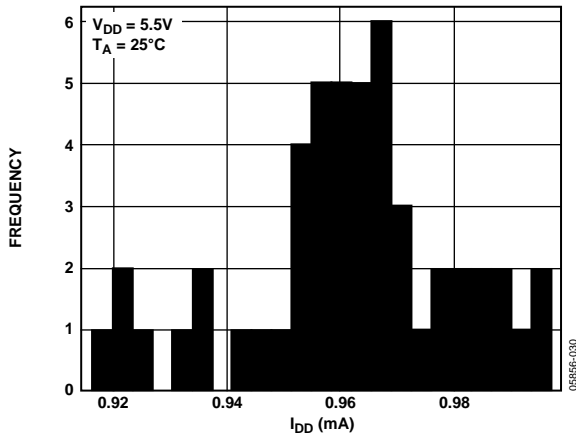


图30. 采用内部基准电压源时的 $I_{DD}$ 直方图,  $V_{REFOUT} = 2.5$  V

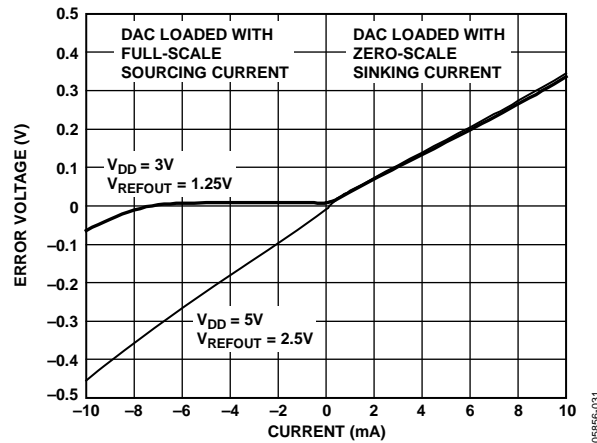


图33. 供电轨裕量与源电流和吸电流的关系

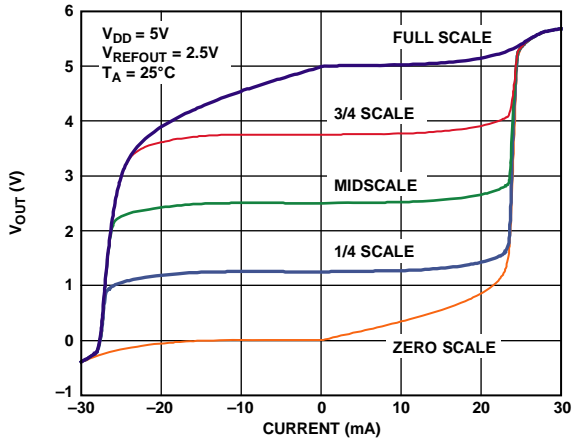


图34. AD56x4R-5的源电流和吸电流能力

05856-046

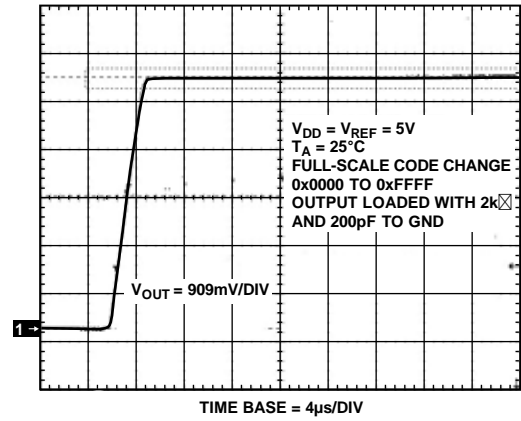


图37. 满量程建立时间(5 V)

05856-046

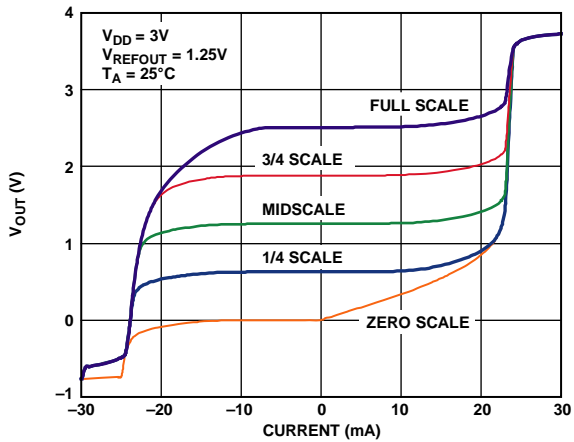


图35. AD56x4R-3的源电流和吸电流能力

05856-047

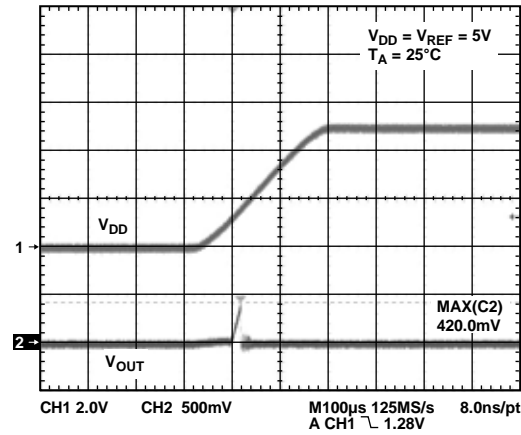


图38. 上电复位至0 V

05856-049

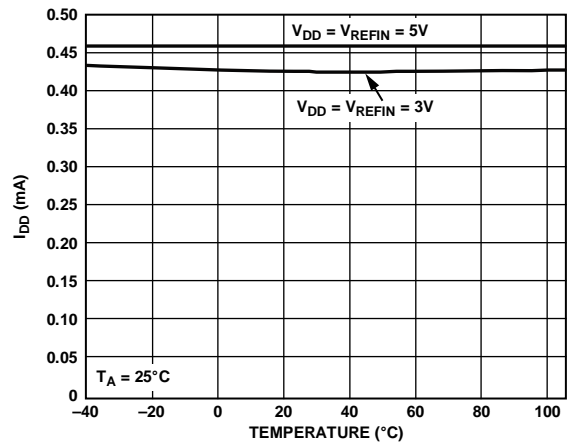


图36. 电源电流与温度的关系

05856-063

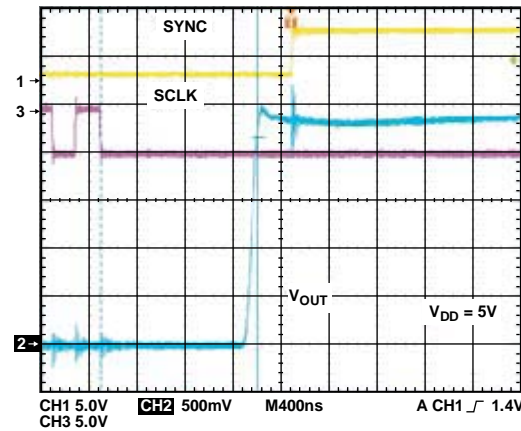


图39. 退出关断模式进入中间量程

05856-050

# AD5624R/AD5644R/AD5664R

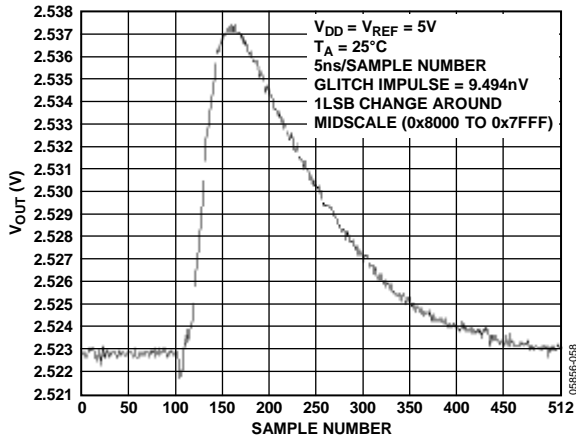


图40. 数模转换毛刺脉冲(负)

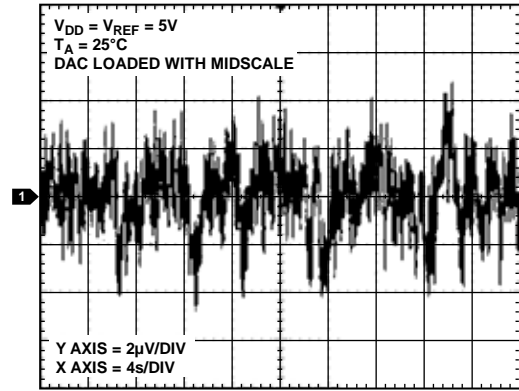


图43. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

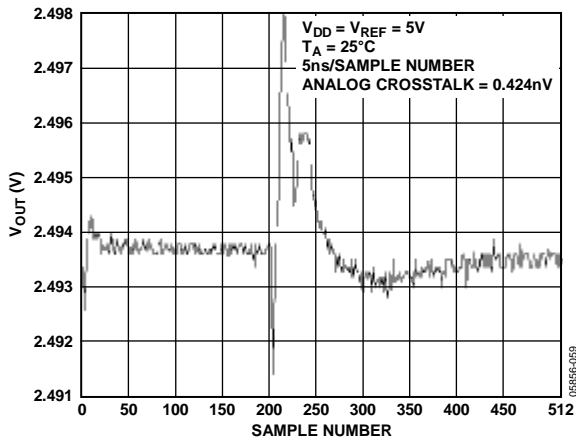


图41. 模拟串扰, 外部基准电压源

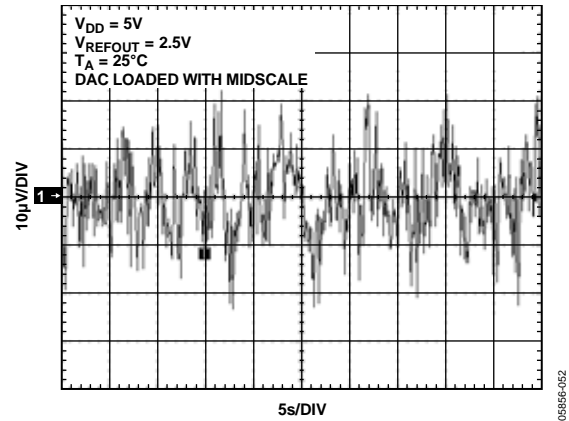


图44. 0.1 Hz至10 Hz输出噪声图, 2.5 V内部基准电压源

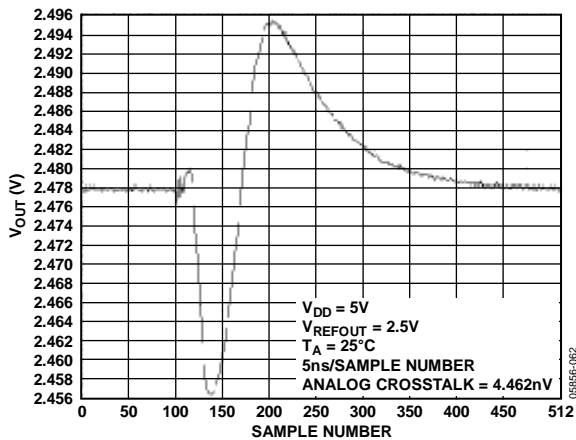


图42. 模拟串扰, 2.5 V内部基准电压源

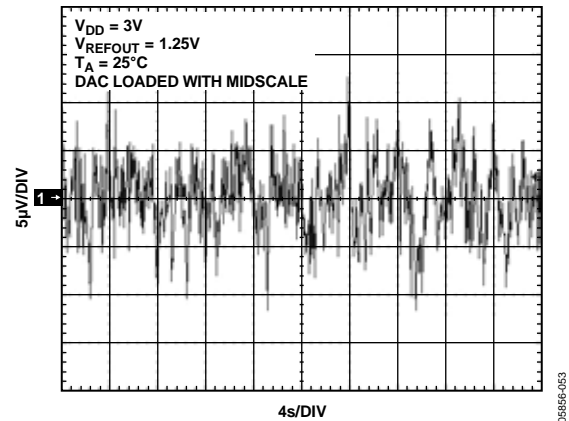


图45. 0.1 Hz至10 Hz输出噪声图, 1.25 V内部基准电压源



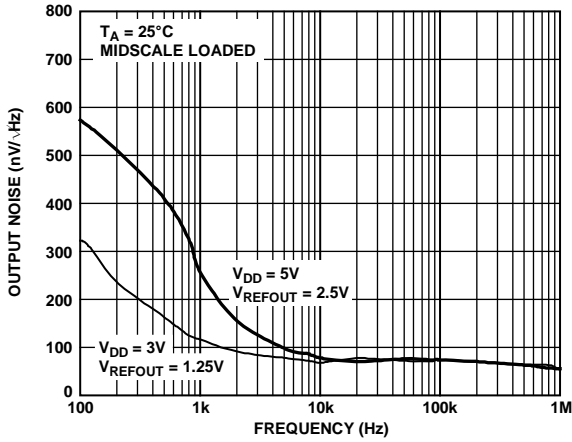


图46. 噪声频谱密度, 内部基准电压源

05856-054

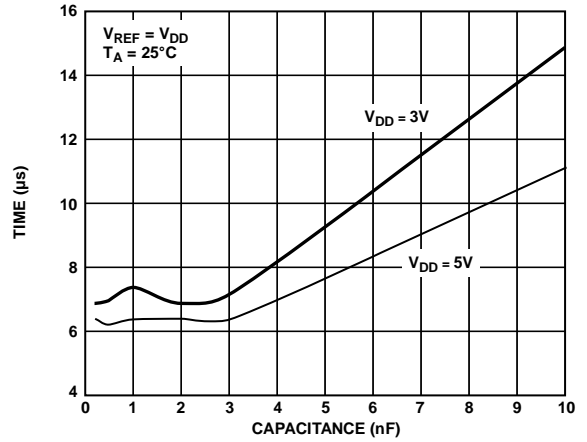


图48. 建立时间与容性负载的关系

05856-056

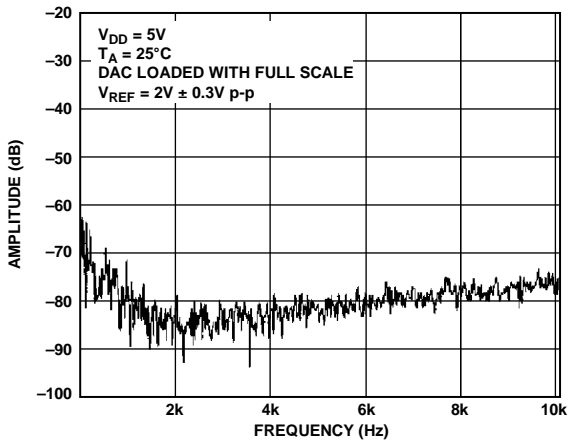


图47. 总谐波失真

05856-055

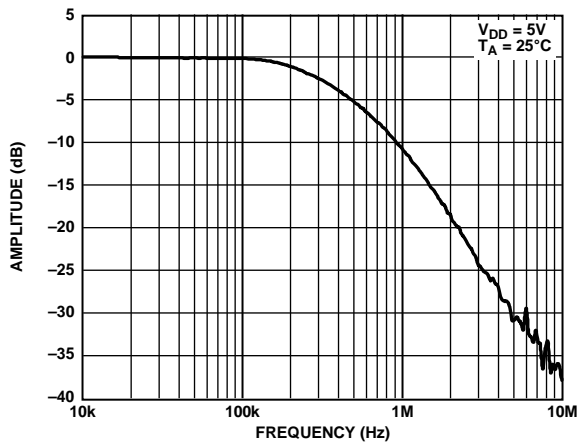


图49. 乘法带宽

05856-057

## 术语

### 相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图4所示为典型INL与编码的关系图。

### 微分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图7所示为典型DNL与编码的关系图。

### 零编码误差

零编码误差衡量将零编码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。在AD5664R中，零编码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零编码误差用mV表示。图26所示为零编码误差与温度的关系图。

### 满量程误差

满量程误差衡量将满量程编码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$  LSB。满量程误差用满量程范围的百分比表示。图25所示为满量程误差与温度的关系图。

### 增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

### 零编码误差漂移

零编码误差漂移衡量零编码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 增益温度系数

增益温度系数衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{\text{OUT}}$ (实际)和 $V_{\text{OUT}}$ (理想)之间的差值，用mV表示。失调误差在AD5664R上是通过将编码512载入DAC寄存器测得的。该值可以为正，也可为负。

### 直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小。是指DAC满量程输出的条件下 $V_{\text{OUT}}$ 变化量与 $V_{\text{DD}}$ 变化量之比，单位为dB。 $V_{\text{REF}}$ 保持在2 V，而 $V_{\text{DD}}$ 的变化范围为±10%。

### 输出电压建立时间

输出电压建立时间是指对于 $1/4$ 至 $3/4$ 满量程输入变化，DAC输出达到并保持在额定电平所需的时间，测量从SCLK的第24个下降沿起进行。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-s表示，数字输入编码在主进位跃迁中改变1 LSB(0x7FFF到0x8000)时进行测量(参见图40)。

### 数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通的单位为nV-s；测量数据总线上发生满量程编码变化时的情况，即全0至全1，或相反。

### 基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

### 噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$ )。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。图46给出了噪声频谱密度图。

### 直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间量程的DAC。单位为 $\mu\text{V}$ 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间量程的DAC的影响。单位为 $\mu\text{V}/\text{mA}$ 。

### 数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器中满量程编码变化(全0至全1，或相反)而引起的毛刺脉冲。该值在独立模式下进行测量，并用nV-s表示。

## 模拟串扰

模拟串扰指一个DAC的输出因响应另一个DAC输出的变化而引起的毛刺脉冲。其测量方法是向一个DAC的输入寄存器加载满量程编码变化(全0至全1, 或相反), 然后执行软件LDAC并监控数字编码未改变的DAC的输出。毛刺面积用nV-s表示。

## DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化, 而引起的毛刺脉冲。其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1, 或相反), 同时监控处于中间量程的另一个通道的输出。毛刺的能量用nV-s表示。

## 乘法带宽

DAC内部的放大器具有有限的带宽, 乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

## 总谐波失真(THD)

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考, 而THD用来衡量DAC输出端存在的谐波。单位为dB。

## 工作原理

### 数模转换部分

AD5624R/AD5644R/AD5664RDAC采用CMOS工艺制造，由一个电阻串DAC和一个输出缓冲放大器构成。图50为DAC架构框图。

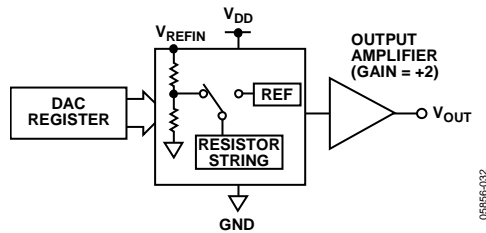


图50. DAC结构

DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REFIN} \times \left( \frac{D}{2^N} \right)$$

使用内部基准电压源时的理想输出电压为：

$$V_{OUT} = 2 \times V_{REFOUT} \times \left( \frac{D}{2^N} \right)$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值：

AD5624R(12位)：0至4095。

AD5644R(14位)：0至16,383。

AD5664R(16位)：0至65,535。

N为DAC分辨率。

### 电阻串

电阻串如图51所示。它只是一串电阻，各电阻的值为R。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

### 输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 $V_{DD}$ 。它能驱动连接至GND的一个2 k $\Omega$ 负载和1000 pF电容的并联。从图33和图34可以看出输出放大器的源电流和吸电流能力。压摆率为1.8 V/ $\mu$ s， $\frac{1}{4}$ 到 $\frac{3}{4}$ 满量程建立时间为7  $\mu$ s。

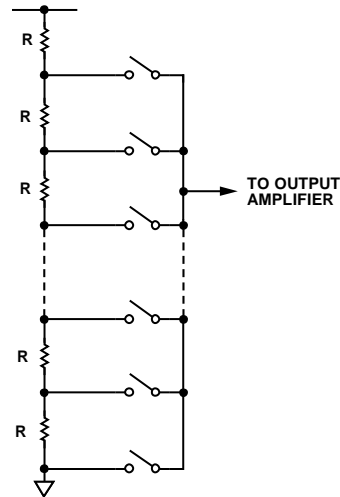


图51. 电阻串

### 内部基准电压源

AD5624R/AD5644R/AD5664R的片内基准电压源在上电时关闭，可以通过写入控制寄存器予以使能。详见“内部基准电压源设置”部分。

AD56x4R-3内置一个1.25 V、5 ppm/ $^{\circ}$ C基准电压源，满量程输出为2.5 V；AD56x4R-5内置一个2.5 V、5 ppm/ $^{\circ}$ C基准电压源，满量程输出为5 V。各器件的内部基准电压通过 $V_{REFOUT}$ 引脚提供。如果利用基准电压输出驱动外部负载，则需要使用缓冲器。使用内部基准电压源时，建议在基准电压输出与GND之间放置一个100 nF电容，使基准电压保持稳定。

### 外部基准电压源

根据应用要求，可以通过AD56x4R-3和AD56x4R-5上的 $V_{REFIN}$ 引脚来使用外部基准电压源。片内基准电压源在上电时默认关闭。所有器件(AD56x4R-3和AD56x4R-5)都可以采用2.7 V至5.5 V的单电源供电。

### 串行接口

AD5624R/AD5644R/AD5664R的3线串行接口( $\overline{\text{SYNC}}$ 、SCLK和DIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。

写序列通过将 $\overline{\text{SYNC}}$ 线置为低电平来启动。来自DIN线的数据在SCLK的下降沿读入24位移位寄存器。串行时钟频率最高可以达到50 MHz，因而AD5624R/AD5644R/AD5664R能与高速DSP兼容。在第24个时钟下降沿，最后一位数据被读入，编程功能执行完毕，DAC寄存器内容和/或工作模式会改变。

在这个阶段， $\overline{\text{SYNC}}$ 线可以保持在低电平或置为高电平。在任意一种情况下，必须在下一个写序列之前保持至少15 ns的高电平，这样才能用 $\overline{\text{SYNC}}$ 下降沿启动下一个写序列。

由于 $\overline{\text{SYNC}}$ 缓冲在 $V_{\text{IN}} = 2 \text{ V}$ 时比在 $V_{\text{IN}} = 0.8 \text{ V}$ 时消耗更多电流，为了进一步降低功耗， $\overline{\text{SYNC}}$ 在写序列之间的空闲时应为低电平。然而，如前所述，在下次写序列前它必须被置为高电平。

### 输入移位寄存器

输入移位寄存器为24位宽(参见图52)。前两位是无关位，后续三位是命令位C2至C0(参见表8)，然后是3位DAC地址A2至A0(参见表9)，最后是16、14、12位数据字。AD5664R、AD5644R和AD5624R的数据字分别包括16、14、12位输入编码和0、2、4个无关位(参见图52、图53和图54)。这些数据位在SCLK的第24个下降沿被送入DAC寄存器。

**表8. 命令定义**

C2	C1	C0	命令
0	0	0	写入输入寄存器n
0	0	1	更新DAC寄存器n
0	1	0	写入输入寄存器n，更新全部(软件LDAC)
0	1	1	写入并更新DAC通道n
1	0	0	关断DAC(上电)
1	0	1	复位
1	1	0	LDAC寄存器设置
1	1	1	内部基准电压源设置(开启/关闭)

**表9. 地址命令**

A2	A1	A0	地址(n)
0	0	0	DAC A
0	0	1	DAC B
0	1	0	DAC C
0	1	1	DAC D
1	1	1	所有 DACs

### SYNC中断

在正常写序列中， $\overline{\text{SYNC}}$ 线在至少24个SCLK的下降沿保持为低电平，而DAC会在第24个下降沿更新。如果在第24个下降沿之前 $\overline{\text{SYNC}}$ 被拉高，写序列就会被中断。输入移位寄存器会复位，且写序列被认为是无效的。不会造成DAC寄存器内容的更新和工作模式的改变(参见图55)。



图52. AD5664R输入移位寄存器内容

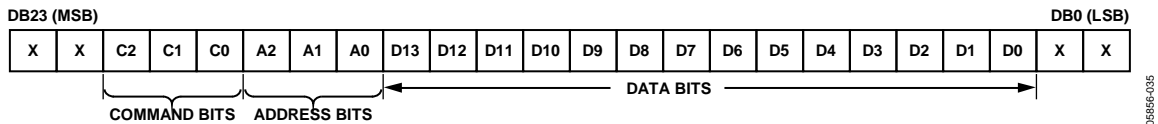


图53. AD5644R输入移位寄存器内容

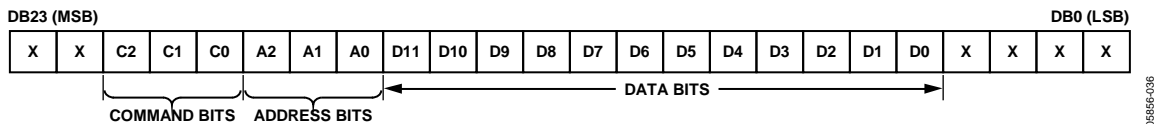


图54. AD5624R输入移位寄存器内容

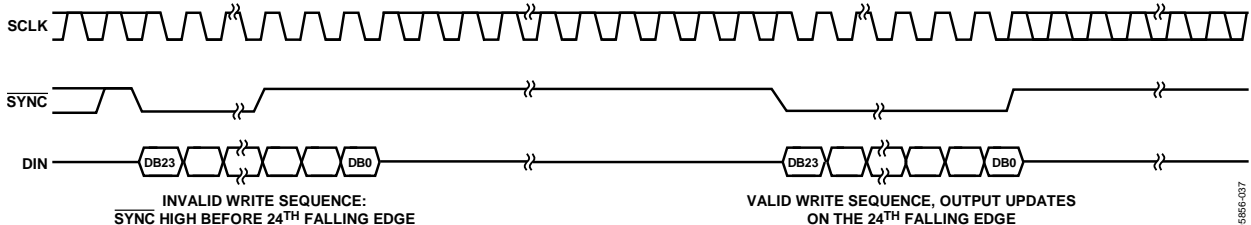


图55. SYNC中断设置

# AD5624R/AD5644R/AD5664R

## 上电复位

AD5624R/AD5644R/AD5664R系列具有上电复位电路可以在上电时控制输出电压。AD5624R/AD5644R/AD5664R DAC的输出在上电后为0 V，然后保持该电平，直到对DAC执行一个有效的写序列。这对于在上电过程中需要了解DAC输出状态的应用来说很重要。

## 软件复位

AD5624R/AD5644R/AD5664R具有软件复位功能。命令101用于软件复位功能(参见表8)。软件复位命令包含两种复位模式，可通过软件编程，设置控制寄存器的DB0位进行选择。

表10列出了该位的状态与器件的软件复位工作模式的对应关系。

表12列出了软件复位工作模式期间输入移位寄存器的内容。

表10. AD5624R/AD5644R/AD5664R的软件复位模式

DB0	寄存器复位至0
0	DAC寄存器 输入移位寄存器
1(上电复位)	DAC寄存器 输入移位寄存器 LDAC寄存器 关断寄存器 内部基准电压源设置寄存器

## 关断模式

AD5624R/AD5644R/AD5664R具有四种独立的工作模式。命令100用于关断功能(参见表8)。这些模式可通过软件编程，设置控制寄存器中的两位(DB5和DB4)进行选择。表11列出了这些位的状态与器件工作模式的对应关系。将相应的四位(DB3、DB2、DB1和DB0)设为1，所有DAC(DAC D至DAC A)都可以关断到选定的模式。

表12. 软件复位命令的24位输入移位寄存器内容

DB23至DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0 (LSB)
x	1	0	1	x	x	x	x	1/0
无关位	命令位(C2至C0)			地址位(A2至A0)			无关位	决定软件复位模式

表13. AD5624R/AD5644R/AD5664R关断/上电期间24位输入移位寄存器的内容

DB23至DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
x	1	0	0	x	x	x	x	PD1	PD0	DAC D	DAC C	DAC B	DAC A
无关位	命令位(C2至C0)			地址位(A2至A0) 无关位			无关位	关断模式		关断/上电通道选择， 相应的位设为1可选择通道			

通过执行同一命令100，并将位DB5和DB4设为正常工作模式，任意DAC组合都可以上电。若要选择要上电的DAC通道组合，请将相应的位(DB3、DB2、DB1和DB0)设为1。表13列出了关断/上电期间输入移位寄存器的内容。

表11. AD5624R/AD5644R/AD5664R的工作模式

DB5	DB4	工作模式
0	0	正常工作
0	1	关断模式：1 kΩ接GND
1	0	关断模式：100 kΩ接GND
1	1	关断模式：三态

当位DB5和DB4设为0时，器件正常工作，5 V时正常功耗为450 μA。在三种关断模式下，5 V时电源电流降至480 nA(3 V时为200 nA)。不仅是供电电流下降，输出级也从放大器输出切换为已知值的电阻网络，这样就能得知器件在关断模式下的输出阻抗。输出既可以通过一个1 kΩ电阻内部连接到GND，也可以保持开路(三态)，如图56所示。

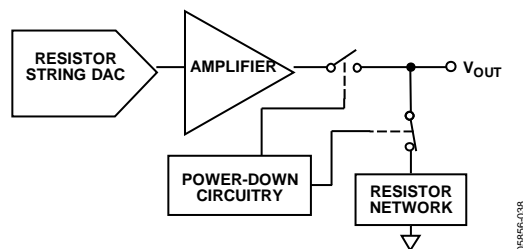


图56. 关断模式下的输出级

在关断模式有效时，偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关闭。然而，关断期间DAC寄存器的内容不受影响。对于 $V_{DD} = 5 V$ 和 $V_{DD} = 3 V$ ，退出关断模式所需时间通常为4 μs(参见图39)。



## LDAC功能

AD5624R/AD5644R/AD5664R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。输入寄存器直接连接到输入移位寄存器，有效写序列完成时，数字编码被转移到相关的输入寄存器。DAC寄存器包含电阻串所用的数字编码。

当用户需要同时更新所有DAC输出时，双缓冲接口很有用。用户可以分别写入三个输入寄存器，然后写入剩下的输入寄存器，并同时更新所有DAC寄存器。命令010用于该软件LDAC功能。

对DAC寄存器的访问由LDAC功能控制。对于每个DAC通道，LDAC寄存器具有两种工作模式。DAC通道通过设置4位LDAC寄存器的各位（DB3、DB2、DB1和DB0）进行选择。命令110用于设置LDAC寄存器。当LDAC位寄存器设为低电平时，相应的DAC寄存器被锁存，输入寄存器可以改变状态而不会影响DAC寄存器的内容。然而，当LDAC位寄存器设为高电平时，DAC寄存器变得透明，输入寄存器的内容在第24个SCLK脉冲的下降沿传输到DAC寄存器，这相当于将选定DAC通道的LDAC硬件引脚永久接为低电平，即处于同步更新模式下。有关LDAC寄存器的工作模式，请参见表14。表16列出了LDAC寄存器设置命令期间输入移位寄存器的内容。

在用户希望同时更新选定的通道，而其余通道同步更新的应用中，这种灵活性十分有用。

**表14. LDAC寄存器工作模式**

LDAC位 (DB3至DB0)	LDAC工作模式
0	正常工作（默认），DAC寄存器更新由写入命令控制。
1	在第24个SCLK脉冲的下降沿读入新数据后，DAC寄存器更新。

## 内部基准电压源设置

片内基准电压源在上电时默认关闭。通过设置控制寄存器中的软件可编程位DB0，可以开启或关闭此基准电压源。表15列出了该位的状态与工作模式的对应关系。命令111用于内部基准电压源的设置（参见表8）。

表16列出了内部基准电压源设置期间输入移位寄存器中各位的状态与器件工作模式的对应关系。

**表15. 基准电压源设置寄存器**

内部基准电压源设置寄存器(DB0)	操作
0	基准电压源关闭（默认）
1	基准电压源开启

**表16. AD5624R/AD5644R/AD5664R的LDAC设置命令的24位输入移位寄存器内容**

DB23 至 DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15 至 DB4	DB3	DB2	DB1	DB0 (LSB)
x	1	1	0	x	x	x	x	DAC D	DAC C	DAC B	DAC A
无关位	命令位 (C2至C0)			地址位 (A2至A0) ; 无关位			无关位	针对相应的通道，设为0或1以选择所需的工作模式			

**表17. 内部基准电压源设置命令的24位输入移位寄存器内容**

DB23 至 DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15 至 DB1	DB0 (LSB)
x	1	1	1	x	x	x	x	1/0
无关位	命令位 (C2至C0)			地址位 (A2至A0)			无关位	基准电压源设置寄存器

# AD5624R/AD5644R/AD5664R

## 微处理器接口

### AD5624R/AD5644R/AD5664R与BlackfinADSP-BF53x的接口

图57显示的是AD5624R/AD5644R/AD5664R与Blackfin® ADSP-BF53x微处理器之间的串行接口。ADSP-BF53x系列处理器集成两个双通道同步串口SPORT1和SPORT0，用于串行和多处理器通信。将SPORT0连接到AD5624R/AD5644R/AD5664R，接口的设置为DTOPRI驱动AD5624R/AD5644R/AD5664R的DIN引脚，TSCLK0驱动器件的SCLK。SYNC由TFS0驱动。

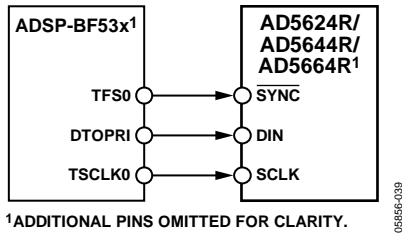


图57. Blackfin ADSP-BF53x与AD5624R/AD5644R/AD5664R的接口

### AD5624R/AD5644R/AD5664R与68HC11/68L11的接口

图58显示的是AD5624R/AD5644R/AD5664R与68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK驱动AD5624R/AD5644R/AD5664R的SCLK，MOSI输出驱动DAC的串行数据线。

SYNC信号由端口线(PC7)驱动。这个接口正确工作的条件是68HC11/68L11的CPOL位设为0，CPHA位设为1。当数据发送给DAC时，SYNC线被拉低(PC7)。当68HC11/68L11按照以上所述进行配置时，MOSI输出端上的数据在SCK的下降沿有效。来自68HC11/68L11的串行数据以8位字节进行传送，即在每个发送周期中，仅出现在8个时钟下降沿。数据以MSB优先方式发送。为了将数据加载到AD5624R/AD5644R/AD5664R，在前8位传输后，PC7保持为低电平，然后会对DAC进行第二次串行写操作。在这个过程结束之后，PC7被拉高。

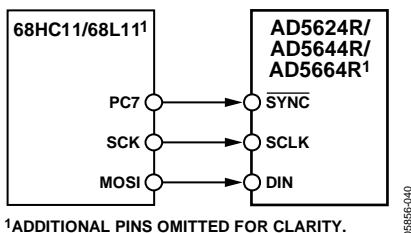


图58. 68HC11/68L11与AD5624R/AD5644R/AD5664R的接口

### AD5624R/AD5644R/AD5664R与80C51/80L51的接口

图59显示的是AD5624R/AD5644R/AD5664R与80C51/80L51微控制器之间的串行接口。该接口的设置如下：80C51/80L51的TxD驱动AD5624R/AD5644R/AD5664R的SCLK，RxD驱动器件的串行数据线。SYNC信号由端口的一个可编程位驱动。在这个例子中，使用的是端口线P3.3。当数据被发送到AD5624R/AD5644R/AD5664R时，P3.3被拉低。80C51/80L51以8位字节传送数据，因此在发送周期中只有8个时钟下降沿。要加载数据到DAC，在前8位发送后P3.3保持低电平，第二次写周期开始传输第二个字节的数据。这个周期结束后P3.3被拉高。80C51/80L51以LSB优先格式输出串行数据。AD5624R/AD5644R/AD5664R必须以MSB优先方式接收数据，80C51/80L51的发送程序需要考虑这一情况。

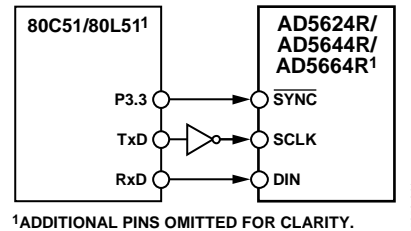


图59. 80C51/80L51与AD5624R/AD5644R/AD5664R的接口

### AD5624R/AD5644R/AD5664R与MICROWIRE的接口

图60显示的是AD5624R/AD5644R/AD5664R与MICROWIRE兼容器件之间的串行接口。串行数据在串行时钟的下降沿输出，并在SK的上升沿进入AD5624R/AD5644R/AD5664R。

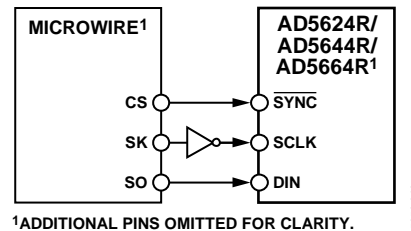


图60. MICROWIRE与AD5624R/AD5644R/AD5664R的接口



## 应用

### 使用基准电压源作为AD5624R/AD5644R/AD5664R的电源

AD5624R/AD5644R/AD5664R所需的电源电流非常低，因此也可以利用基准电压源提供器件所需的电压(参见图61)。当电源噪声相当高，或者系统电源电压不是5 V或3 V时(例如为15 V)，这种电源方案特别有用。基准电压源输出一个稳定的电源电压用于AD5624R/AD5644R/AD5664R(参见图59)。如果使用低压差型REF195，则在DAC输出端无负载时，它必须向AD5624R/AD5644R/AD5664R提供450 μA的电流。当DAC输出端有负载时，REF195还需要向负载提供电流。所需的总电流(DAC输出端有5 kΩ负载)为：

$$450 \mu\text{A} + (5 \text{ V} / 5 \text{ k}\Omega) = 1.45 \text{ mA}$$

REF195的负载调整率典型值为2 ppm/mA，因此对于1.45 mA电流输出，误差为2.9 ppm(14.5 μV)，这相当于0.191 LSB的误差。

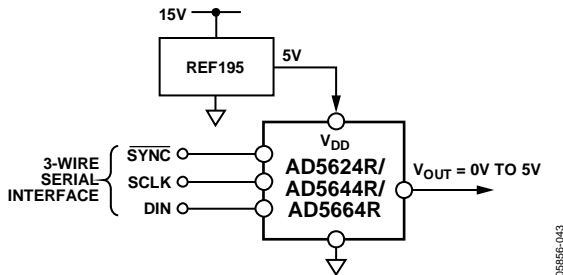


图61. REF195用作AD5624R/AD5644R/AD5664R的电源

### 使用AD5624R/AD5644R/AD5664R实现双极性工作模式

AD5624R/AD5644R/AD5664R专为单电源供电而设计，但是使用图62中的电路也可以实现双极性输出范围。所示电路可以实现±5 V的输出电压范围。使用AD820或OP295作为输出放大器可以在放大器输出端实现轨到轨输出方式。

任意输入编码的输出电压可以按如下公式计算：

$$V_{OUT} = \left[ V_{DD} \times \left( \frac{D}{65,536} \right) \times \left( \frac{R1 + R2}{R1} \right) - V_{DD} \times \left( \frac{R2}{R1} \right) \right]$$

其中D代表十进制输入编码(0至65,536)。当 $V_{DD} = 5 \text{ V}$ 、 $R1 = R2 = 10 \text{ k}\Omega$ 时，

$$V_{OUT} = \left( \frac{10 \times D}{65,536} \right) - 5 \text{ V}$$

输出电压范围为±5 V，0x0000对应-5 V输出，0xFFFF对应+5 V输出。

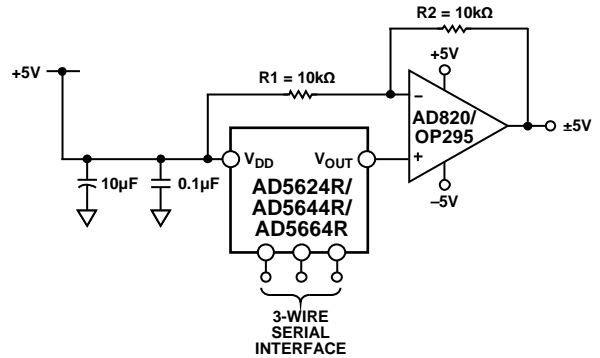


图62. AD5624R/AD5644R/AD5664R的双极性工作模式

### AD5624R/AD5644R/AD5664R与电隔离接口的配合使用

在工业环境的过程控制应用中，常常有必要使用电隔离接口以保护和隔离控制电路，使之免受可能出现在DAC工作区域的危险共模电压影响。Isocoupler可以提供超过3 kV的隔离。The AD5624R/AD5644R/AD5664R使用3线串行逻辑接口，因此ADuM130x3通道数字隔离器可以提供所需的隔离(参见图63)。器件的电源也需要隔离，而这可以通过变压器实现。在变压器的DAC侧，5 V稳压器提供AD5624R/AD5644R/AD5664R所需的5 V电源。

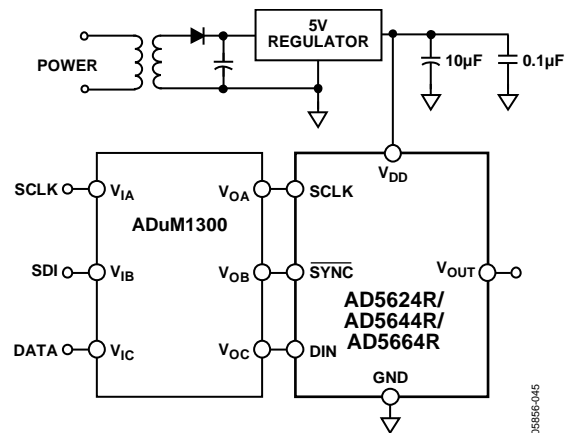


图63. 使用电隔离接口的AD5624R/AD5644R/AD5664R

## AD5624R/AD5644R/AD5664R

### 电源旁路和接地

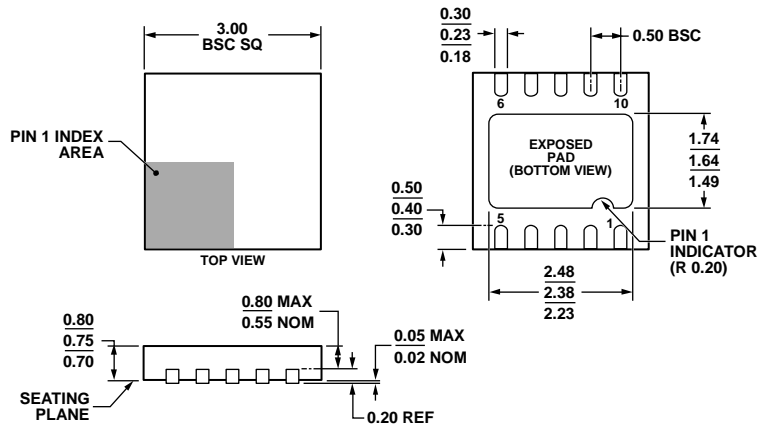
在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。AD5624R/AD5644R/AD5664R所在的印刷电路板应具有单独的模拟部分和数字部分，各部分应有自己的板面积。如果AD5624R/AD5644R/AD5664R所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上连接。该接地点应尽可能靠近AD5624R/AD5644R/AD5664R。

AD5624R/AD5644R/AD5664R的电源应使用10  $\mu\text{F}$ 和0.1  $\mu\text{F}$ 电容进行旁路。这些电容应尽可能靠近该器件，且0.1  $\mu\text{F}$ 电容最好正对着该器件。10  $\mu\text{F}$ 电容应为钽珠型电容。0.1  $\mu\text{F}$ 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，

普通陶瓷型电容是可行的。针对内部逻辑开关引起的瞬态电流所导致的高频干扰，该0.1  $\mu\text{F}$ 电容可提供低阻抗接地路径。

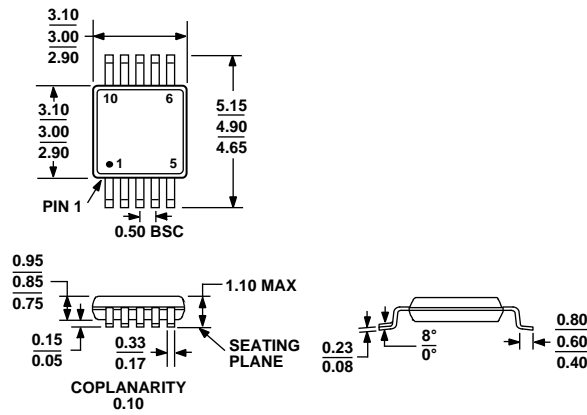
电源走线本身应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速开关的数字信号应通过数字地将其与电路板上的其它部分屏蔽开。尽可能避免数字信号与模拟信号交叠。当电路板相反两侧的走线相交时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

外形尺寸



031208-B

图64. 10引脚引脚架构芯片级封装[LFCSP\_WD]  
3 mm x 3 mm, 超薄体, 双排引脚  
(CP-10-9)  
图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图65. 10引脚超小型封装[MSOP]  
(RM-10)  
图示尺寸单位: mm

# AD5624R/AD5644R/AD5664R

## 订购指南

型号	温度范围	精度	内部基准电压	封装描述	封装选项	标识
AD5624RBCPZ-3R2 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D7L
AD5624RBCPZ-3REEL7 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D7L
AD5624RBCPZ-5R2 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	2.5 V	10引脚 LFCSP_WD	CP-10-9	DBZ
AD5624RBCPZ-5REEL7 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	2.5 V	10引脚 LFCSP_WD	CP-10-9	DBZ
AD5624RBRMZ-3 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7L
AD5624RBRMZ-3REEL7 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7L
AD5624RBRMZ-5 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7V
AD5624RBRMZ-5REEL7 <sup>1</sup>	-40°C 至 +105°C	±1 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7V
AD5644RBRMZ-3 <sup>1</sup>	-40°C 至 +105°C	±4 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7E
AD5644RBRMZ-3REEL7 <sup>1</sup>	-40°C 至 +105°C	±4 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7E
AD5644RBRMZ-5 <sup>1</sup>	-40°C 至 +105°C	±4 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7D
AD5644RBRMZ-5REEL7 <sup>1</sup>	-40°C 至 +105°C	±4 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7D
AD5664RBCPZ-3R2 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D73
AD5664RBCPZ-3REEL7 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D73
AD5664RBRMZ-3 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	1.25 V	10引脚 MSOP	RM-10	D73
AD5664RBRMZ-3REEL7 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	1.25 V	10引脚 MSOP	RM-10	D73
AD5664RBRMZ-5 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	2.5 V	10引脚 MSOP	RM-10	D75
AD5664RBRMZ-5REEL7 <sup>1</sup>	-40°C 至 +105°C	±16 LSB INL	2.5 V	10引脚 MSOP	RM-10	D75
EVAL-AD5664REBZ <sup>1</sup>				评估板		

<sup>1</sup> Z = 符合RoHS标准的器件。