

产品特性

RF和LO工作频率：700 MHz至2.7 GHz

输入IP3

33.5 dBm (900 MHz)

30.5 dBm (1900 MHz)

输入IP2：>70 dBm (900 MHz)

输入P1dB：14.7 dBm (900 MHz)

噪声系数(NF)

14.0 dB (900 MHz)

15.6 dB (1900 MHz)

电压转换增益：~4 dB

正交解调精度

相位精度：~0.2°

幅度平衡：~0.05 dB

解调带宽：~370 MHz

基带I/Q驱动：2 V p-p(200 Ω负载)

5 V单电源

应用

蜂窝W-CDMA/CDMA/CDMA2000/GSM

微波点对(多)点无线电

宽带无线和WiMAX

概述

ADL5382是一款宽带正交I/Q解调器，涵盖从700 MHz到2.7 GHz的RF输入频率范围。在900 MHz时，其噪声系数(NF)为14 dB，IP1dB为14.7 dBm，三阶交调截点(IIP3)为33.5 dBm；具有出色的动态范围，适合要求苛刻的基础设施直接变频应用。差分RF输入提供功能良好的50 Ω宽带输入阻抗，最好采用1:1巴伦驱动以实现最佳性能。

解调精度非常出色，幅度平衡和相位平衡分别约为0.05 dB和0.2°。解调相内(I)和正交(Q)差分输出经过完全缓冲，提供约4 dB的电压转换增益。缓冲基带输出能将2 V p-p差分信号驱动至200 Ω负载。

功能框图

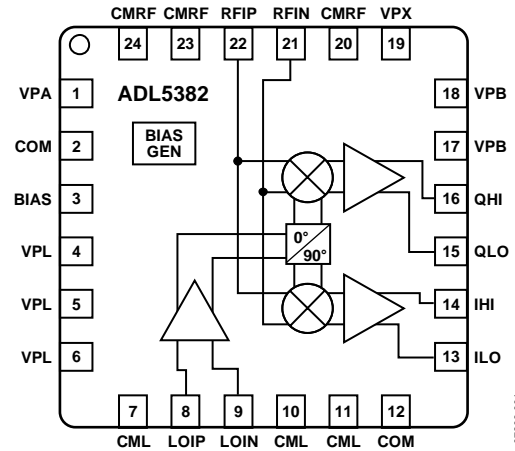


图1.

完全平衡的设计可极大地降低二阶失真的影响。从LO端口至RF端口的泄漏小于-65 dBc。I和Q输出端的差分直流失调电压典型值小于10 mV。这些因素使该器件具有60 dBm以上的出色IIP2特性。

ADL5382采用4.75 V至5.25 V单电源供电，可利用从BIAS引脚连接至地的外部电阻来调节电源电流。

ADL5382采用ADI公司先进的硅-锗双极性工艺制造，提供24引脚、裸露焊盘LFCSP封装。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2008–2012 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	发射极跟随器缓冲器	13
应用	1	偏置电路	13
功能框图	1	应用信息	14
概述	1	基本连接	14
修订历史	2	电源	14
技术规格	3	本振(LO)输入	14
绝对最大额定值	5	RF输入	15
ESD警告	5	基带输出	15
引脚配置和功能描述	6	误差矢量幅度(EVM)性能	16
典型工作特性	7	低IF镜像抑制	17
$f_{RF} = 900$ MHz时的分布情况	10	示例基带接口	17
$f_{RF} = 1900$ MHz时的分布情况	11	特性设置	21
$f_{RF} = 2700$ MHz时的分布情况	12	评估板	23
电路描述	13	外形尺寸	27
LO接口	13	订购指南	27
V-I转换器	13		
混频器	13		

修订历史

2012年5月—修订版0至修订版A

表2增加 $\theta_{JC} = 3^{\circ}\text{C/W}$	5
图2增加EPAD注释	6
更新外形尺寸	27

2008年3月—版本0：初始版

技术规格

除非另有说明, $V_S = 5\text{ V}$, $T_A = 25^\circ\text{C}$, $f_{LO} = 900\text{ MHz}$, $f_{IF} = 4.5\text{ MHz}$, $P_{LO} = 0\text{ dBm}$, BIAS引脚开路, $Z_O = 50\ \Omega$ 。基带在 $450\ \Omega$ 负载下以差分形式输出。用于驱动RF端口的巴伦损耗从这些测量结果中去除。

表1.

参数	条件	最小值	典型值	最大值	单位
工作条件 LO和RF频率范围		0.7		2.7	GHz
LO输入 输入回损 LO输入电平	LOIP、LOIN 在900 MHz下, LO通过巴伦以差分形式驱动	-6	-11 0	+6	dB dBm
I/Q基带输出 电压转换增益 解调带宽 正交相位误差 I/Q幅度不平衡 输出直流失调(差分) 输出共模 0.1 dB增益平坦度 输出摆幅 峰值输出电流	QHI、QLO、IHI、ILO 在900 MHz下, I和Q输出上具有 $450\ \Omega$ 差分负载 在900 MHz下, I和Q输出上具有 $200\ \Omega$ 差分负载 1 V p-p信号, 3 dB带宽 900 MHz时 0 dBm LO输入(900 MHz时) 差分 $200\ \Omega$ 负载 每个引脚		3.9 3.0 370 0.2 0.05 ± 5 VPOS - 2.8 50 2 12		dB dB MHz 度 dB mV V MHz V p-p mA
电源 电压 电流	VPA, VPL, VPB, VPX BIAS引脚开路 $R_{BIAS} = 4\ \text{k}\Omega$	4.75		5.25	V mA mA
RF = 900 MHz时的动态性能 转换增益 输入P1dB 二阶输入交调截点(IIP2) 三阶输入交调截点(IIP3) LO至RF RF至LO IQ幅度不平衡 IQ相位不平衡 LO至IQ 噪声系数 阻塞条件下的噪声系数	每个输入音-5 dBm 每个输入音-5 dBm RFIN、RFIP端接 $50\ \Omega$ LOIN、LOIP端接 $50\ \Omega$ RFIN、RFIP端接 $50\ \Omega$ -5 dBm干扰, 相隔5 MHz		3.9 14.7 73 33.5 -92 -89 0.05 0.2 -43 14.0 19.9		dB dBm dBm dBm dBm dBc dB 度 dBm dB dB
RF = 1900 MHz时的动态性能 转换增益 输入P1dB 二阶输入交调截点(IIP2) 三阶输入交调截点(IIP3) LO至RF RF至LO IQ幅度不平衡 IQ相位不平衡 LO至IQ 噪声系数 阻塞条件下的噪声系数	每个输入音-5 dBm 每个输入音-5 dBm RFIN、RFIP端接 $50\ \Omega$ LOIN、LOIP端接 $50\ \Omega$ RFIN、RFIP端接 $50\ \Omega$ -5 dBm干扰, 相隔5 MHz		3.9 14.4 65 30.5 -71 -78 0.05 0.2 -41 15.6 20.5		dB dBm dBm dBm dBm dBc dB 度 dBm dB dB

ADL5382

参数	条件	最小值	典型值	最大值	单位
RF = 2700 MHz时的动态性能	RFIP, RFIN				
转换增益			3.3		dB
输入P1dB			14.5		dBm
二阶输入交调截点(IIP2)	每个输入音-5 dBm		52		dBm
三阶输入交调截点(IIP3)	每个输入音-5 dBm		28.3		dBm
LO至RF	RFIN、RFIP端接50 Ω , 1xLO出现在RF端口		-70		dBm
RF至LO	LOIN、LOIP端接50 Ω		-55		dBc
IQ幅度不平衡			0.16		dB
IQ相位不平衡			0.1		度
LO至IQ	RFIN、RFIP端接50 Ω , 1xLO出现在BB端口		-42		dBm
噪声系数			17.6		dB

www.BDTIC.com/cn/adi

绝对最大额定值

表2.

参数	额定值
电源电压(VPA、VPL、VPB、VPX)	5.5 V
LO输入功率	13 dBm (re: 50 Ω)
RF输入功率	15 dBm (re: 50 Ω)
内部最大功耗	1230 mW
θ_{JA}	54°C/W
θ_{JC}	3°C/W
最高结温	150°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告

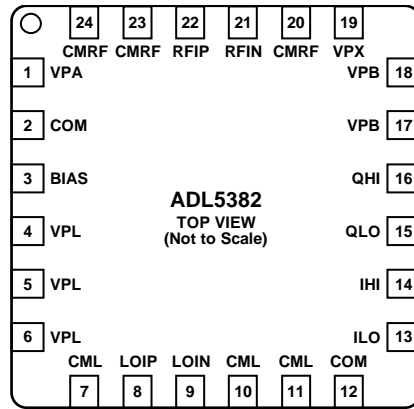


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

www.BDTIC.com/cn/adi

引脚配置和功能描述



NOTES
1. CONNECT THE EXPOSED PAD TO A LOW IMPEDANCE THERMAL AND ELECTRICAL GROUND PLANE.

07208-002

图2. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	说明
1, 4至6, 17至19	VPA, VPL, VPB, VPX	电源电压。用于LO、IF、偏置和基带部分的正电源电压。应使用适当大小的电容将这些引脚去耦至电路板地。
2, 7, 10至12, 20, 23, 24	COM, CML, CMRF	地。连接至低阻抗接地层。
3	BIAS	偏置控制。可以将一个电阻(R_{BIAS})连接在BIAS与COM之间, 用以降低混频器内核电流。此引脚的默认设置为断开。
8, 9	LOIP, LOIN	本振输入。引脚必须交流耦合。必须通过巴伦执行差分驱动(推荐巴伦为M/A-COM ETC1-1-13), 以实现最佳性能。
13至16	ILO, IHI, QLO, QHI	I通道和Q通道混频器基带输出。这些输出具有50 Ω 差分输出阻抗(每个引脚25 Ω)。这些引脚上的偏置电平等于VPOS - 2.8 V。每个输出对的摆幅为2 V p-p(差分), 可以驱动200 Ω 的负载。3 dB输出带宽为370 MHz。
21, 22	RFIN, RFIP	RF输入。可通过1:1巴伦(推荐巴伦为M/A-COM ETC1-1-13)将单端50 Ω 信号施加于RF输入。还必须将以地为基准的电感连接到RFIP和RFIN(推荐值为33 nH)。
	EP	裸露焊盘。连接至低热阻抗和电阻抗接地层。

典型工作特性

除非另有说明, $V_S = 5\text{ V}$, $T_A = 25^\circ\text{C}$, LO驱动电平 = 0 dBm, $R_{BIAS} = \text{开路}$, RF输入巴伦损耗去嵌入。

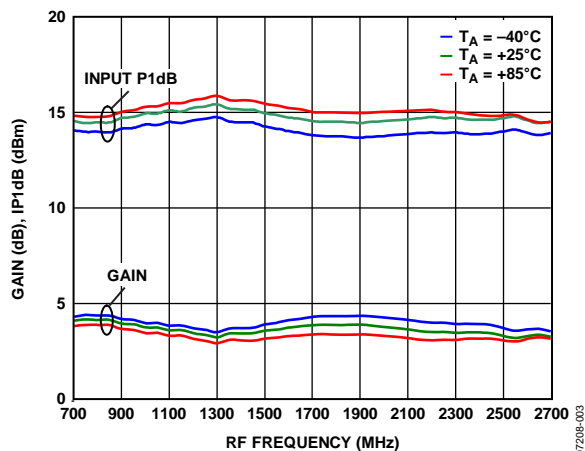


图3. 转换增益和输入IP1 dB压缩点(IP1dB)与RF频率的关系

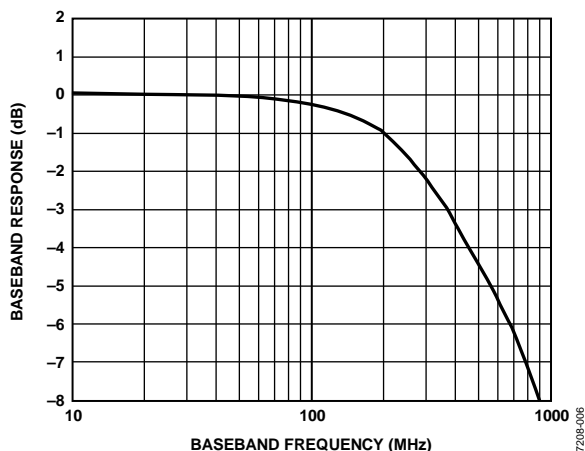


图6. 归一化IQ基带频率响应

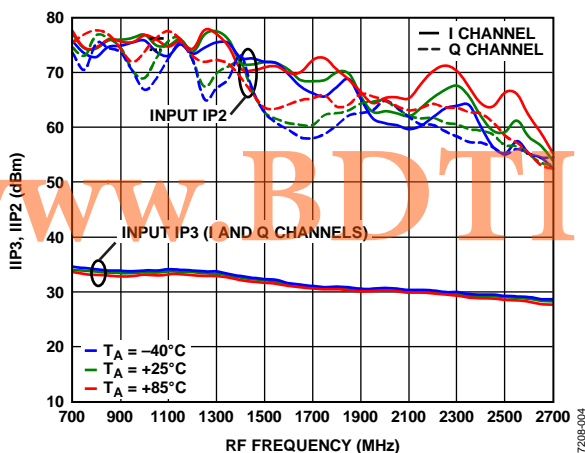


图4. 输入三阶交调截点(IIP3)和输入二阶交调截点(IP2)与RF频率的关系

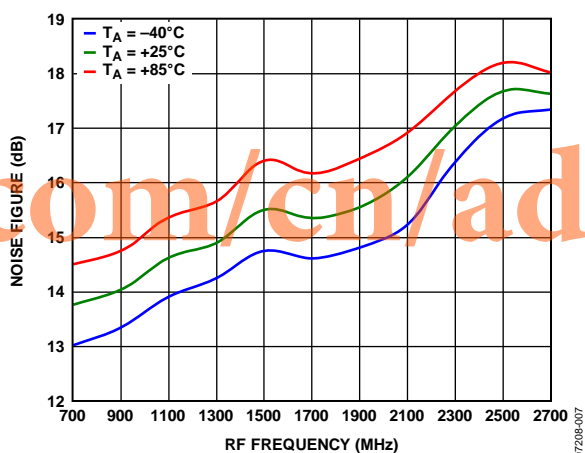


图7. 噪声系数与RF频率的关系

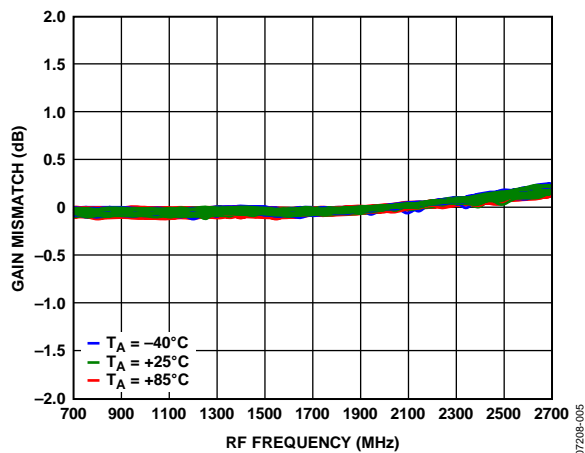


图5. IQ增益失配与RF频率的关系

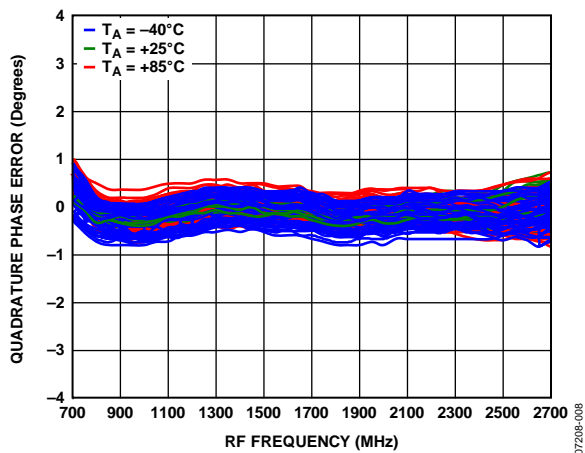


图8. IQ正交相位误差与RF频率的关系

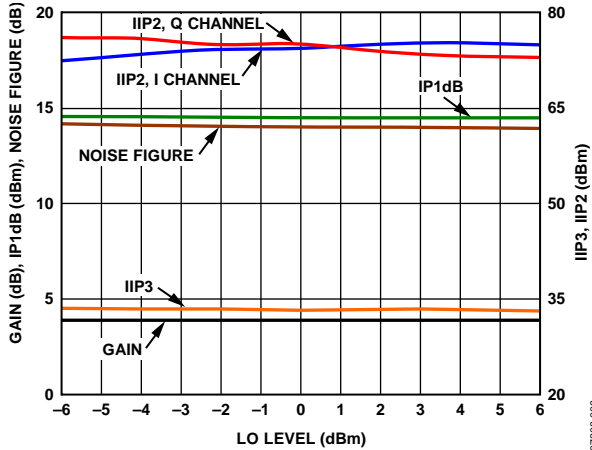


图9. 转换增益、IP1dB、噪声系数、IIP3和IIP2与LO电平的关系, $f_{RF} = 900$ MHz

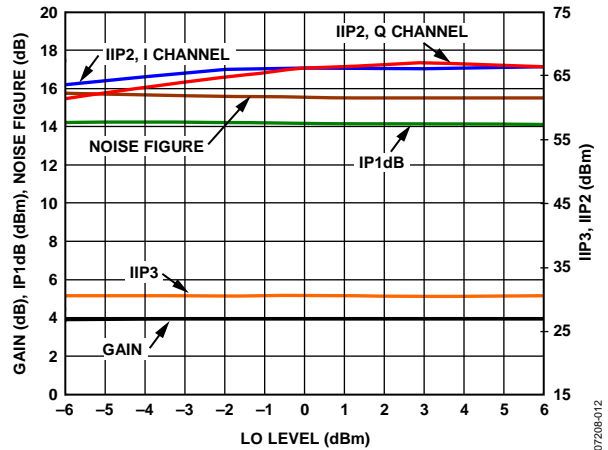


图12. 转换增益、IP1dB、噪声系数、IIP3和IIP2与LO电平的关系, $f_{RF} = 1900$ MHz

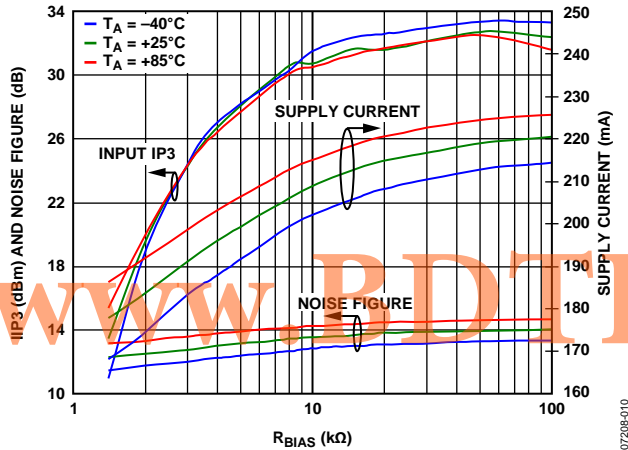


图10. IIP3、噪声系数和电源电流与 R_{BIAS} 的关系, $f_{RF} = 900$ MHz

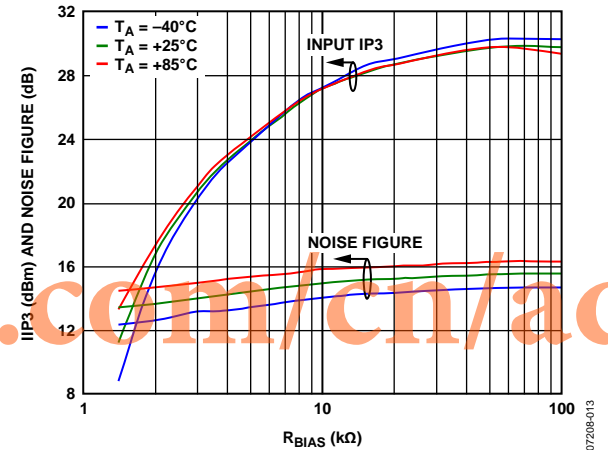


图13. IIP3和噪声系数与 R_{BIAS} 的关系, $f_{RF} = 1900$ MHz

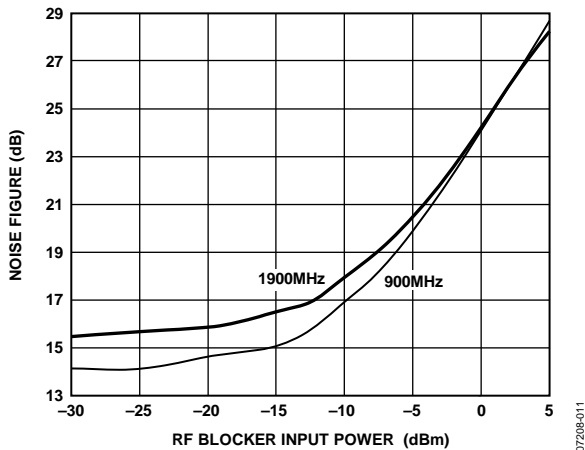


图11. 噪声系数与输入阻塞电平的关系, $f_{RF} = 900$ MHz, 1900 MHz(RF阻塞5 MHz偏移)

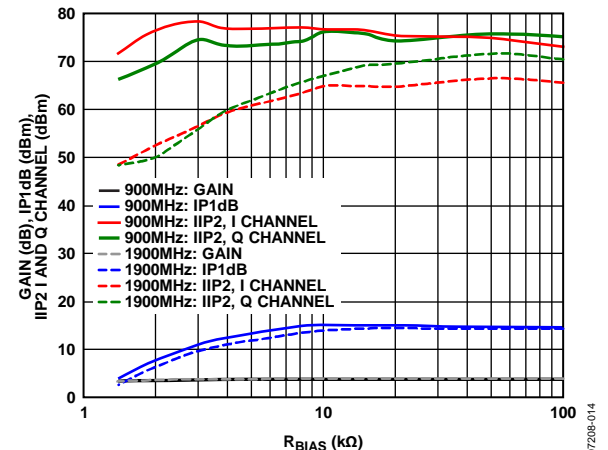


图14. 转换增益、IP1dB、IIP2_I和IIP2_Q与 R_{BIAS} 的关系, $f_{RF} = 900$ MHz、1900MHz

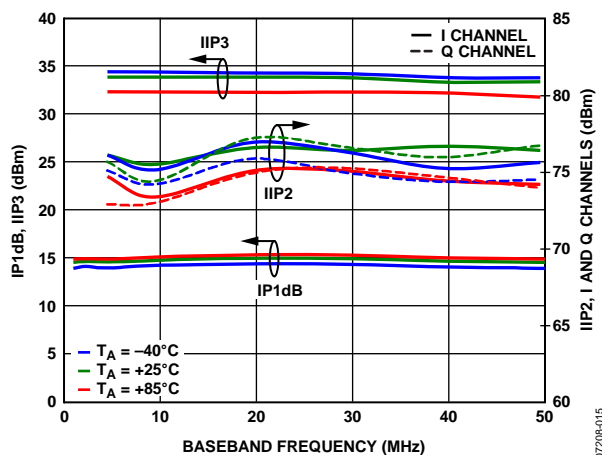


图15. IP1dB、IIP3和IIP2与基带频率的关系

07208-015

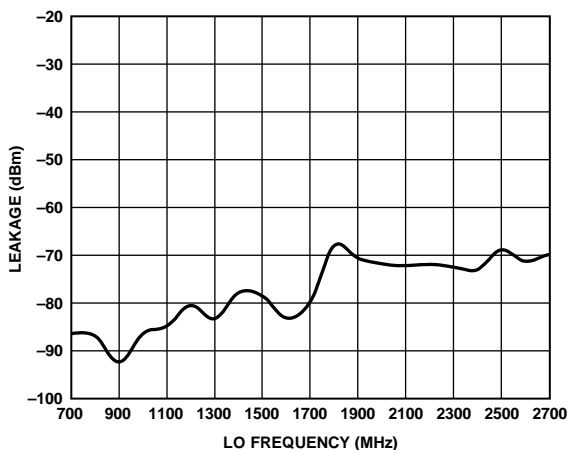


图18. LO至RF泄漏与LO频率的关系

07208-018

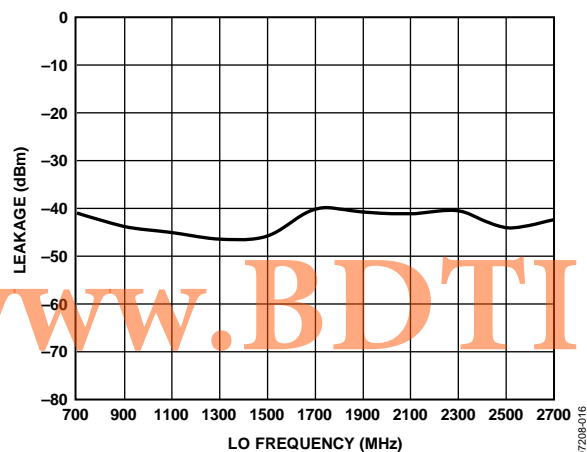


图16. LO至BB泄漏与LO频率的关系

07208-016

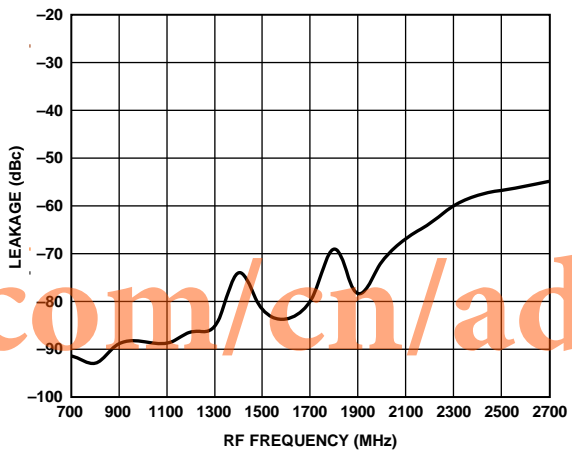


图19. RF至LO泄漏与RF频率的关系

07208-019

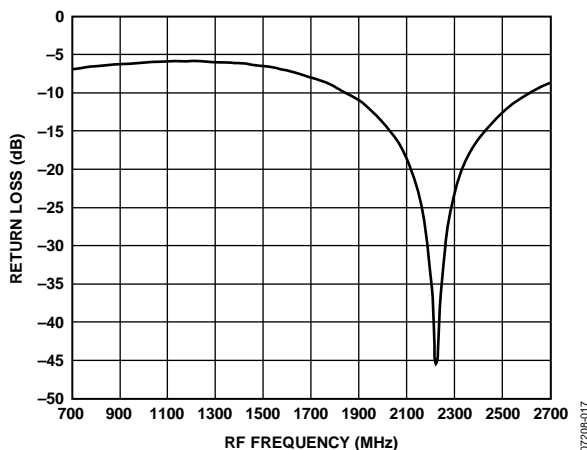


图17. RF端口回损与RF频率(通过ETC1-1-13巴伦和33 nH偏置电感在特性板上测得)的关系

07208-017

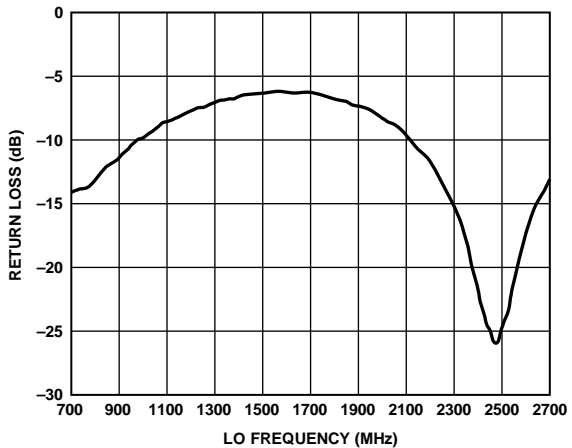


图20. LO端口回损与LO频率(通过ETC1-1-13巴伦在特性板上测得)的关系

07208-020

ADL5382

$f_{RF} = 900$ MHz时的分布情况

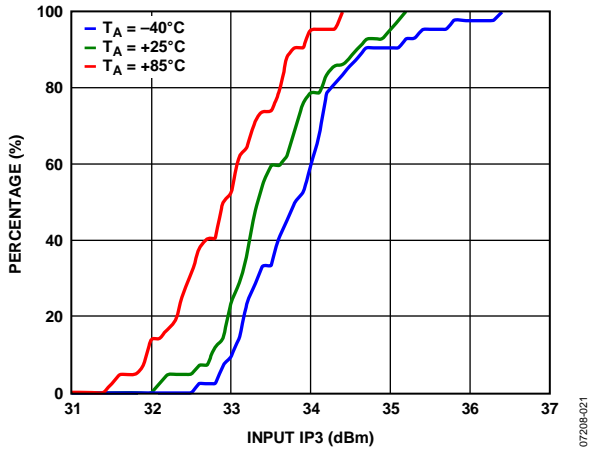


图21. IIP3分布, $f_{RF} = 900$ MHz

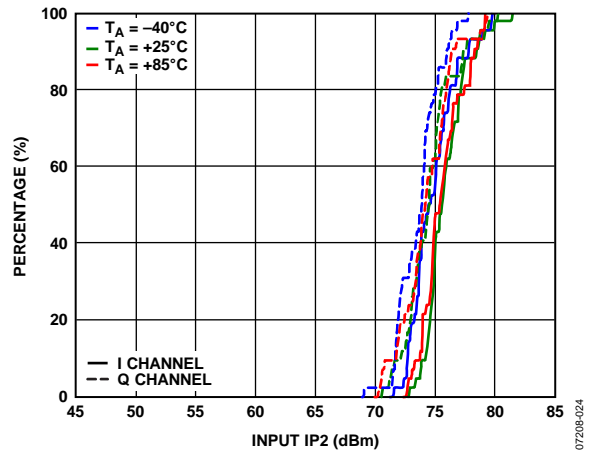


图24. I通道和Q通道的IIP2分布, $f_{RF} = 900$ MHz

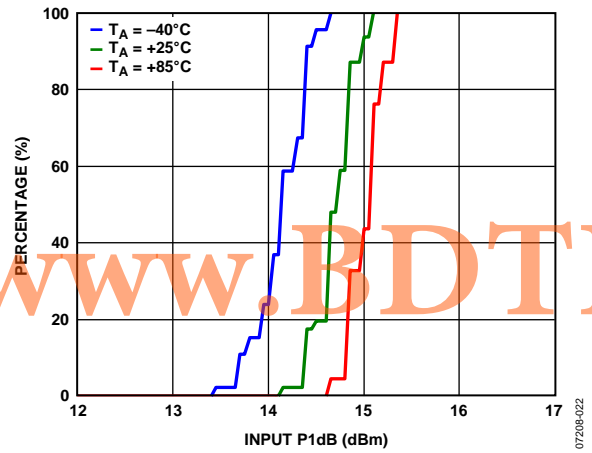


图22. IP1dB分布, $f_{RF} = 900$ MHz

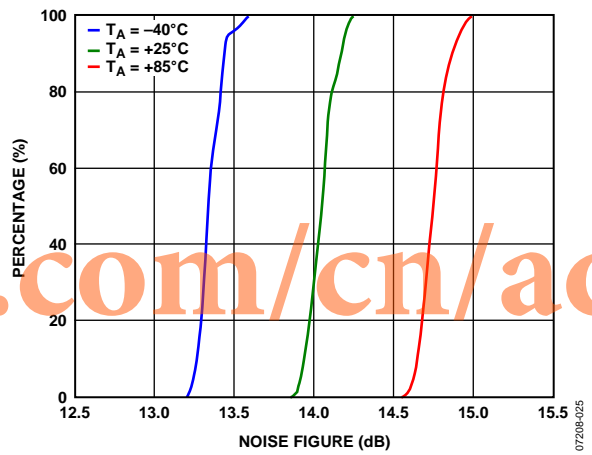


图25. 噪声系数分布, $f_{RF} = 900$ MHz

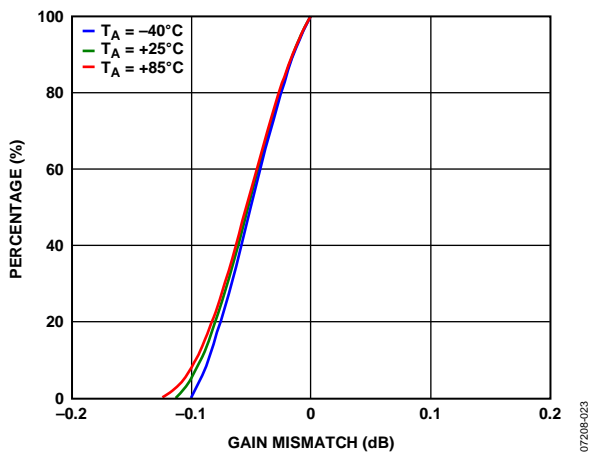


图23. IQ增益失配分布, $f_{RF} = 900$ MHz

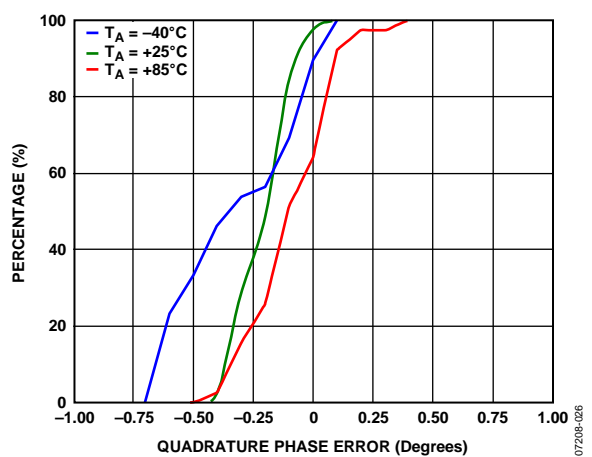


图26. IQ正交相位误差分布, $f_{RF} = 900$ MHz

$f_{RF} = 1900$ MHz时的分布情况

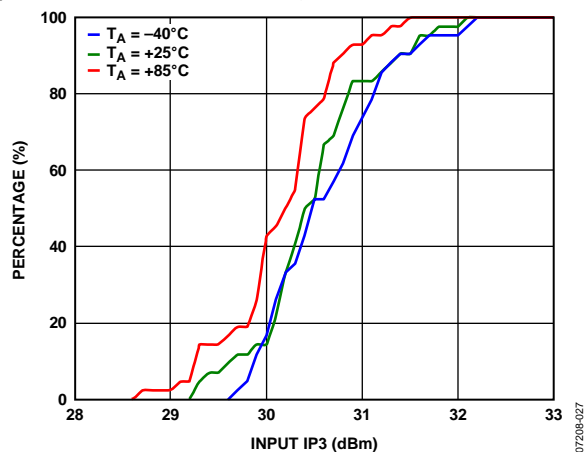


图27. IIP3分布, $f_{RF} = 1900$ MHz

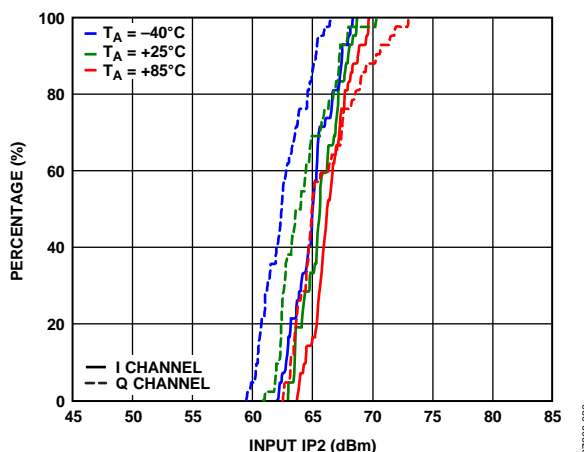


图30. I通道和Q通道的IIP2分布, $f_{RF} = 1900$ MHz

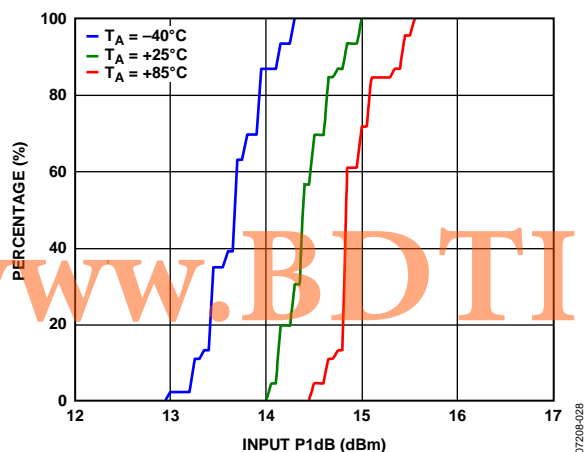


图28. IP1dB分布, $f_{RF} = 1900$ MHz

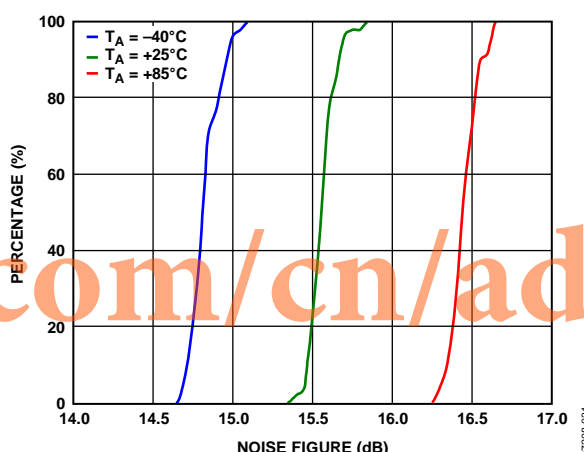


图31. 噪声系数分布, $f_{RF} = 1900$ MHz

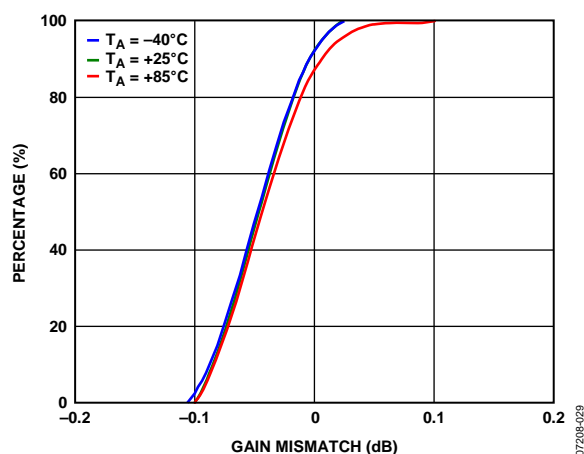


图29. IQ增益失配分布, $f_{RF} = 1900$ MHz

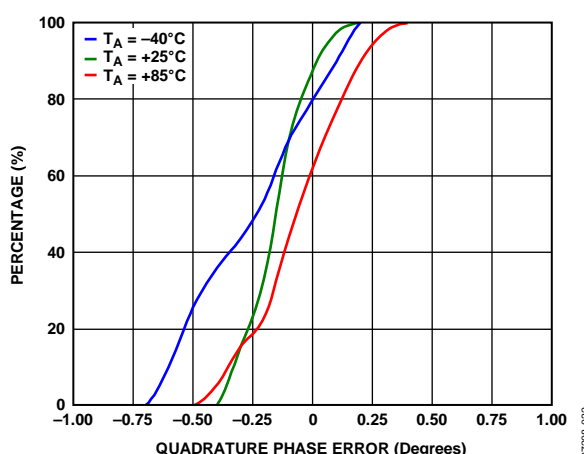


图32. IQ正交相位误差分布, $f_{RF} = 1900$ MHz

ADL5382

$f_{RF} = 2700$ MHz时的分布情况

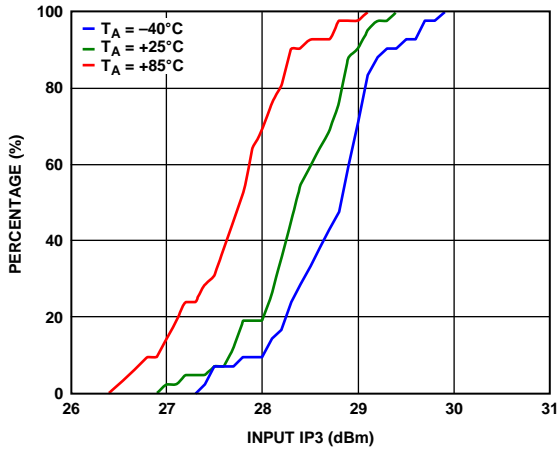


图33. IIP3分布, $f_{RF} = 2700$ MHz

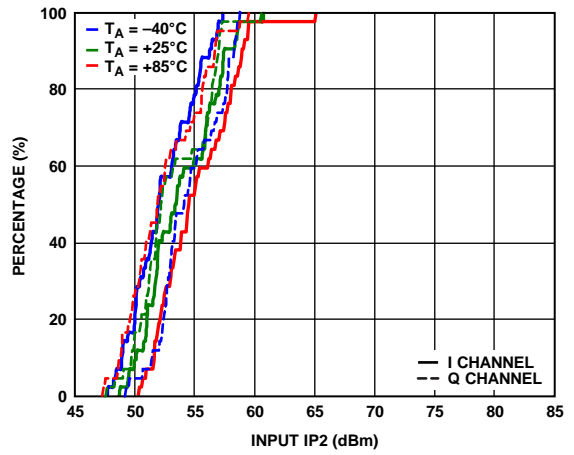


图36. I通道和Q通道的IIP2分布, $f_{RF} = 2700$ MHz

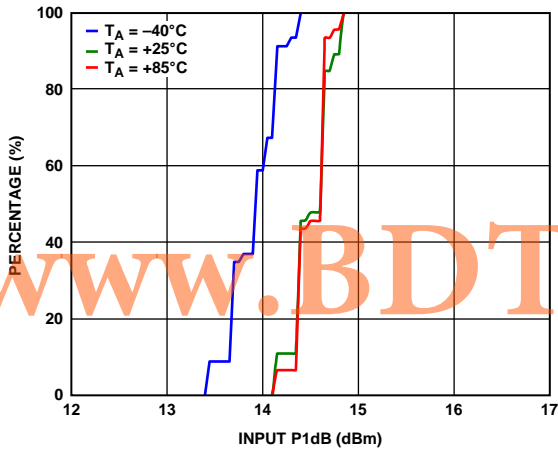


图34. IP1dB分布, $f_{RF} = 2700$ MHz

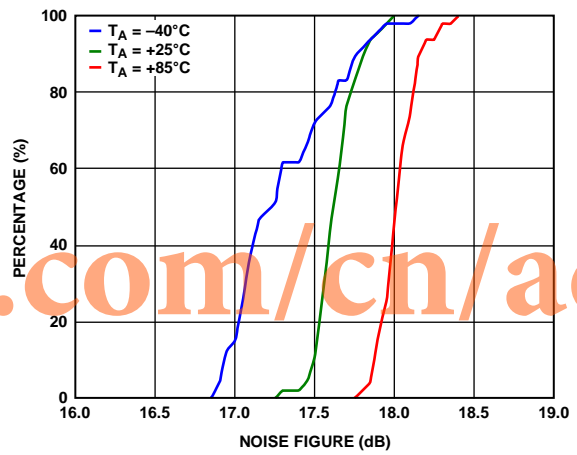


图37. 噪声系数分布, $f_{RF} = 2700$ MHz

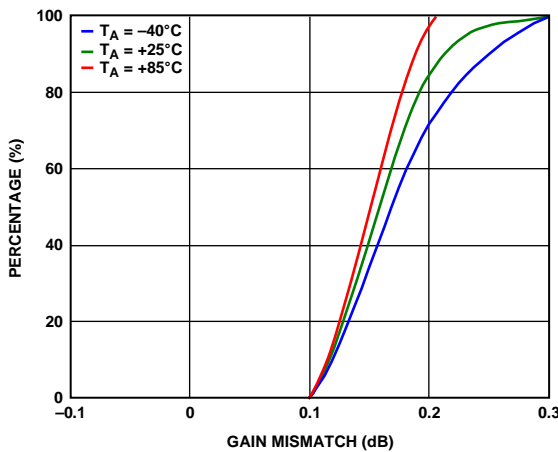


图35. IQ增益失配分布, $f_{RF} = 2700$ MHz

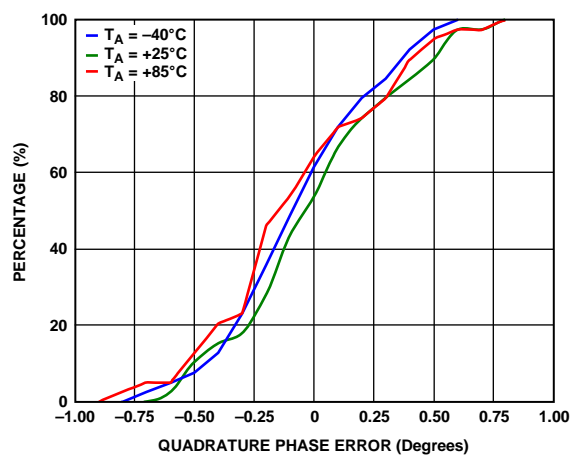


图38. IQ正交相位误差分布, $f_{RF} = 2700$ MHz

电路描述

ADL5382可以分为五个部分：本振(LO)接口、RF电压电流(V-I)转换器、混频器、差分发射极跟随器输出和偏置电路。器件详细框图如图39所示。

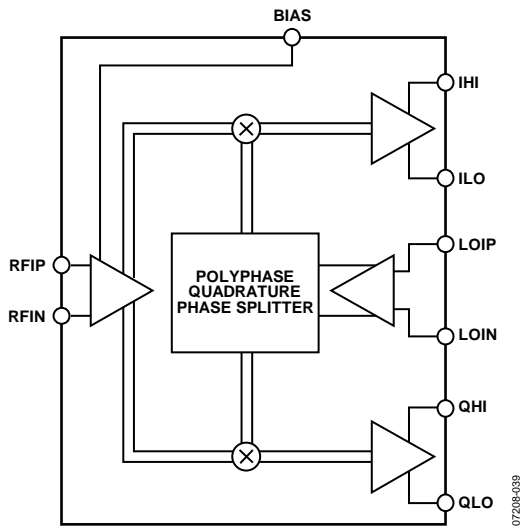


图39. 功能框图

LO接口产生两个相位相差 90° 的LO信号，以便以正交方式驱动两个混频器。通过V-I转换器将RF信号转换为电流，然后馈入两个混频器。通过发射极跟随器缓冲混频器的差分I和Q输出。各部分的基准电流由偏置电路产生。以下是各部分的详细说明。

LO接口

LO接口由多相正交分路器和紧随其后的限幅放大器组成。LO输入阻抗通过多相设置，后者将LO信号分割成两个正交差分信号。每个正交LO信号接着通过限幅放大器，后者向混频器提供限幅驱动信号。为实现最佳性能，LO输入必须以差分形式驱动。

V-I转换器

差分RF输入信号施加于阻性退化的共基级，后者将差分输入电压转换为输出电流。然后，输出电流调制混频器级中的两个半频率LO载波。

混频器

ADL5382具有两个双平衡混频器：一个用于同相通道(I通道)，另一个用于正交通道(Q通道)。这些混频器基于吉尔伯特单元设计，由四个交叉连接的晶体管组成。两个混频器的输出电流在阻性负载内相加，然后馈入后继的发射极跟随器缓冲器。

发射极跟随器缓冲器

输出发射极跟随器驱动片外差分I和Q信号。输出阻抗通过片内 $25\ \Omega$ 串联电阻设置，后者为每个基带端口产生 $50\ \Omega$ 差分输出阻抗。固定输出阻抗与降低有效增益的负载阻抗一起构成分压器。例如， $500\ \Omega$ 差分负载具有比高($10\ \text{k}\Omega$)差分负载阻抗低1 dB的有效增益。

偏置电路

一个带隙基准电压电路产生与绝对温度成比例(PTAT)的电流和不同部分所用的与温度无关的基准电流。混频器电流可利用从BIAS引脚连接至地的外部电阻来降低。当BIAS引脚开路时，混频器以最大电流工作，因此动态范围最大。混频器电流可通过一个接地电阻来降低，从而降低总功耗、噪声系数和IIP3。对上述各参数的影响如图10、图13和图14所示。

应用信息

基本连接

图41显示ADL5382的基本连接原理图。

电源

ADL5382的标称电源电压为5 V，施加于VPA、VPB、VPL和VPX引脚。COM、CML和CMRF引脚应连接到地。封装下侧的裸露焊盘也应焊接至低热阻抗和电阻抗接地层。如果接地层跨越电路板上的多层，则这些层应利用裸露焊盘下面的9个过孔拼接在一起。应用笔记AN-772详细讨论了LFCSP的热接地和电接地。每个电源引脚应利用两个电容去耦；建议电容值为100 pF和0.1 μ F。

本振(LO)输入

为实现最佳性能，LO端口应通过巴伦以差分形式驱动。推荐巴伦为M/A-COM ETC1-1-13。器件的LO输入应利用1000 pF电容交流耦合。LO端口针对700 MHz至2.7 GHz的50 Ω 宽带匹配而设计。LO回损如图20所示。图40显示LO输入配置。

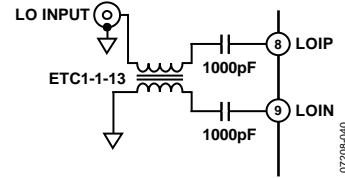


图40. 差分LO驱动

建议LO驱动电平介于-6 dBm和+6 dBm之间。施加的LO频率在700 MHz至2.7 GHz范围内。

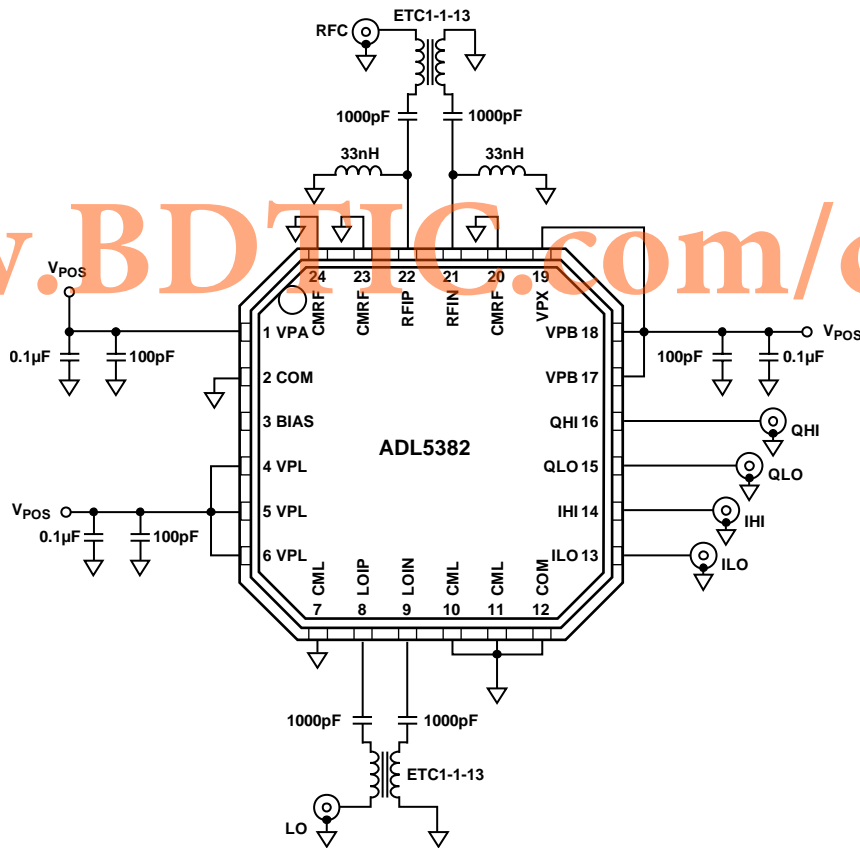


图41. 基本连接原理图

RF输入

RF输入的差分输入阻抗约为 $50\ \Omega$ 。为实现最佳性能，RF端口应通过巴伦以差分形式驱动。推荐巴伦为M/A-COM ETC1-1-13。器件的RF输入应利用 $1000\ \text{pF}$ 电容交流耦合。另外，必须将以地为参考的扼流圈电感与RFIP和RFIN相连（推荐值为 $33\ \text{nH}$ ，Coilcraft 0603CS-33NX），以提供适当的偏置。为该应用选择合适的扼流电感时，有几个重要方面需要考虑。首先，电感必须能够处理各RF输入引脚（RFIP、RFIN）提供的约 $40\ \text{mA}$ 稳定直流电流。建议的0603电感具有 $600\ \text{mA}$ 的电流额定值。扼流电感用于提供极低电阻的对地直流路径，以及在RF频率时提供高交流阻抗，从而不影响RF输入阻抗。自谐振频率大于RF输入频率的扼流电感可确保扼流圈仍然呈感性，因而在RF频率时具有更易预测的交流阻抗($j\omega L$)。图42显示RF输入配置。

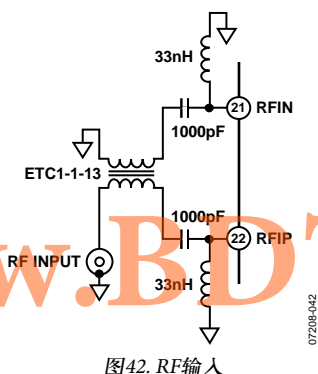


图42. RF输入

差分RF端口回损的特性如图43所示。

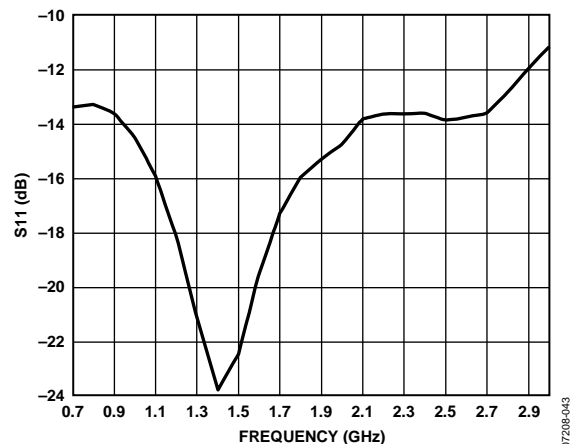


图43. 差分RF端口回损

基带输出

基带输出QHI、QLO、IHI和ILO是固定阻抗端口。各基带对具有 $50\ \Omega$ 差分输出阻抗。输出可提供低至 $200\ \Omega$ 的差分负载（增益略有下降），或通常用于ADC的高阻抗差分负载（ $500\ \Omega$ 或更大阻抗具有同样出色的线性度）。TCM9-1 9:1巴伦将差分IF输出转换为单端。使用 $50\ \Omega$ 负载时，此巴伦向器件提供 $450\ \Omega$ 负载。这些输出的典型最大线性电压摆幅为 $2\ \text{V}_{\text{p-p}}$ 差分电压。这些引脚上的偏置电平等于 $V_{\text{POS}} - 2.8\ \text{V}$ 。 $3\ \text{dB}$ 输出带宽为 $370\ \text{MHz}$ 。图44所示为基带输出配置。

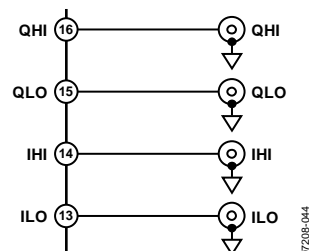


图44. 基带输出配置

ADL5382

误差矢量幅度(EVM)性能

EVM是数字无线发射机或接收机的性能量化指标。接收机接收到的信号允许所有星座点位于各自的理想位置，但实现过程中的各种缺陷(例如：幅度不平衡、本底噪声和相位不平衡等)会导致实际星座点偏离其理想位置。

ADL5382在各种调制方案下显示出极佳的EVM性能。图45显示ADL5382在16 QAM、200 kHz低IF下的EVM性能。

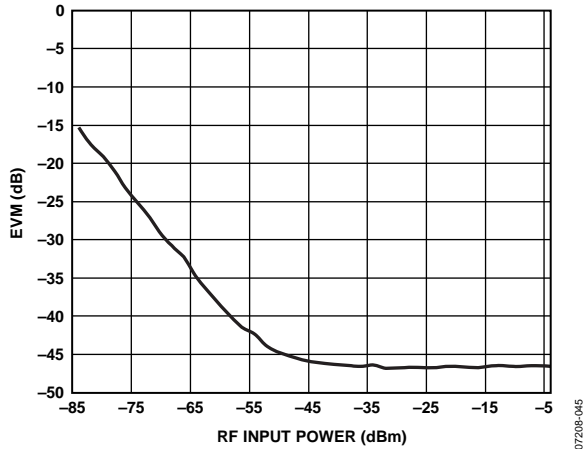


图45. 对于16 QAM 160 ksym/s信号, EVM(RF = 900 MHz, IF = 200 kHz)与RF输入功率的关系

图46显示10 MHz IEEE 802.16e WiMAX信号在ADL5382中的零中频EVM性能。ADL5382上的差分直流失调约为几毫伏。不过，将基带输出与10 μ F电容交流耦合可消除直流失调，并增强EVM性能。对于10 MHz带宽信号，10 μ F交流耦合电容配合500 Ω 差分负载可获得约64 Hz的高通转折频率，同时仅从基带信号吸收微不足道的调制信号能量。通过基带输出端的交流耦合电容，可消除低输入功率水平下限制动态范围的直流失调影响。

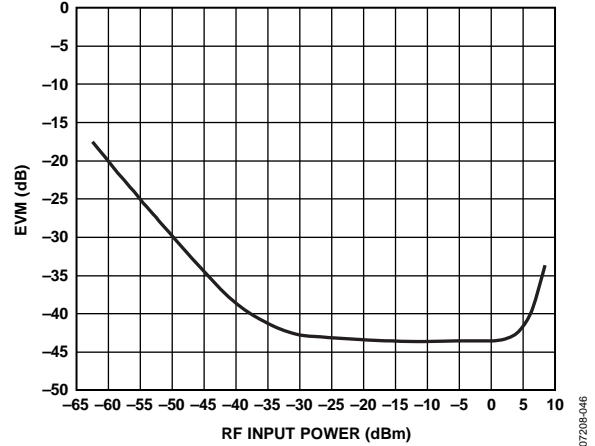


图46. 对于16 QAM 10 MHz带宽移动WiMAX信号(交流耦合基带输出), EVM(RF = 2.6 GHz, IF = 0 Hz)与RF输入功率的关系

图47显示ADL5382在宽RF输入功率范围内的多条W-CDMA低中频EVM性能曲线。在零中频情况下，矢量信号分析仪的噪声贡献在较低功率水平下成为主要来源，因而难以精确测量SNR。

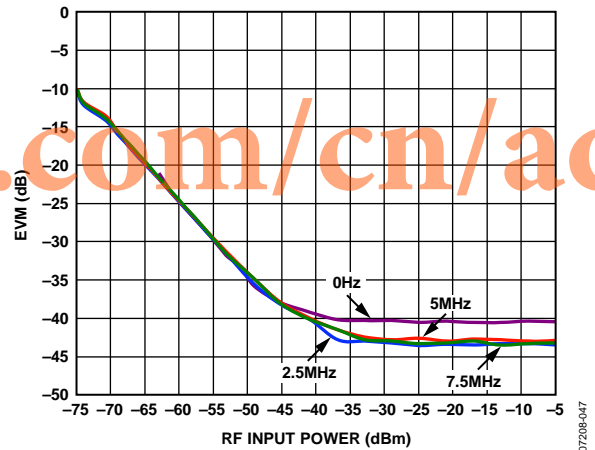


图47. 对于W-CDMA信号(交流耦合基带输出), EVM(RF = 1900 MHz, IF = 0 Hz, 2.5 MHz, 5 MHz, 7.5 MHz)与RF输入功率的关系

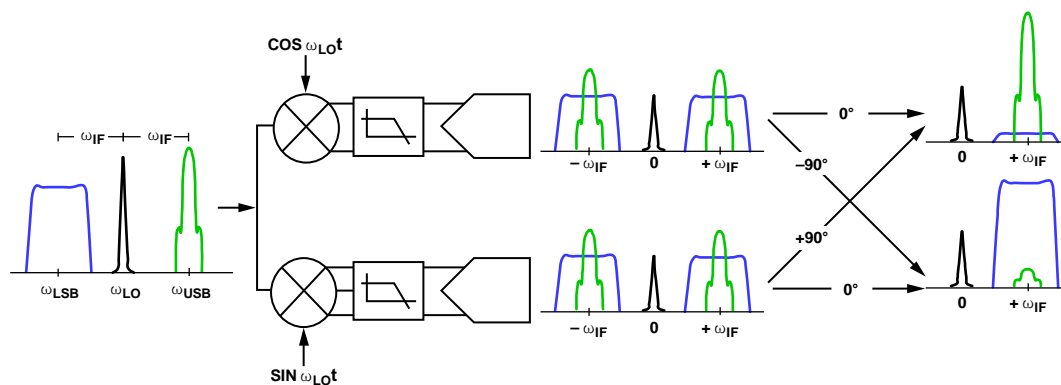


图48. 镜像问题的图解

低IF镜像抑制

镜像抑制比指的是在期望输入频率条件下产生的中频(IF)信号电平与在镜像频率条件下产生的中频(IF)信号的比值。镜像抑制比的单位为分贝。镜像电压可远远高于期望信号的电压,会影响下变频过程;因此,恰当的镜像抑制非常重要。镜像问题见图48。如果上半部分边带(下半部分边带)为所需的频带, Q通道(I通道)的90°偏移将消除下半部分边带(上半部分边带)内的镜像。当镜像抑制比较高时,务必保持I通道和Q通道之间的相位、增益平衡。

图49显示ADL5382对于低中频应用(例如W-CDMA)的出色镜像抑制能力。ADL5382在宽频率范围内的镜像抑制大于45 dB。

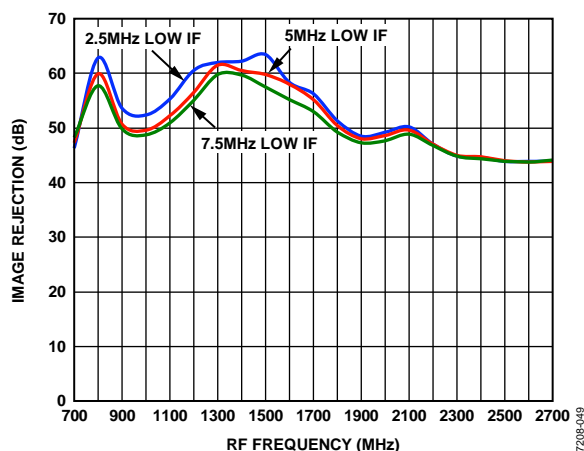


图49. 对于W-CDMA信号, 镜像抑制与RF频率的关系,
IF = 2.5 MHz、5 MHz和7.5 MHz

示例基带接口

在大多数直接变频接收机设计中,需要在指定频段内选择所需的载波。期望通道可通过将LO调谐至适当的载波频率来解调。如果期望RF频段包含多个目标载波,相邻载波也可下变频至较低的中频频率。如果这些相邻载波相对于所需载波较大,因为可能使基带信号检测电路过驱,所以可能会有问题。因此,通常必须插入滤波器,以充分抑制相邻载波。

在设计滤波器网络时,需要考虑ADL5382和ADC输入的整体源、负载阻抗。ADL5382专为驱动高阻抗ADC输入而设计,差分基带输出阻抗为50 Ω。比较理想的情况是,利用一个端接电阻(例如:500 Ω电阻)将ADC输入的阻抗降至较低水平。端接电阻有利于更好定义ADC输入端的输入阻抗,代价是增益会略微降低(有关发射极跟随器输出负载影响的详情参见电路描述部分)。滤波器网络的阶数和类型由所需高频抑制、通带纹波和群延迟决定。滤波器设计表列出了各种滤波器类型及阶数,说明了1 Hz截止频率和1 Ω负载条件下的归一化电感和电容值。根据实际所需截止频率和负载阻抗对归一化的原型元件值进行调整后,串行电抗元件的数量减半,以实现最终的平衡滤波器网络元件值。

ADL5382

图50显示的是一个二阶巴特沃兹低通滤波器，在本例中，ADL5382的差分负载阻抗为500 Ω，源阻抗为50 Ω。当负载-源阻抗比为10:1时，归一化串联电感值为0.074 H，归一化旁路电容的电容值为14.814 F。在截止频率为10.9 MHz的条件下，单端等效电路由一个0.54 μH串联电感和一个433 pF旁路电容组成。

当0.54 μH电感一分为二时，平衡配置得以实现，从而能实现如图50所示的网络。

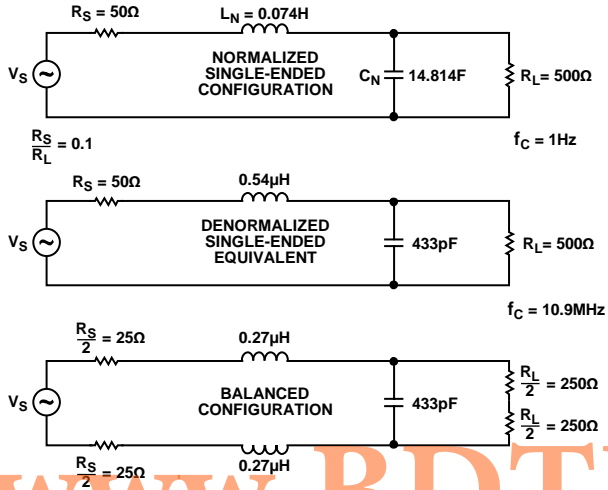


图50. 二阶巴特沃兹低通滤波器设计示例

完整的设计示例见图53。一个转折频率为1.9 MHz的六阶巴特沃兹差分滤波器可将ADL5382的输出信号传输至ADC输入端。500 Ω负载电阻用于定义ADC的输入阻抗。滤波器是典型直接变频W-CDMA应用所必需的，距离载波中频频率1.92 MHz时，需要1 dB的抑制能力；距离2.7 MHz时，需要10 dB的抑制能力。

滤波器的频率响应和群延迟测量值见图51和图52。

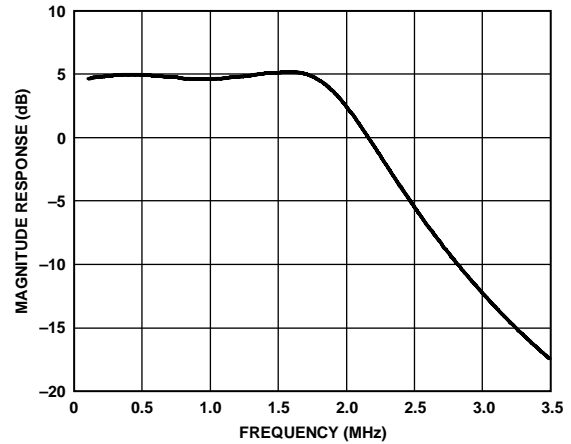


图51. 六阶基带滤波器响应

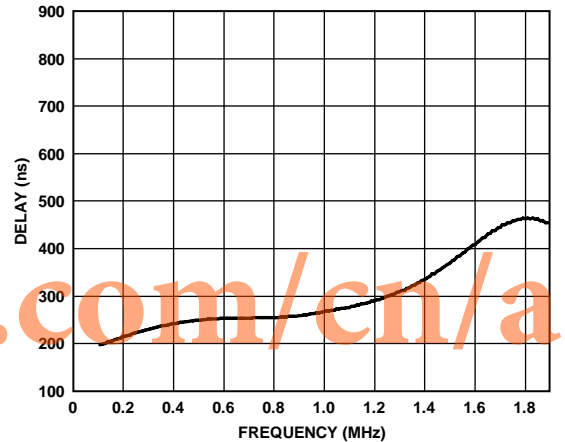
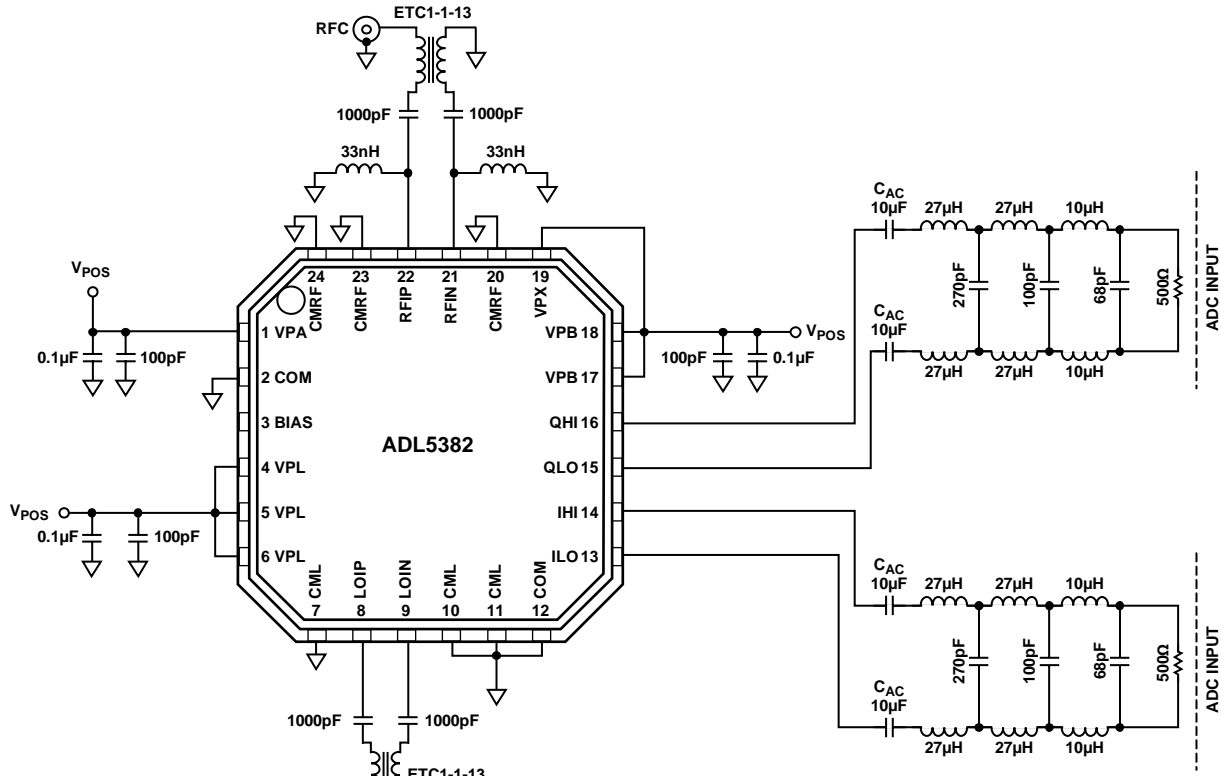


图52. 六阶基带滤波器群延迟



07208-053

www.BDTIC.com/cn/adi

图53. 六阶低通巴特沃兹基带滤波器原理图

随着滤波器负载阻抗增加，确保滤波器设计符合所需的抑制能力和通带规格变得更加困难。在上面的W-CDMA示例中，500 Ω负载阻抗实现了具有较大电感值和较小电容值的六阶滤波器设计。如果负载阻抗为200 Ω，滤波器设计会更易于管理。如图54所示，所得的电感和电容值变得更实用。

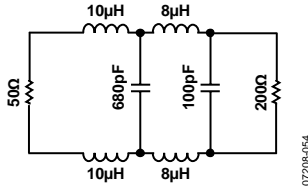


图54. 四阶低通W-CDMA滤波器原理图

图55和图56分别显示四阶滤波器的幅度响应和群延迟响应。

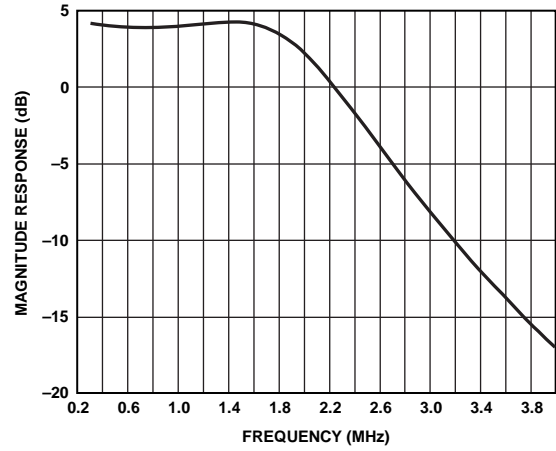


图55. 四阶低通W-CDMA滤波器幅度响应

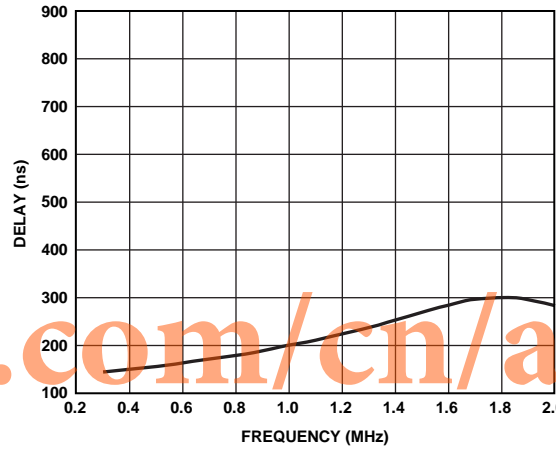


图56. 四阶低通W-CDMA滤波器群延迟响应

www.BDTIC.com/cn/adi

特性设置

图57至图59显示广泛用于ADL5382的通用特性平台设置。图59所示的设置用于执行批量测试，LO和RF输入端均使用正弦信号。自动化Agilent VEE程序用于通过IEEE总线控制设备。此设置用于测量增益、IP1dB、IIP2、IIP3、I/Q增益匹配和正交误差。ADL5382特性板的每个差分基带端口上具有一个9:1阻抗变压器，以执行差分转单端转换，与50 Ω测试设备接口时，它会为每个基带端口提供450 Ω差分负载。ADL5382的所有测量值已将RF输入巴伦(特性测试期间RF输入端使用M/A-COM ETC1-1-13)损耗去嵌入。

图57和图58所示的两种设置用于执行NF测量。图57显示无阻塞信号时用于测量NF的设置，图58是存在阻塞时用于测量NF的设置。两种设置中，噪声均在10 MHz的基带频率下测量。对于应用阻塞的情况，输出阻塞位于15 MHz基带频率下。请注意，存在阻塞时测量NF必须非常小心。RF阻塞发生器必须进行滤波，以防止其噪声(随着发生器输出功率上升而增加)覆盖ADL5382的噪声贡献。RF和镜像频率需要至少30 dB的衰减。例如，假设向ADL5382的LO输入施加915 MHz信号。为了获得15 MHz的输出阻塞信号，应将RF阻塞发生器设置为930 MHz，并调谐滤波器，使得发生器在期望RF频率(925 MHz)和镜像RF频率(905 MHz)下均获得至少30 dB的衰减。最后，必须从输出去除阻塞(通过10 MHz低通滤波器)，以防止阻塞覆盖分析仪。

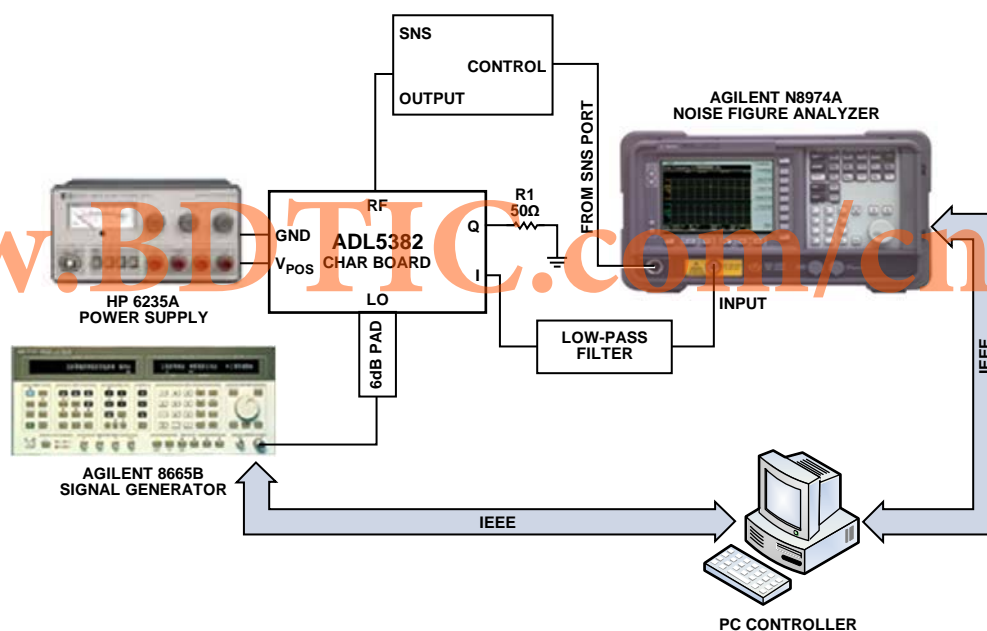


图57. 通用噪声系数测量设置

ADL5382

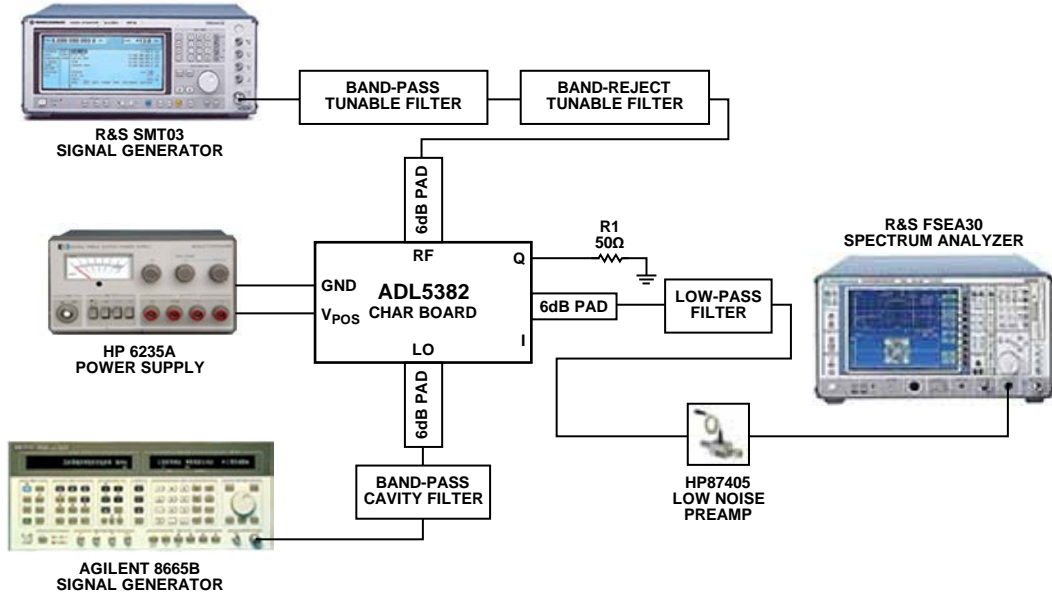


图58. 存在阻塞时的噪声系数测量设置

07208-058

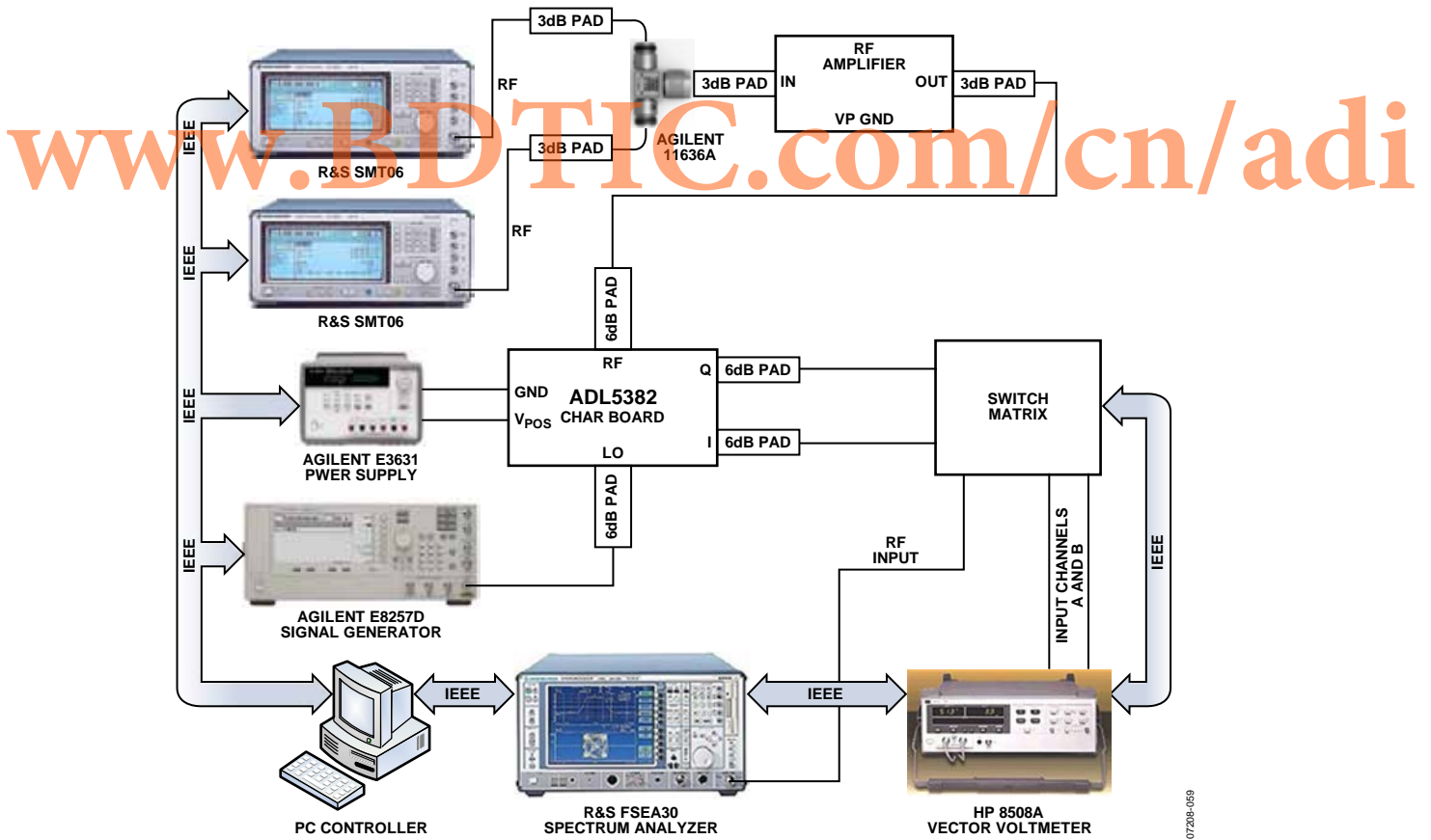


图59. 通用特性设置

07208-059

评估板

ADL5382提供评估板。此评估板可用于单端或差分基带分析。默认配置用于单端基带分析。

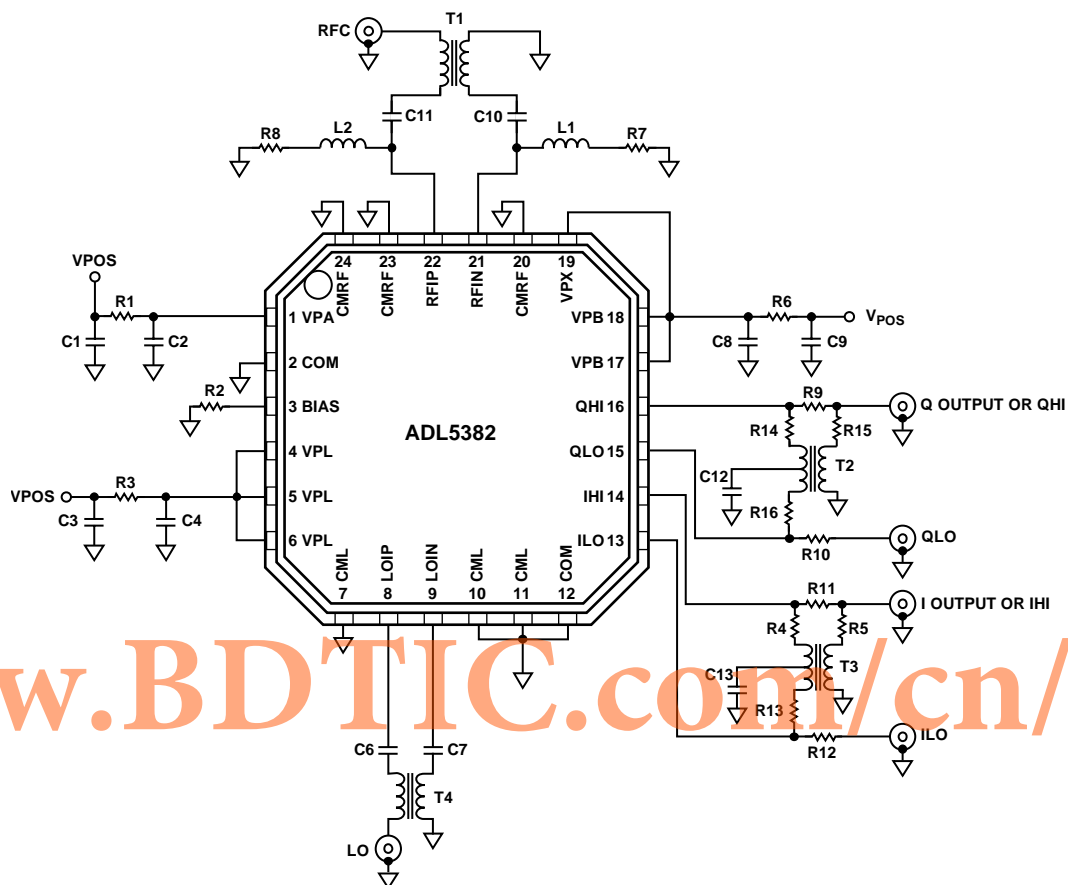


图60. 评估板原理图

07208-060

ADL5382

表4. 评估板配置选项

元件	功能	默认条件
VPOS, GND	电源和接地矢量引脚。	不适用
R1, R3, R6	电源去耦。使去耦电阻短路或上电。	R1, R3, R6 = 0 Ω (0603)
C1, C2, C3, C4, C8, C9	这些电容可在最高2.7 GHz频率下提供所需的去耦。	C2, C4, C8 = 100 pF (0402) C1, C3, C9 = 0.1 μF (0603)
C6, C7, C10, C11	交流耦合电容。这些电容在700 MHz至2.7 GHz范围内提供所需的交流耦合。	C6, C10, C11 = 1000 pF (0402) C7 = 开路
R4, R5, R9至R16	单端基带输出路径。这是评估板的默认配置。R14至R16和R4、R5、R13用于连接至恰当的巴伦接口。不安装R9、R10、R11和R12。基带输出从QHI和IHI获得。用户可将评估板重新配置为使用全差分基带输出。R9至R12可用于旁路9:1 TCM9-1变压器，以提供差分基带输出。通过将R9至R12填充0 Ω，而不填充R4、R5、R13至R16，可访问差分基带信号。这样就无需去除变压器。基带输出从Q_HI、Q_LO、I_HI和I_LO的SMA获得。	R4、R5、R13至R16 = 0 Ω (0402) R9至R12 = 开路
L1, L2, R7, R8	输入偏置。电感和电阻设置共基输入级的输入偏置。默认值为33 nH。	L1, L2 = 33 nH (0603CS-33NX, Coilcraft) R7, R8 = 0 Ω (0402)
T2, T3	中频输出接口。TCM9-1将差分高阻抗中频输出转换为单端输出。使用50 Ω负载时，此巴伦向器件提供450负载。中心抽头可通过电容去耦至地。	T2, T3 = TCM9-1, 9:1 (Mini-Circuits)
C12, C13	去耦电容。C12和C13用于抑制TCM9-1中心抽头上的噪声。	C12, C13 = 0.1 μF (0402)
T4	LO输入接口。LO以差分形式驱动。ETC1-1-13是1:1 RF巴伦，将单端RF输入转换为差分信号。	T4 = ETC1-1-13, 1:1 (M/A-COM)
T1	RF输入接口。ETC1-1-13是1:1 RF巴伦，将单端RF输入转换为差分信号。	T1 = ETC1-1-13, 1:1 (M/A-COM)
R2	R _{BIAS} 。可选外部偏置设置电阻。关于如何使用此特性，参见“偏置电路”部分。	R2 = 开路

www.BDTIC.com/cn/adi

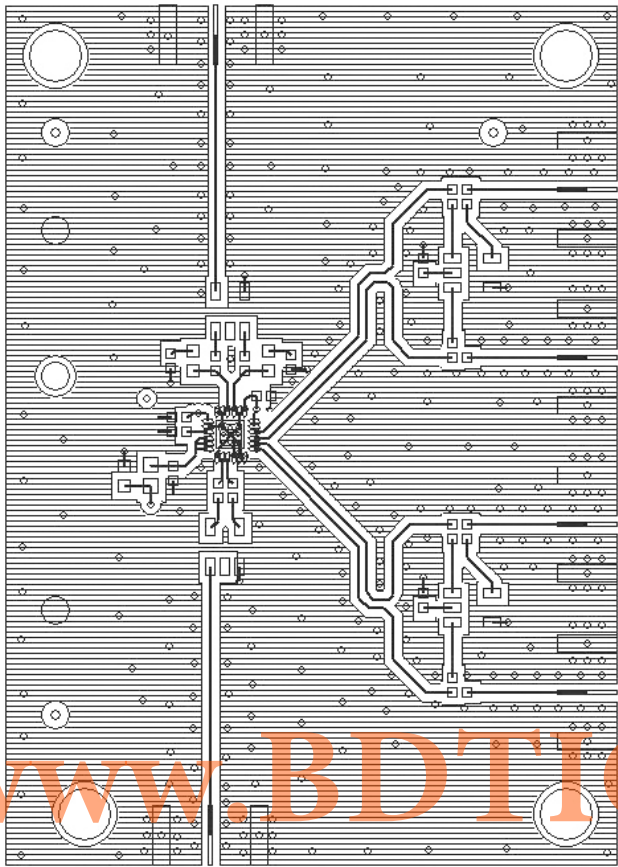


图61. 评估板顶层

07208-061

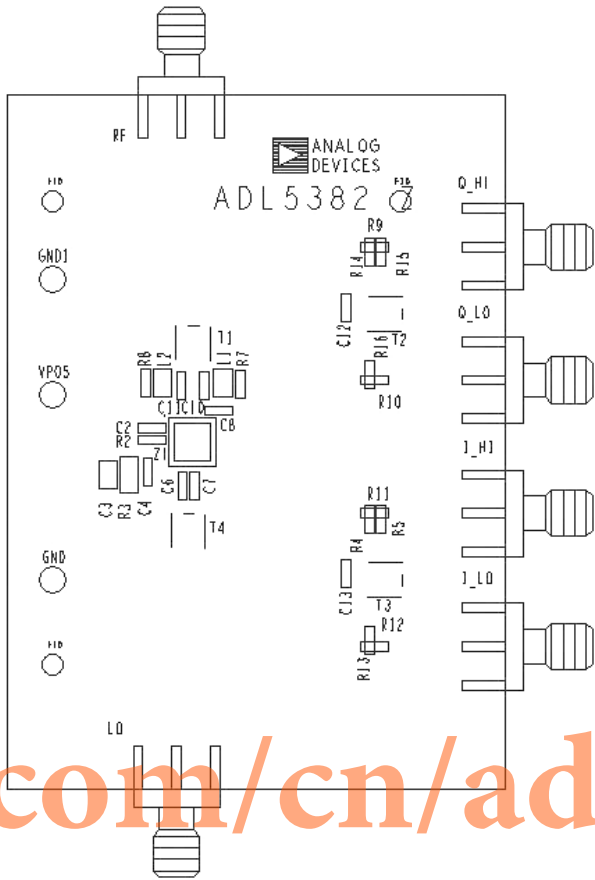


图62. 评估板顶层丝网图

07208-062

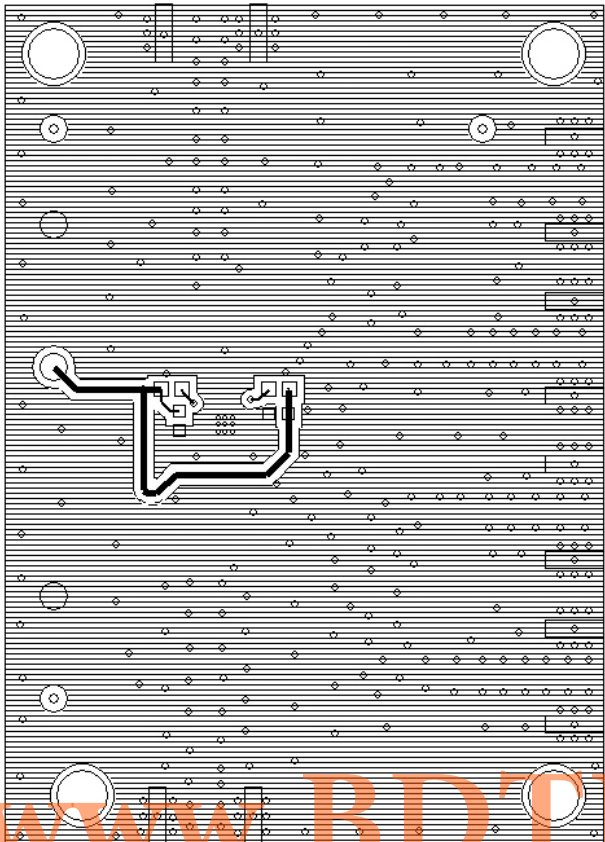


图63. 评估板底层

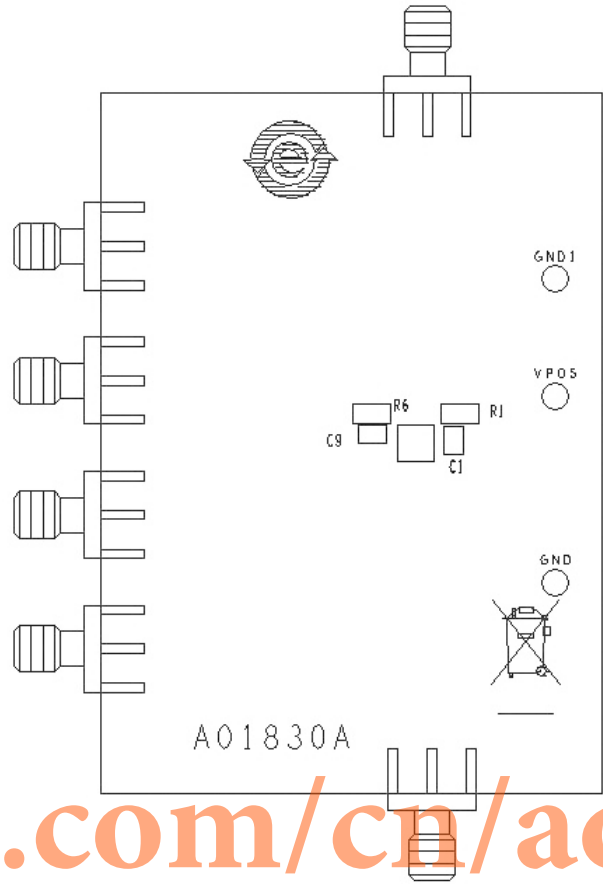
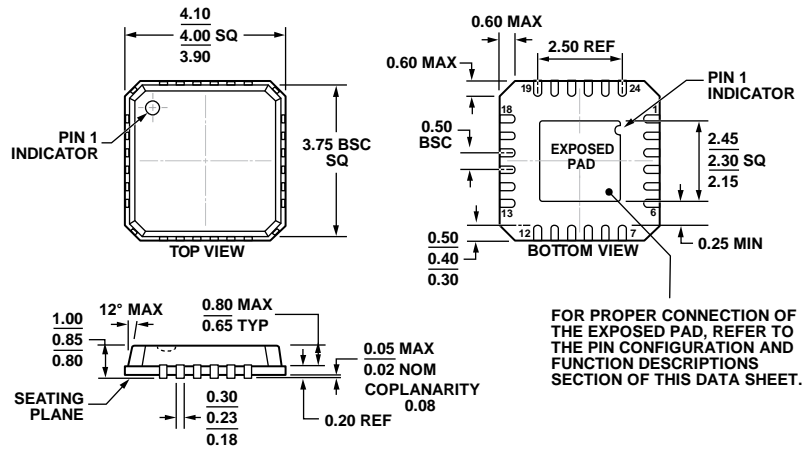


图64. 评估板底层丝网图

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-2

图65. 24引脚LFCSP_VQ封装
4 mm x 4 mm超薄
(CP-24-2)
尺寸单位: mm

04-09-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADL5382ACPZ-R7	-40°C至+85°C	24引脚 LFCSP_VQ, 7"卷带和卷盘	CP-24-2	1,500
ADL5382ACPZ-WP	-40°C至+85°C	24引脚 LFCSP_VQ, 窝伏尔组件	CP-24-2	64
ADL5382-EVALZ		评估板		

¹ Z = 符合RoHS标准的器件。

ADL5382

注释

www.BDTIC.com/cn/adi