

### 产品特性

- 包络跟踪RF检波器，输出电压与输入电压成正比
- 独立的TruPwr均方根输出
- 无需巴伦或外部调谐
- 出色的温度稳定性
- 输入功率动态范围：47 dB
- 输入频率范围：直流至6 GHz
- 包络带宽：130 MHz
- 包络延迟：2 ns
- 单电源供电：4.75 V至5.25 V
- 电源电流：21.5 mA
- 关断模式：130  $\mu$ W

### 应用

- W-CDMA、CDMA2000、LTE和其他复杂波形的均方根功率测量和包络检波
- 基于漏极调制的功率放大器线性化
- 采用包络跟踪方法的功率放大器线性化

### 功能框图

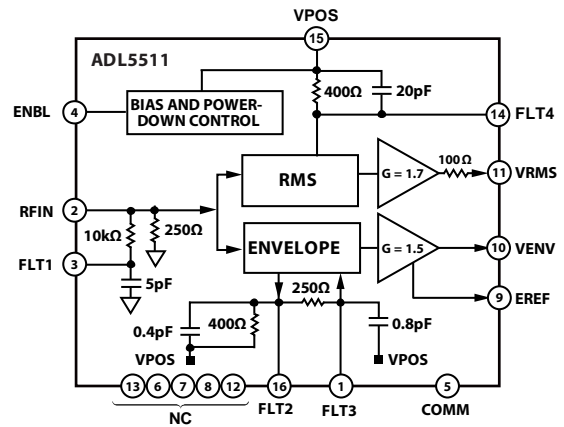


图1.

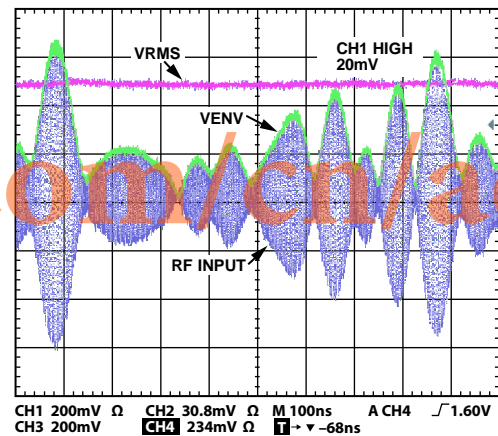


图2. 对20 MHz QPSK LTE载波的RMS和包络响应  
(测试模型E-TM1\_1\_20MHz)

### 概述

ADL5511是一款RF包络和TruPwr™均方根检波器。包络输出电压是一个与输入信号包络成正比的电压。均方根输出电压与输入信号的峰均比无关。

均方根输出为线性V/V电压，900 MHz时的转换增益为1.9 V/V均方根值。包络输出的转换增益为1.46 V/V (900 MHz)，它以EREF引脚提供的1.1 V内部基准电压为参考。

ADL5511可采用直流至6 GHz信号工作，包络带宽最高可达130 MHz。

所获取的包络可用于RF功率放大器(PA)线性化和增强效率，均方根输出则可用于测量均方根功率。高均方根值精度和快速包络响应特别适合对CDMA2000、W-CDMA及LTE系统中使用的宽带高峰均比信号进行包络检波和功率测量。

ADL5511的工作温度范围为-40°C至+85°C，提供16引脚3 mm x 3 mm LFCSP封装。

### Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2011–2012 Analog Devices, Inc. All rights reserved.

## 目录

产品特性 .....	1	输出驱动能力和缓冲 .....	18
应用 .....	1	应用信息 .....	19
功能框图 .....	1	基本连接 .....	19
概述 .....	1	在1 GHz以下频率工作/包络滤波 .....	19
修订历史 .....	2	选择RMS均值电容( $C_{FLT4}$ )值 .....	20
技术规格 .....	3	包络跟踪精度 .....	21
绝对最大额定值 .....	7	时域包络跟踪精度 .....	21
ESD警告 .....	7	VRMS和VENV输出失调 .....	22
引脚配置和功能描述 .....	8	器件校准和误差计算 .....	22
典型性能参数 .....	9	误差与频率的关系 .....	23
电路描述 .....	17	评估板 .....	24
包络传播延迟 .....	17	外形尺寸 .....	26
RMS电路描述 .....	17	订购指南 .....	26
RMS滤波 .....	17		

## 修订历史

### 2012年2月—修订版0至修订版A

更改公式4 .....

更新“外形尺寸”部分 .....

2011年7月—修订版0：初始版

## 技术规格

除非另有说明,  $T_A = 25^\circ\text{C}$ ,  $V_{\text{POS}} = 5\text{ V}$ ,  $C_{\text{FLT4}} = 100\text{ nF}$ , (交流耦合)RFIN上有接地75  $\Omega$ 分流端接电阻, 在+5 dBm、-15 dBm和-26 dBm对 $V_{\text{ENV}}$ 和 $V_{\text{RMS}}$ 进行三点校准。

表1.

参数	条件	最小值	典型值	最大值	单位
频率范围	输入RFIN	直流		6	GHz
包络转换(100 MHz)	输入RFIN至输出( $V_{\text{ENV}} - V_{\text{EREF}}$ )				
输入范围( $\pm 1\text{ dB}$ 误差)	CW输入		46		dB
最大输入电平	$\pm 1\text{ dB}$ 误差		17		dBm
最小输入电平	$\pm 1\text{ dB}$ 误差		-29		dBm
转换增益	$V_{\text{ENV}} = (\text{增益} \times V_{\text{IN}}) + \text{截点}$		1.42		V/V rms
截点			-5		mV
输出电压					
高功率输入	$P_{\text{IN}} = +10\text{ dBm}, +707\text{ mV rms}$		1.00		V
低功率输入	$P_{\text{IN}} = -20\text{ dBm}, +22.4\text{ mV rms}$		26		mV
RMS转换	输入RFIN至输出( $V_{\text{RMS}}$ )				
输入范围( $\pm 1\text{ dB}$ 误差)	CW输入		46		dB
最大输入电平	$\pm 1\text{ dB}$ 误差		17		dBm
最小输入电平	$\pm 1\text{ dB}$ 误差		-29		dBm
转换增益	$V_{\text{RMS}} = (\text{增益} \times V_{\text{IN}}) + \text{截点}$		1.92		V/V rms
截点			11		mV
输出电压					
高功率输入	$P_{\text{IN}} = +10\text{ dBm}, +707\text{ mV rms}$		1.38		V
低功率输入	$P_{\text{IN}} = -20\text{ dBm}, +22.4\text{ mV rms}$		53		mV
包络转换(900 MHz)	输入RFIN至输出( $V_{\text{ENV}} - V_{\text{EREF}}$ )				
输入范围( $\pm 1\text{ dB}$ 误差)	CW输入		46		dB
最大输入电平	$\pm 1\text{ dB}$ 误差		17		dBm
最小输入电平	$\pm 1\text{ dB}$ 误差		-29		dBm
转换增益	$V_{\text{ENV}} = (\text{增益} \times V_{\text{IN}}) + \text{截点}$		1.46		V/V rms
截点			-5		mV
输出电压					
高功率输入	$P_{\text{IN}} = +10\text{ dBm}, +707\text{ mV rms}$		1.02		V
低功率输入	$P_{\text{IN}} = -20\text{ dBm}, +22.4\text{ mV rms}$		26		mV
RMS转换	输入RFIN至输出( $V_{\text{RMS}}$ )				
输入范围( $\pm 1\text{ dB}$ 误差)	CW输入		46		dB
最大输入电平	$\pm 1\text{ dB}$ 误差		17		dBm
最小输入电平	$\pm 1\text{ dB}$ 误差		-29		dBm
转换增益	$V_{\text{RMS}} = (\text{增益} \times V_{\text{IN}}) + \text{截点}$		1.9		V/V rms
截点			13		mV
输出电压					
高功率输入	$P_{\text{IN}} = +10\text{ dBm}, +707\text{ mV rms}$		1.35		V
低功率输入	$P_{\text{IN}} = -20\text{ dBm}, +22.4\text{ mV rms}$		54		mV

# ADL5511

参数	条件	最小值	典型值	最大值	单位
包络转换(1900 MHz)	输入RFIN至输出( $V_{ENV} - V_{EREF}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{ENV} = (\text{增益} \times V_{IN}) + \text{截点}$		1.5		V/V rms
截点			-5		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.05		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		28		mV
RMS转换	输入RFIN至输出( $V_{RMS}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{RMS} = (\text{增益} \times V_{IN}) + \text{截点}$		1.96		V/V rms
截点			14		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.40		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		56		mV
包络转换(2140 MHz)	输入RFIN至输出( $V_{ENV} - V_{EREF}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{ENV} = (\text{增益} \times V_{IN}) + \text{截点}$		1.53		V/V rms
截点			-5		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.07		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		28		mV
RMS转换	输入RFIN至输出( $V_{RMS}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{RMS} = (\text{增益} \times V_{IN}) + \text{截点}$		1.99		V/V rms
截点			13		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.42		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		56		mV

参数	条件	最小值	典型值	最大值	单位
包络转换(2600 MHz)	输入RFIN至输出( $V_{ENV} - V_{EREF}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{ENV} = (\text{增益} \times V_{IN}) + \text{截点}$		1.56		V/V rms
截点			-3		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.10		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		30		mV
RMS转换	输入RFIN至输出( $V_{RMS}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{RMS} = (\text{增益} \times V_{IN}) + \text{截点}$		2.04		V/V rms
截点			15		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.46		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		58		mV
包络转换(3500 MHz)	输入RFIN至输出( $V_{ENV} - V_{EREF}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{ENV} = (\text{增益} \times V_{IN}) + \text{截点}$		1.56		V/V rms
截点			-5		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.10		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		28		mV
RMS转换	输入RFIN至输出( $V_{RMS}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		47		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-30		dBm
转换增益	$V_{RMS} = (\text{增益} \times V_{IN}) + \text{截点}$		2.03		V/V rms
截点			12		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		1.46		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		57		mV

# ADL5511

参数	条件	最小值	典型值	最大值	单位
包络转换(6000 MHz)	输入RFIN至输出( $V_{ENV} - V_{EREP}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		45		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-28		dBm
转换增益	$V_{ENV} = (\text{增益} \times V_{IN}) + \text{截点}$		0.85		V/V rms
截点			-10		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		0.60		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		11		mV
RMS转换	输入RFIN至输出( $V_{RMS}$ )				
输入范围( $\pm 1$ dB误差)	CW输入		45		dB
最大输入电平	$\pm 1$ dB误差		17		dBm
最小输入电平	$\pm 1$ dB误差		-28		dBm
转换增益	$V_{RMS} = (\text{增益} \times V_{IN}) + \text{截点}$		1.11		V/V rms
截点			7		mV
输出电压					
高功率输入	$P_{IN} = +10$ dBm, +707 mV rms		0.80		V
低功率输入	$P_{IN} = -20$ dBm, +22.4 mV rms		35		mV
包络输出	引脚VENV				
最大输出电压	$V_{POS} = 5$ V, $R_{LOAD} \geq 500 \Omega$ , $C_{LOAD} \leq 10$ pF		3.5		V
输出失调	RFIN无信号		2		mV
包络带宽	3 dB		130		MHz
脉冲响应时间	输入电平 = 无信号至5 dBm, 10%到90%响应时间		4		ns
包络延迟	RFIN至VENV		2		ns
输出电流驱动	负载 = $500 \Omega    10$ pF		15		mA
RMS输出	引脚VRMS				
最大输出电压	$V_{POS} = 5$ V, $R_{LOAD} \geq 10$ k $\Omega$		3.8		V
输出失调	RFIN无信号		23		mV
输出电流驱动	负载 = 1.3 k $\Omega$		3		mA
使能接口	引脚ENBL				
使能电源的逻辑电平	$4.75$ V $\leq V_{POS} \leq 5.25$ V	3.6			V
禁用电源的逻辑电平	$4.75$ V $\leq V_{POS} \leq 5.25$ V			2.0	V
电源					
工作范围	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$	4.75		5.25	V
静态电流	RFIN $< -10$ dBm, ENBL高电平		21.5		mA
	RFIN $< -10$ dBm, ENBL低电平		26		$\mu$ A
	RFIN = 15 dBm, ENBL高电平		43.8		mA

## 绝对最大额定值

表2.

参数	额定值
电源电压VPOS	5.5 V
ENBL	0 V, VPOS
RFIN(RFIN交流耦合)	5.6 V p-p
等效RF功率(峰值包络功率或CW), 回复: 50 Ω	19 dBm
内部功耗	580 mW
$\theta_{JA}$	68.9°C/W
$\theta_{JC}$	17.5°C/W
最高结温	125°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
ESD (FICDM)	1250 V
ESD (HBM)	2000 V

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告

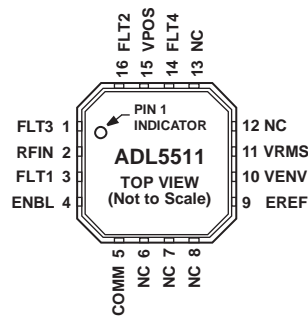


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

[www.BDTIC.com/cn/adi](http://www.BDTIC.com/cn/adi)

## 引脚配置和功能描述



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. THE EXPOSED PAD SHOULD BE CONNECTED TO BOTH THERMAL AND ELECTRICAL GROUNDS.

图3. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	描述
1, 16	FLT3, FLT2	外部包络滤波器。不连接FLT3和FLT2引脚时，两个转折频率分别约为1000 MHz和800 MHz的内部低通滤波器(串联工作)消除包络信号中的残余RF载波(原始输入频率的二倍)。可利用连接到FLT3和FLT2的外部以电源为基准的电容来降低该转折频率。更多信息参见“基本连接”部分。
2	RFIN	RF输入。RFIN应外部交流耦合。RFIN具有250 Ω的标称输入阻抗。为实现宽带50 Ω输入阻抗，交流耦合电容的源端与地之间应连接一个外部75 Ω分流电阻。
3	FLT1	外部包络滤波器。可利用此引脚上的一个接地电容来降低标称最小输入频率。此引脚上的电容有助于降低EREF输出引脚上的残余RF载波。更多信息参见“基本连接”部分。
4	ENBL	器件使能/禁用。此引脚为逻辑高电平时，器件使能。此引脚为逻辑低电平时，器件禁用。
5	COMM	器件地。连接至低阻抗接地层。
6, 7, 8, 12, 13	NC	请勿连接到这些引脚。
9	EREF	包络输出的基准电压。标称值为1.1 V。
10	VENV	包络输出。此引脚上的电压代表输入信号的包络，以EREF为基准。VENV可流出最多15 mA的电流。为实现额定包络带宽，容性负载不应超过10 pF。如果可能，应选择较轻的负载。无信号时，EREF和VENV上的标称输出电压表示随温度的变化。对于直流耦合包络输出，EREF应用作基准，以便提供真实包络电压 $V_{ENV} - V_{EREF}$ 。对于交流耦合包络输出，在不超过最大电流驱动能力15 mA的情况下，VENV引脚可驱动50 Ω负载。更多信息参见“输出驱动能力和缓冲”部分。
11	VRMS	RMS输出引脚。此电压以地为基准，标称摆幅为0 V至3.8 V。 $V_{RMS}$ 具有线性V/V传递函数，其标称斜率为2 V/V。
14	FLT4	RMS均值电容。连接在FLT4与VPOS之间。
15	VPOS	电源电压引脚。工作范围是4.75 V至5.25 V，电源电流为21.5 mA。
0	EP	裸露焊盘。裸露焊盘应同时连接到热接地和电接地。



## 典型性能参数

除非另有说明,  $T_A = 25^\circ\text{C}$ ,  $V_{\text{POS}} = 5\text{V}$ ,  $C_{\text{FLT4}} = 100\text{nF}$ , (交流耦合)RFIN上有接地75  $\Omega$ 分流端接电阻,  $T_A = +25^\circ\text{C}$ (黑)、 $-40^\circ\text{C}$ (蓝)、 $+85^\circ\text{C}$ (红), 在+5 dBm、-15 dBm和-26 dBm对V<sub>ENV</sub>和V<sub>RMS</sub>进行三点校准。

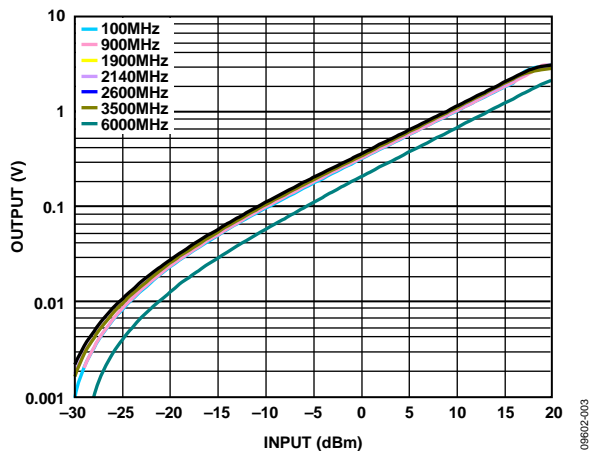


图4. 不同频率、25°C、5 V电源下V<sub>ENV</sub>输出与输入电平的关系

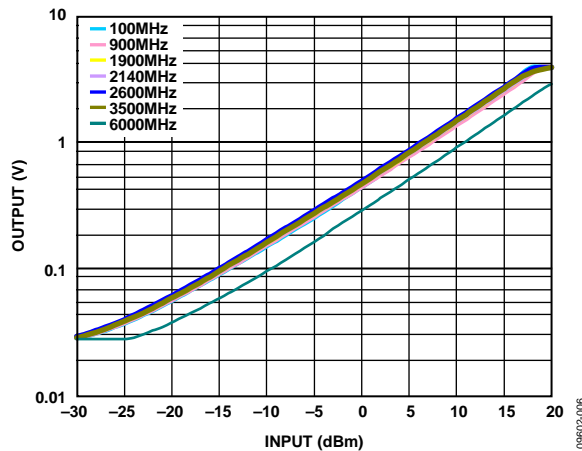


图7. 不同频率、25°C、5 V电源下V<sub>RMS</sub>输出与输入电平的关系

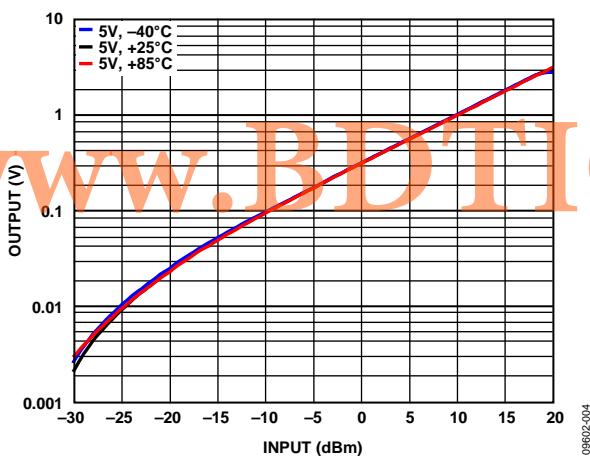


图5. 1900 MHz、5 V电源下V<sub>ENV</sub>输出与输入电平和温度的关系

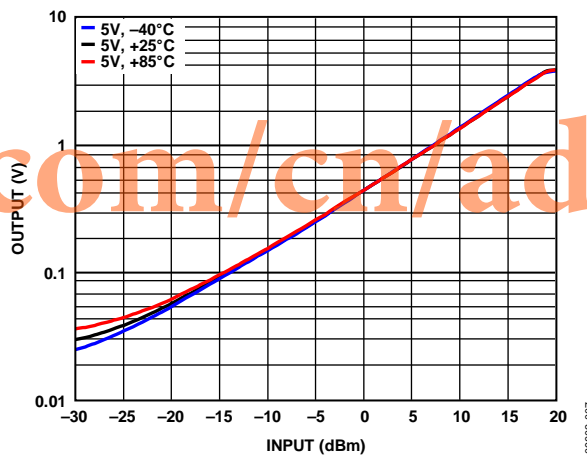


图8. 1900 MHz、5 V电源下V<sub>RMS</sub>输出与输入电平和温度的关系

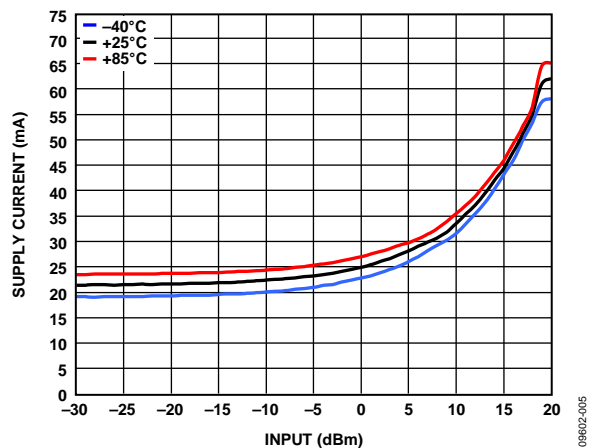


图6. 电源电流与输入电平和温度的关系

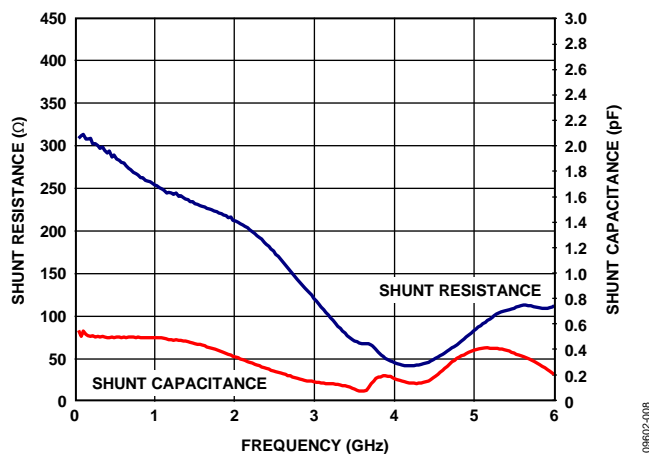
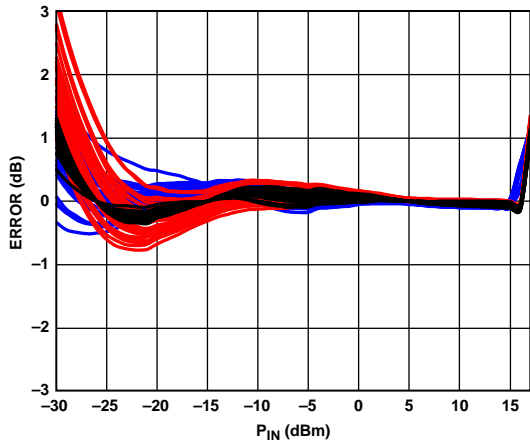
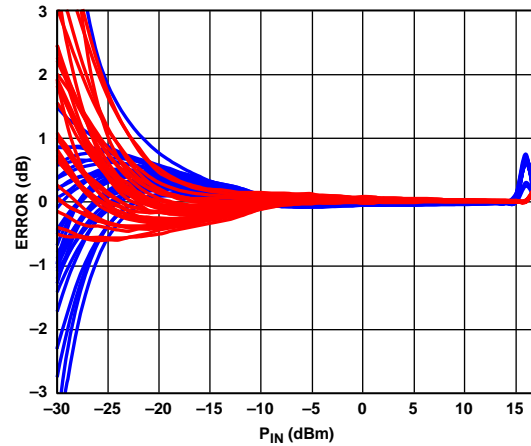


图9. 输入阻抗与频率的关系



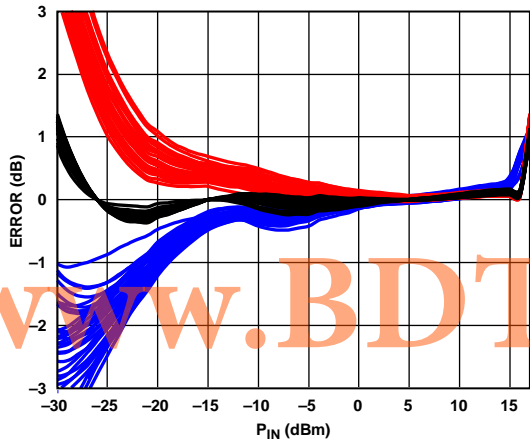
09602-009

图10.  $V_{ENV}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 100 MHz)



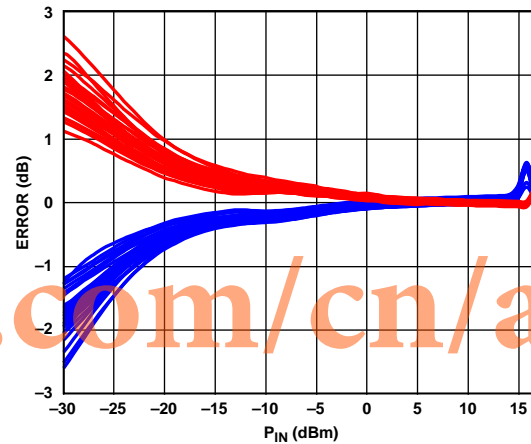
09602-012

图13.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 100 MHz)



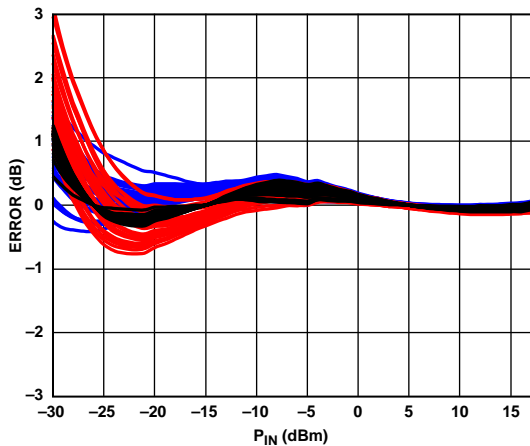
09602-010

图11.  $V_{RMS}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 100 MHz)



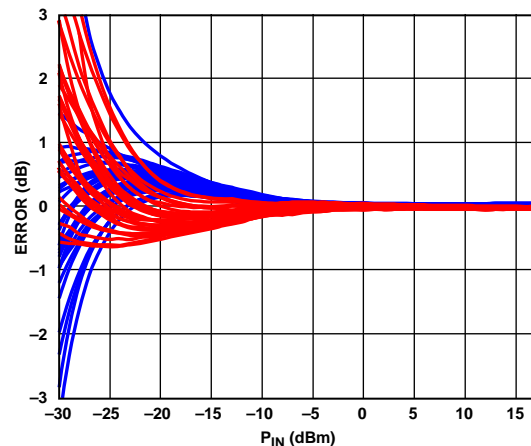
09602-013

图14.  $V_{RMS}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 100 MHz)



09602-011

图12.  $V_{ENV}$  输出相对于+25°C的温漂, 多器件三点校准 (-40°C、+25°C和+85°C, 900 MHz)



09602-014

图15.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 900 MHz)

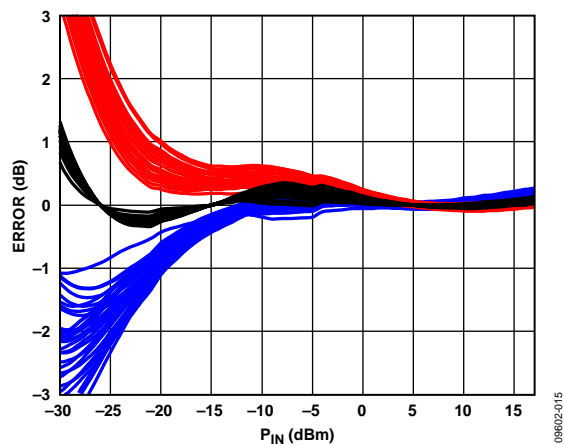


图16.  $V_{RMS}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 900 MHz)

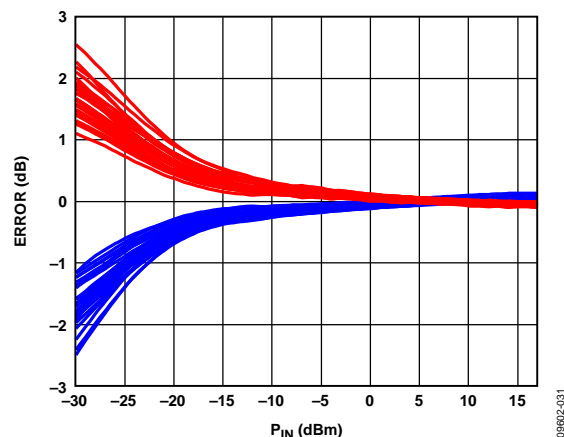


图19.  $V_{RMS}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 900 MHz)

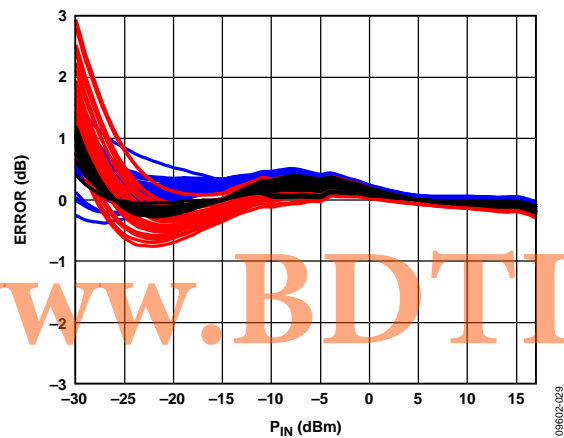


图17.  $V_{ENV}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 900 MHz)

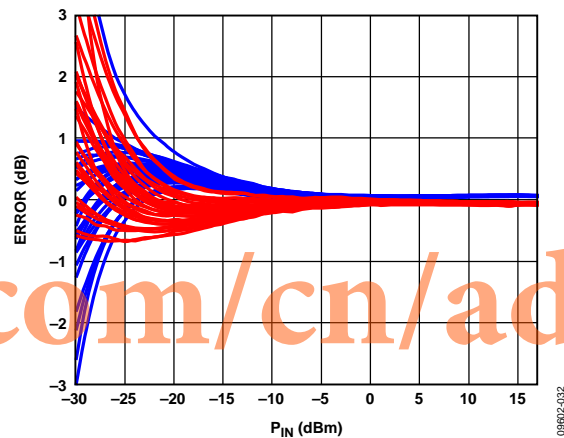


图20.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 900 MHz)

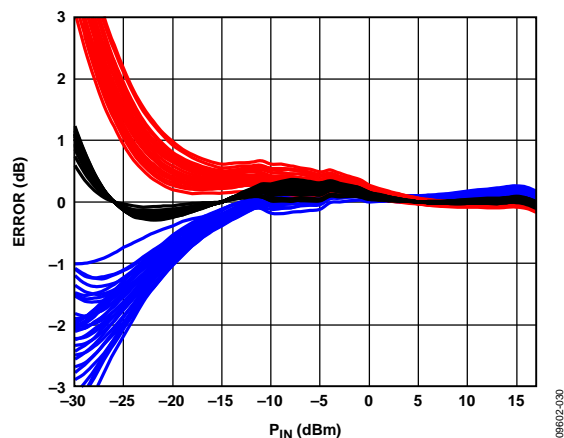


图18.  $V_{RMS}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 1900 MHz)

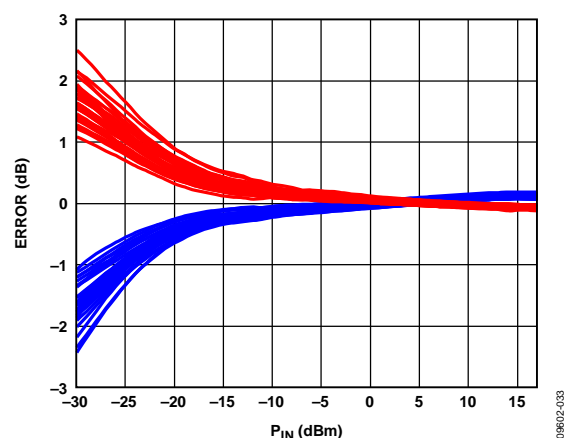


图21.  $V_{RMS}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 1900 MHz)

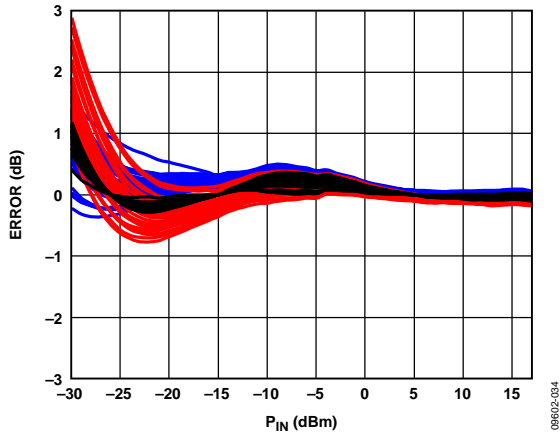


图22.  $V_{ENV}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 2140 MHz)

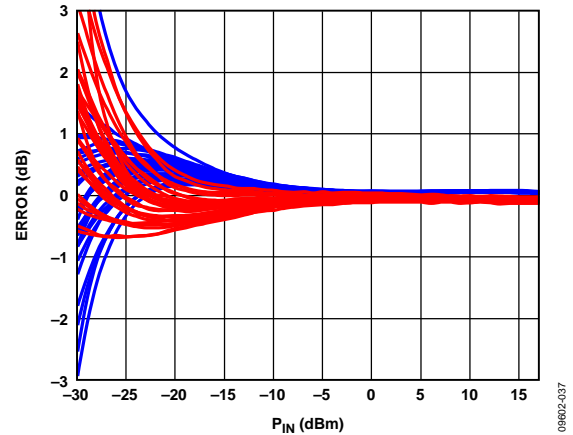


图25.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 2140 MHz)

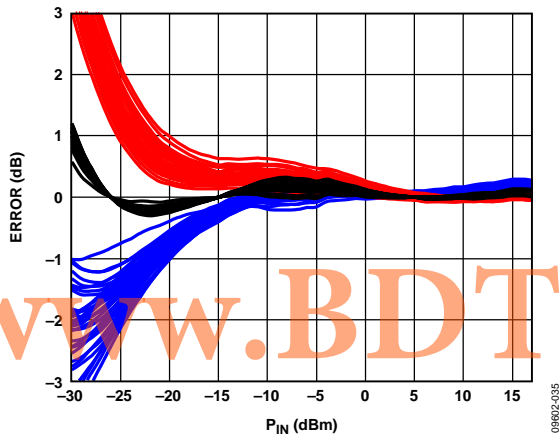


图23.  $V_{RMS}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 2140 MHz)

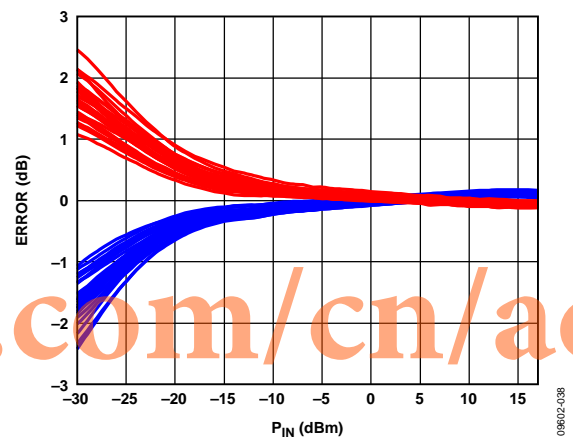


图26.  $V_{RMS}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 2140 MHz)

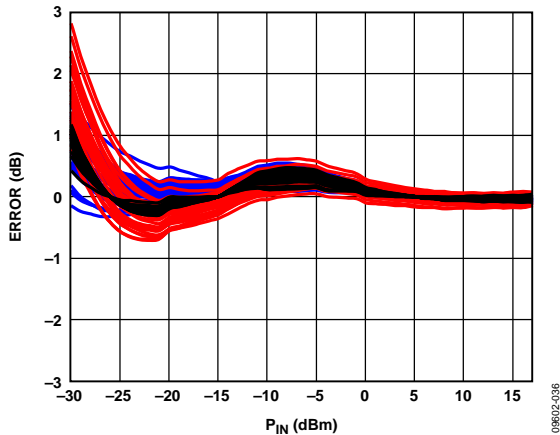


图24.  $V_{ENV}$  输出相对于+25°C的温漂, 多器件三点校准(-40°C、+25°C和+85°C, 2600 MHz)

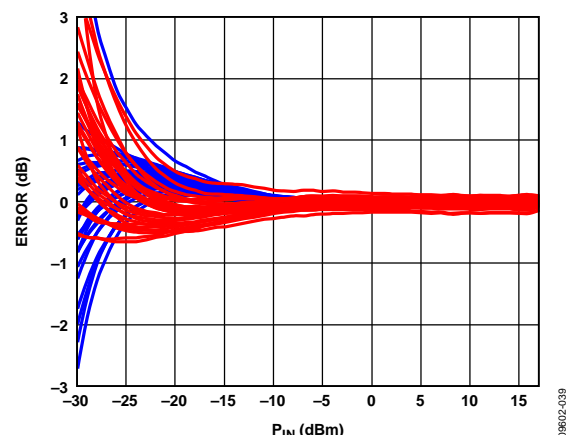


图27.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 2600 MHz)

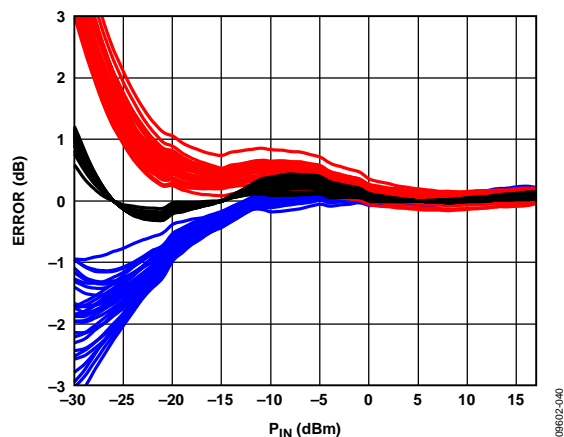


图28.  $V_{RMS}$  输出相对于+25°C线性基准的温漂  
(多器件, -40°C、+25°C和+85°C, 2600 MHz)

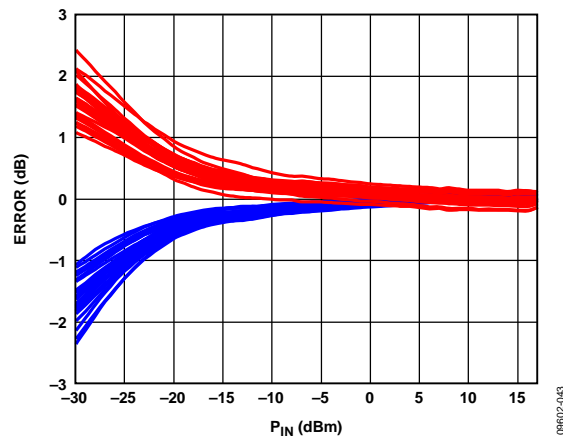


图31.  $V_{RMS}$  输出相对于+25°C输出电压的变化  
(多器件, -40°C和+85°C, 2600 MHz)

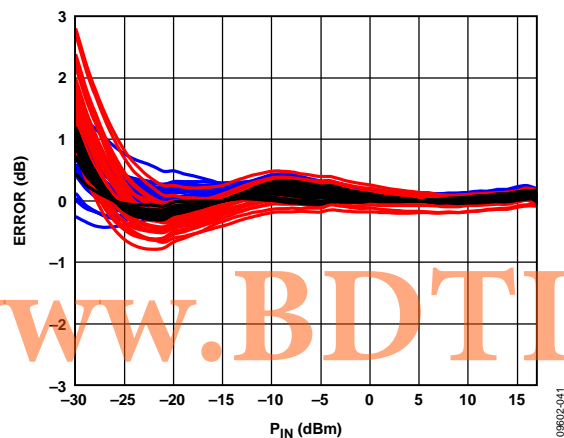


图29.  $V_{ENV}$  输出相对于+25°C线性基准的温漂  
(多器件, -40°C、+25°C和+85°C, 3500 MHz)

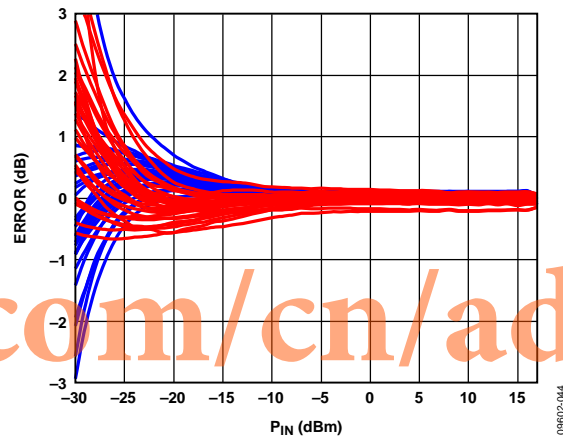


图32.  $V_{ENV}$  输出相对于+25°C输出电压的变化  
(多器件, -40°C和+85°C, 3500 MHz)

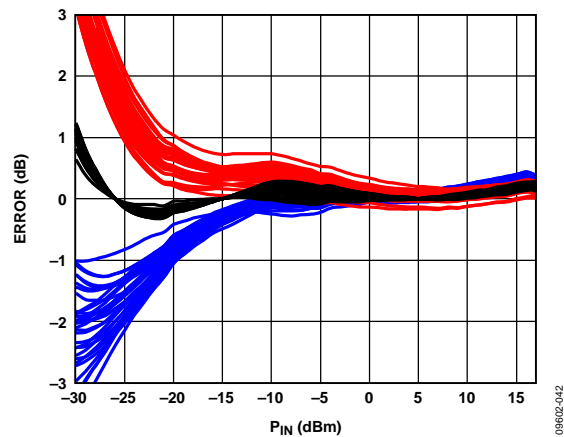


图30.  $V_{RMS}$  输出相对于+25°C线性基准的温漂  
(多器件, -40°C、+25°C和+85°C, 3500 MHz)

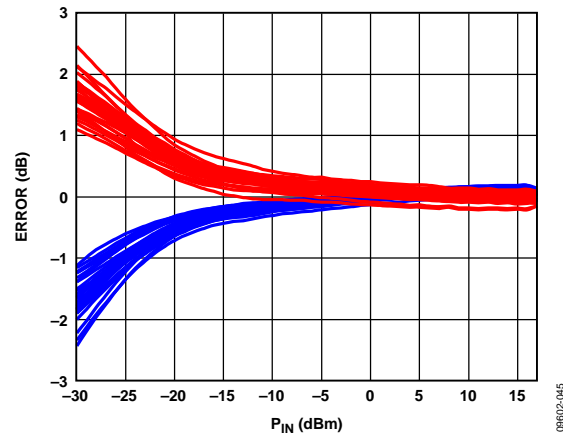


图33.  $V_{RMS}$  输出相对于+25°C输出电压的变化  
(多器件, -40°C和+85°C, 3500 MHz)

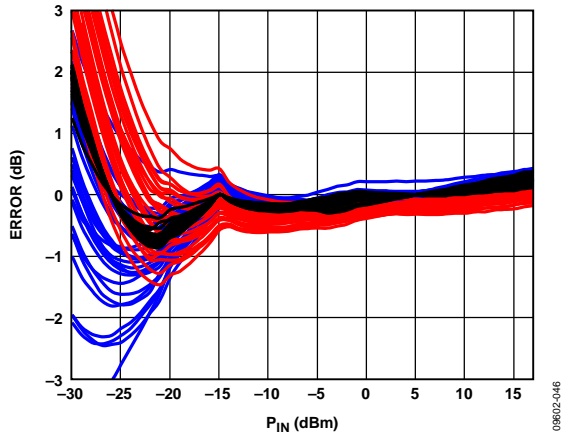


图34.  $V_{ENV}$  输出相对于+25°C线性基准的温漂 (多器件, -40°C、+25°C和+85°C, 6000 MHz)

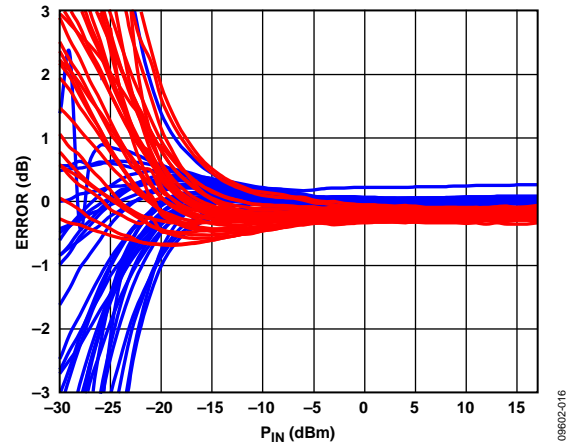


图37.  $V_{ENV}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 6000 MHz)

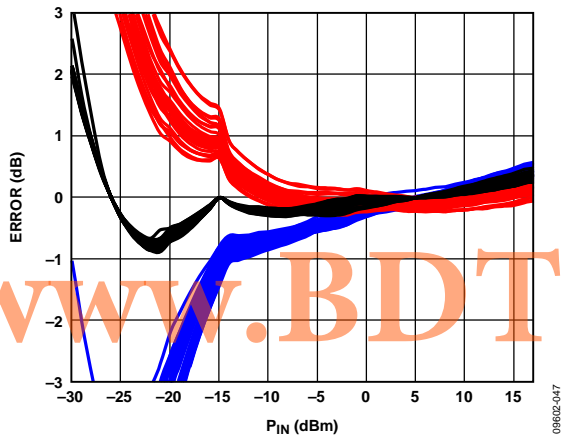


图35.  $V_{RMS}$  输出相对于+25°C线性基准的温漂 (多器件, -40°C、+25°C和+85°C, 6000 MHz)

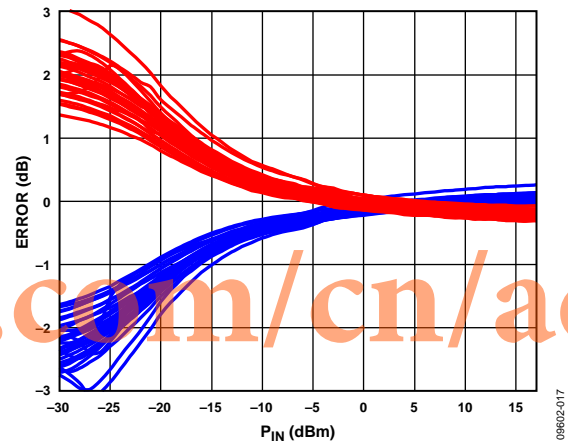


图38.  $V_{RMS}$  输出相对于+25°C输出电压的变化 (多器件, -40°C和+85°C, 6000 MHz)

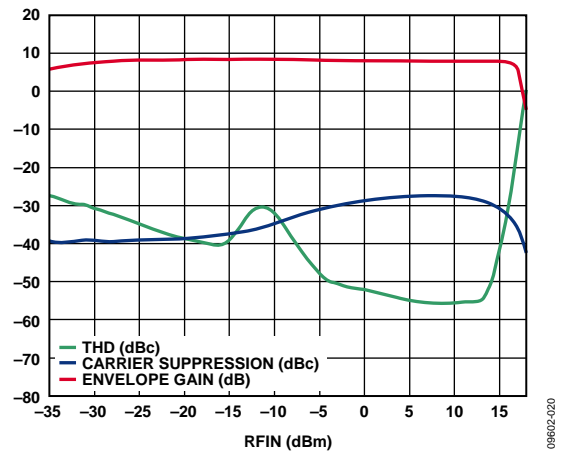


图36.  $V_{ENV}$  上的THD与RF输入电平的关系; 1900 MHz RF输入, 由20 MHz正弦波进行AM调制(调制指数 = 0.25),  $V_{ENV}$  输出交流耦合到50 Ω频谱分析仪负载

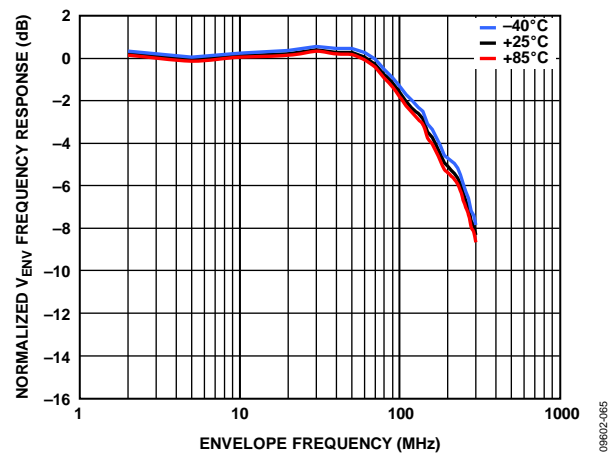


图39. 归一化  $V_{ENV}$  频率响应,  $V_{ENV}$  交流耦合到50 Ω频谱分析仪负载

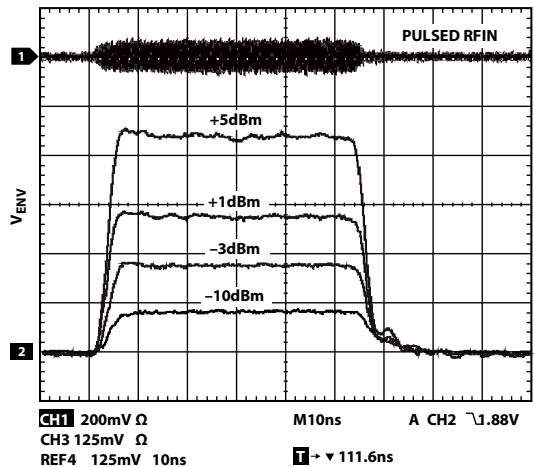


图40.  $V_{ENV}$  输出对不同RF输入脉冲电平响应(900 MHz频率)

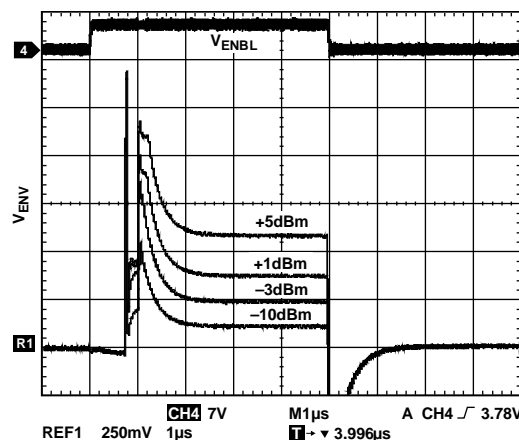


图43.  $V_{ENV}$  输出对使能选通的响应(不同RF输入电平, 900 MHz频率)

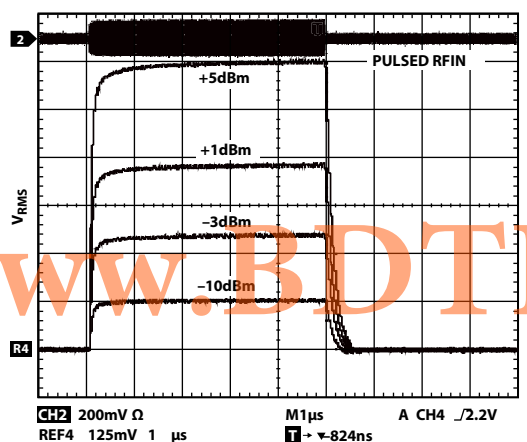


图41.  $V_{RMS}$  输出对不同RF输入脉冲电平响应(900 MHz频率,  $C_{FLT4}$  = 开路)

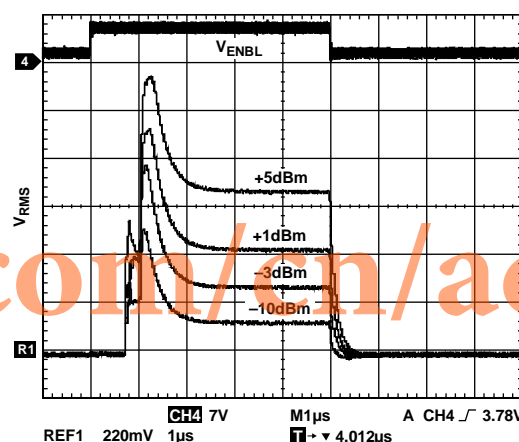


图44.  $V_{RMS}$  输出对使能选通的响应(不同RF输入电平, 900 MHz频率,  $C_{FLT4}$  = 开路)

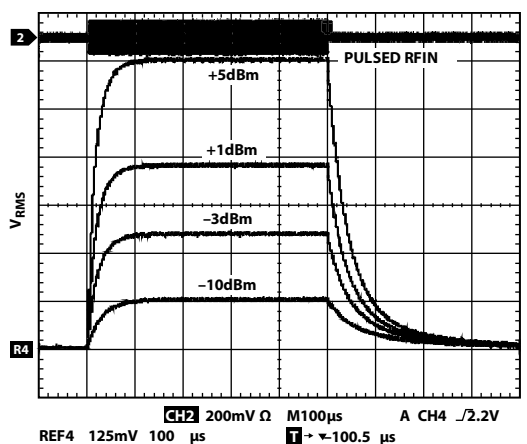


图42.  $V_{RMS}$  输出对不同RF输入脉冲电平响应(900 MHz频率,  $C_{FLT4}$  = 100 nF)

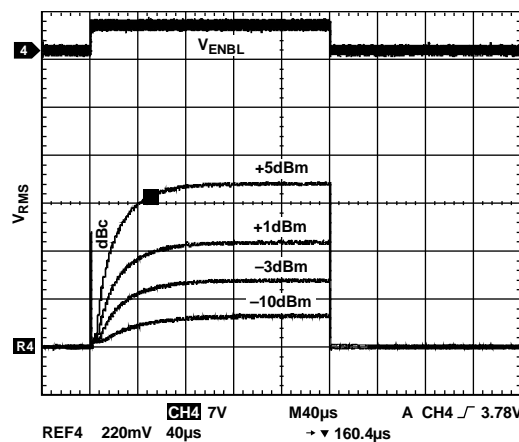


图45.  $V_{RMS}$  输出对使能选通的响应(不同RF输入电平, 900 MHz频率,  $C_{FLT4}$  = 100 nF)

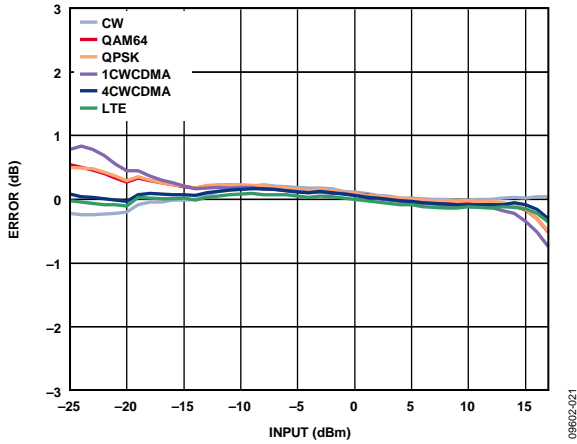


图46.  $V_{RMS}$  相对于CW线性基准的误差与信号调制的关系, 频率 = 900 MHz,  $C_{LPF} = 0.1 \mu F$  (CW、QPSK、QAM64、1CW-CDMA、4CW-CDMA、LTE测试模型E-TM1\_1\_20MHz)

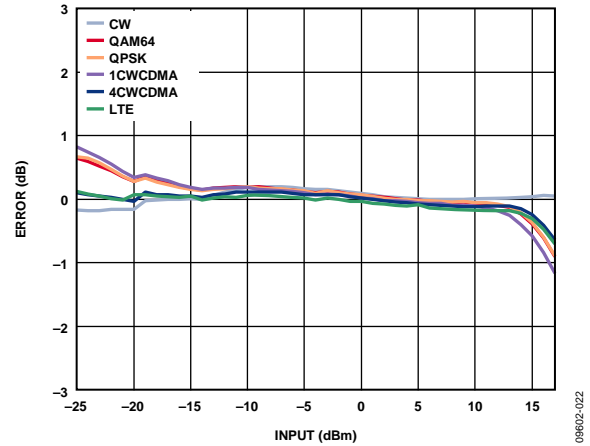


图47.  $V_{RMS}$  相对于CW线性基准的误差与信号调制的关系, 频率 = 2140 MHz,  $C_{LPF} = 0.1 \mu F$  (CW、QPSK、QAM64、1CW-CDMA、4CW-CDMA、LTE测试模型E-TM1\_1\_20MHz)

[www.BDTIC.com/cn/adi](http://www.BDTIC.com/cn/adi)



## 电路描述

ADL5511采用专有整流技术来消除输入信号的载波，以揭示真正的包络。在第一检波级，载波频率加倍，片内双极点无源低通滤波器精确保存包络并滤除载波。该滤波器的极点由片内RC滤波器值(0.4 pF、400 Ω、0.8 pF、250 Ω)定义，允许常见RF频率的某些载波泄漏。这是为了确保最大包络带宽得以维持。更多信息参见“基本连接”部分。

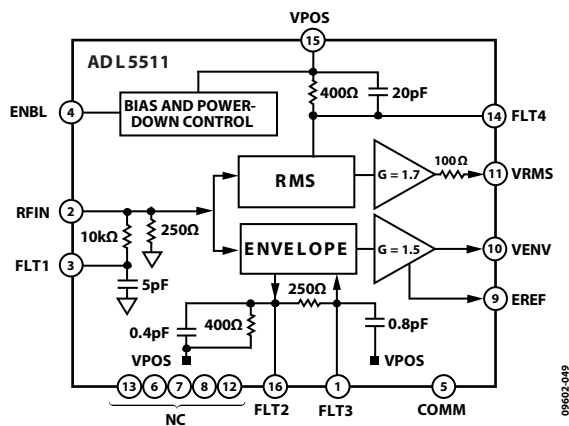


Figure 48. Block Diagram

所获取的包络在两个并联通道中进一步处理，一个计算包络的RMS值，另一个用适当的比例将该包络传输到包络输出端。

### 包络传播延迟

本数据手册规定的延迟是针对FLT2和FLT3引脚无外部电容的情况。ADL5511造成的延迟虽然非常小，但取决于多个因素，其中值得注意的是内部滤波器元件值和运放补偿电容。由于工艺差异，不同器件的延迟差异大约为±15%。

此外，外部FLT2和FLT3值的选择以及VNEV引脚上的负载会提高该延迟。这种情况下，延迟差异主要由外部电容的器件间容差决定。

### RMS电路描述

RMS处理利用专有跨导线性技术完成。在数学上，这是精确的RMS计算方法，针对复数调制信号实现了前所未有的RMS精度，与输入信号的波峰因数无关。一个积分滤波器电容计算平方域均值。VRMS输出可以表示为：

$$VRMS = A \times \sqrt{\frac{\int_{T1}^{T2} V_{IN}^2 \times dt}{T2 - T1}} \quad (1)$$

注意，A是一个比例参数，由片内电阻比决定。该计算中不涉及其他比例参数，这意味着RMS输出本身不受温度、电源、工艺差异引起的任何误差源的影响。

### RMS滤波

片内RMS滤波转折频率由内部400 Ω电阻和20 pF电容设置，约为20 MHz。它会滤除所有载波频率，但大部分调制包络不会被滤波。为实现充分RMS滤波，FLT4(引脚14)与VPOS(引脚15)之间应连接一个外部滤波电容。此电容作用于内部400 Ω电阻(参见图48)，为RMS滤波器产生新的转折频率，如下式所示：

$$C_{FLT4} = \frac{1}{(2\pi \times f_{RMS} \times 400 \Omega)} - 20 \text{ pF} \quad (2)$$

例如，若在FLT4上添加一个以电源为基准的0.1 μF电容，RMS均值电路的转折频率将降至大约4 kHz。

RMS滤波对RMS精度有直接影响。对于大多数高精度检波，RMS滤波器转折频率应足够低，以便滤除大部分调制内容。为此，转折频率应显著低于被测信号的带宽。有关详情和滤波选项，参见“选择RMS均值电容(C<sub>FLT4</sub>)值”部分。

## 输出驱动能力和缓冲

ADL5511的包络输出是在VENV引脚上作为低输出阻抗的单端缓冲输出提供。为实现高包络带宽，此输出不以地为基准，不像以地为基准的VRMS输出。

VENV输出具有约1.1 V的无信号直流值。此直流基准与温度相关，用作EREF引脚上的独立基准电压，是一个缓冲输出。任何时刻的真包络为( $V_{ENV} - V_{EREF}$ )，但这两个引脚不构成差分输出。EREF是固定直流电压，VENV携带所有包络信息。

VENV输出能够以满量程包络输出和最大带宽支持500  $\Omega$ 和10 pF的并联负载。只要可能，就应使用较轻的负载(更高R和更低C)，以便最大程度地降低功耗并实现最高可能带宽。VNEV输出的最大源/吸电流能力为15 mA峰值，负载条件应确保不超过此值。此引脚的最大输出电压约为( $V_{POS} - 1.5$ ) V。

对于仅交流耦合的情况，只要最大信号摆幅不超过约1.5 V p-p的幅度，VENV输出便可驱动50  $\Omega$ 负载。这相当于把15 mA的峰值信号电流驱动到50  $\Omega$ 负载。若需50  $\Omega$ 驱动能力，则应调整ADL5511的最大输入信号，使其不超过该输出摆幅条件。不得将50  $\Omega$ 负载直流耦合到VENV输出，否则即使在无信号条件下(VENV引脚上有1.1 V标称直流电压)，它也要吸取20 mA以上的电流。

VRMS缓冲输出可流出最大3 mA的电流，但不能流入任何可观的电流。若此引脚需要吸电流能力，可连接一个接地分流电阻。VRMS输出具有100  $\Omega$ 的片内串联电阻，与此引脚上的单个分流电容一起可对残余纹波进行低通滤波。若此引脚上有较大分流电容，则也需要放置一个分流电阻，以便使电容快速放电。VRMS引脚的内部分流电阻为10 k $\Omega$ 。注意，此引脚上放置的分流电阻会与片内100  $\Omega$ 串联电阻形成一个电阻分压器。

EREF输出缓冲器也有3 mA源电流能力。此引脚的内部分流电阻为12 k $\Omega$ ，它会吸收任何通过其中的电流。可在此引脚上放置一个接地电容以消除任何RF或包络纹波，确保对于所有可能的载波和包络频率，此引脚上的电压都可用作VENV输出的干净基准。

## 在示波器上查看包络

在示波器上查看VENV输出时，应使用低电容FET探头。这可降低作用于VENV输出端的电容，避免容性负载较大的问题。

## 应用信息

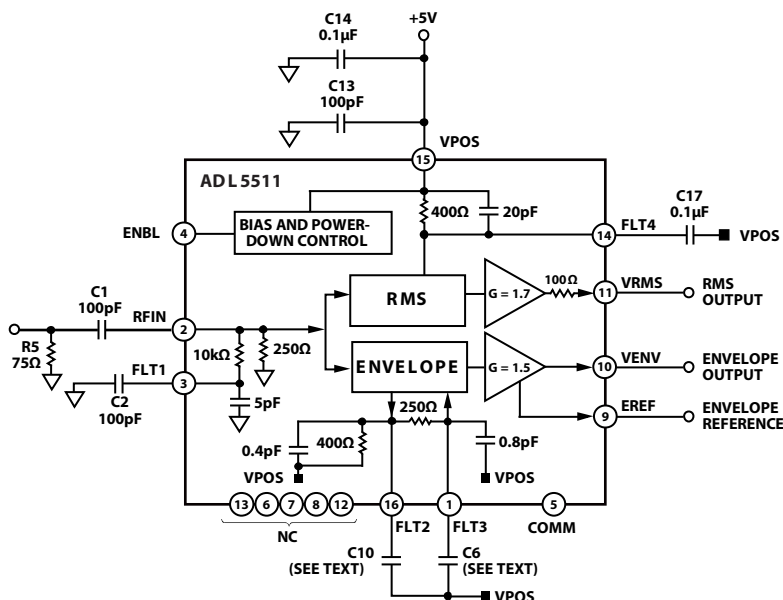


图49. 基本连接

## 基本连接

使用ADL5511的基本连接如图49所示。ADL5511要求5 V单电源供电。电源连接到VPOS电源引脚。此引脚应利用两个电容去耦，电容值应等于或接近于图49所示的值。这些电容应尽可能靠近VPOS引脚。

外部75 Ω电阻结合ADL5511的较高RF输入阻抗，提供宽频50 Ω匹配。此电阻与RFIN之间应放置一个交流耦合电容。

包络输出通过引脚10 (VENV)提供，以引脚9上的1.1 V直流电压(EREF)为基准。

RMS输出电压通过VRMS引脚提供，RMS均值由引脚14 (FLT4)上以电源为基准的电容提供。

## 在1 GHz以下频率工作/包络滤波

要在1 GHz以下频率使用ADL5511，FLT3、FLT2和FLT1引脚上必须增加若干外部电容。此外还要选择适当的RMS均值电容，参见“选择RMS均值电容(CFLT4)值”部分。

作为内部信号处理算法的一部分，RF输入信号经过一个由10 kΩ电阻和5 pF电容组成的低通滤波器(见图49)。这相当于大约3.2 MHz的转折频率。如果载波频率低于此值的大约10倍(32 MHz)，则必须降低该转折频率。内部5 pF电容可通

过一个以地为基准的电容连接到引脚3 (FLT1)来增加。外部电容的值可通过下式来设置：

$$C_{FLT1} = \frac{1}{(2\pi \times f_{3dB} \times 10,000 \Omega)} - 5 \text{ pF} \quad (3)$$

例如，若FLT1上有一个100 pF电容，则转折频率降至150 kHz。作为一般原则，该转折频率至少应设置为最小预期载波频率的十分之一，从而确保目标频率周围的频率响应是平坦的。

ADL5511的包络检波路径内置载波抑制低通滤波。FLT2和FLT3引脚未连接时，两个内部1 GHz和800 MHz低通滤波器(串联工作)消除包络输出信号中的RF载波。

这些滤波器的方程式如下：

$$\frac{1}{(2\pi \times 0.4 \text{ pF} \times 400 \Omega)} \cong 1 \text{ GHz} \quad (4)$$

以及

$$\frac{1}{(2\pi \times 0.8 \text{ pF} \times 250 \Omega)} \cong 800 \text{ MHz} \quad (5)$$

由于包络检波电路内置全波整流器，因此该滤波器首先必须抑制二倍原始输入频率的信号。

# ADL5511

对于900 MHz范围内的输入频率，包络输出中仍会有相当多的载波成分。两个滤波器在大约900 MHz时提供总共6 dB滚降，残余载波在1.8 GHz，预期可提供18 dB的载波滤波器(两个单极点滤波器提供总共12 dB/倍频程的滚降)。

将以电源为基准的额外电容增加到FLT2和FLT3引脚，可增强包络检波路径的内部载波滤波。所需电容可通过下式计算：

$$C_{FLT2} = \frac{1}{(2\pi \times f_{FLT2} \times 400 \Omega)} - 0.4 \text{ pF} \quad (6)$$

以及

$$C_{FLT3} = \frac{1}{(2\pi \times f_{FLT3} \times 250 \Omega)} - 0.8 \text{ pF} \quad (7)$$

其中， $f_{FLT2}$ 和 $f_{FLT3}$ 是所需的转折频率。

例如，要设置200 MHz的转折频率， $C_{FLT2}$ 和 $C_{FLT3}$ 应分别设置为1.6 pF和2.4 pF。两个转折频率应设置为大致相等。

必须注意不要将该载波抑制滤波器的转折频率设置得过低，否则包络带宽将开始降低。ADL5511的包络带宽为130 MHz。如果FLT2和FLT3上的电容非常大，使得载波抑制转折频率接近130 MHz，载波滤波将直接影响包络带宽。因此，转折频率应设置得足够低，使得在充分消除包络输出中的RF载波的同时，仍能保持所需的包络带宽。另一个方案是使用更高阶滤波器在VENV输出端对载波进行滤波。

## 选择RMS均值电容( $C_{FLT4}$ )值

CFLT4提供内部RMS计算的均值功能，其结果在VRMS输出端提供。如上所述，片内RMS滤波转折频率由内部400 Ω电阻和20 pF电容设置，约为20 MHz。为实现充分RMS滤波，FLT4(引脚14)与VPOS(引脚15)之间应连接一个外部滤波电

容。此电容作用于内部400 Ω电阻，为RMS滤波器产生新的转折频率，如下式所示：

$$C_{FLT4} = \frac{1}{(2\pi \times f_{FLT4} \times 400 \Omega)} - 20 \text{ pF} \quad (8)$$

例如，若在FLT4上添加一个以电源为基准的0.1 μF电容，RMS均值电路的转折频率将降至大约4 kHz。

在一定程度上，RMS滤波电容的大小对RMS精度有直接影响。对于大多数高精度检波，RMS滤波器转折频率应足够低，以便滤除大部分调制内容。为此，转折频率应显著低于被测信号的带宽。

表4给出了常用调制方案的推荐最小 $C_{FLT4}$ 值。使用比所示值小的电容会产生RMS测量误差，使用较大的值不会进一步提高RMS精度，但可降低VRMS上的输出噪声，代价是上升和下降时间延长。表4中还显示了上升和下降时间以及残余纹波噪声。

推荐最小 $C_{FLT4}$ 值是通过实验测定，测试从FLT4引脚上的一个较大电容值(例如10 μF)开始。对于固定输入功率水平(例如0 dBm)，记下VRMS的值。然后逐步降低 $C_{FLT4}$ 的值(可利用按钮式电容来实现)，直到VRMS的值开始偏离其原始值(这表明RMS计算的精度在下降， $C_{FLT4}$ 变得太小)。

推荐最小 $C_{FLT4}$ 值大致与输入信号的带宽成反比，也就是说，信号带宽越宽，则所需最小滤波电容越小。如上所述， $C_{FLT4}$ 值设置内部低通转折频率，以便对RMS电压进行滤波。随着带宽提高，更大部分的残余噪声(已有效向下混频至基带)将被滤除。因此，载波带宽越高，则所需电容越小。

表4. 不同调制方案的推荐最小 $C_{FLT4}$ 值(引脚 = 0 dBm)

调制/标准	PEP与RMS之比	信号带宽	$C_{FLT4}$ (最小值)	输出噪声	上升/下降时间(10%至90%)
W-CDMA, 单载波, TM1-64	9.83 dB	3.84 MHz	220 nF	98 mV p-p	82 μs/310 μs
W-CDMA四载波, TM1-64, TM1-32, TM1-16, TM1-8	12.08 dB	18.84 MHz	100 nF	140 mV p-p	40 μs/140 μs
LTE测试模型E-TM1_1_4MHz	9.83 dB	4 MHz	220 nF	135 mV p-p	82 μs/310 μs
LTE测试模型E-TM1_1_10MHz	11.99 dB	10 MHz	100 nF	89 mV p-p	40 μs/140 μs
LTE测试模型E-TM1_1_20MHz	11.58 dB	20 MHz	47 nF	90 mV p-p	20 μs/70 μs



对于响应时间不太重要的应用，可以将一个相对较大的电容放在FLT4上。 $C_{FLT4}$ 不存在最大电容限值。

图50显示，当ADL5511由一个带宽10 MHz的1.9 GHz LTE载波驱动时(LTE测试模型E-TM1\_1\_10MHz，峰均比为11.99 dB)，输出噪声、上升时间和下降时间如何随 $C_{FLT4}$ 而变化。

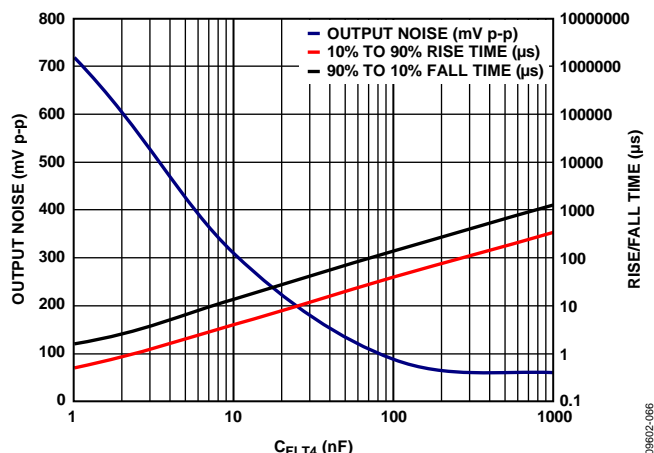


图50. 输出噪声、上升和下降时间与 $C_{FLT4}$ 电容的关系，10 MHz 带宽LTE载波(LTE测试模型E-TM1\_1\_10MHz)、1.9 GHz、 $P_{IN} = 0$  dBm

### 包络跟踪精度

利用给定频率的低谐波正弦波对RF输入信号进行AM调制时，ADL5511的包络跟踪精度是根据包络输出的高阶失真进行测量的。这种输入正弦包络是利用ADL5390乘法调制器产生的。它产生一个已知调制指数的双边带AM调制信号。在该测量中，ADL5511用作自由振荡AM解调器，无需本振来解调信号。

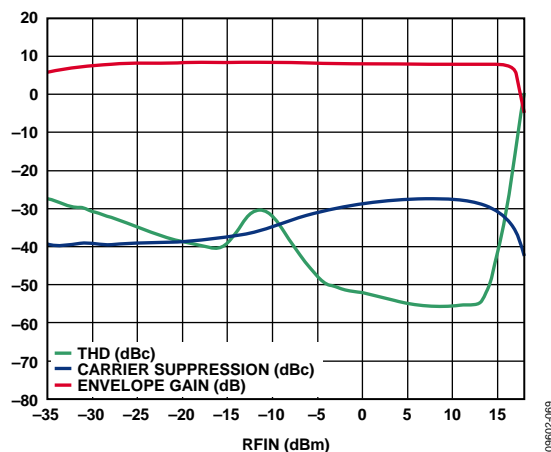


图51.  $V_{ENV}$ 上的THD与RF输入电平的关系；1900 MHz RF输入，由20 MHz正弦波进行AM调制(调制指数=0.25)， $V_{ENV}$ 输出交流耦合到50  $\Omega$ 频谱分析仪负载

图51显示了VENV输出的总谐波失真(THD)与RF输入功率的关系图，调制指数为0.25。随着输入功率水平提高，THD不断改善，直到输入功率水平约为13 dBm时，THD突

然降低。这种骤降是由AM信号峰值包络的削波引起的。图51还显示了VENV相对于输入载波幅度的载波泄漏(单位dBc)。

在ADL5511的完整输入功率范围内进行该测量时，由于频谱分析仪的噪底，它会受到输入调制信号测量不精确的影响，无法准确揭示ADL5511在测量范围低端的限制。除此之外，产生AM信号以用于测试(使用ADL5390乘法器)的过程也不够完美，导致源信号的包络在谐波方面不纯净。

### 时域包络跟踪精度

ADL5511的包络跟踪精度也可以在时域进行评估，即通过查看引起削波的输入峰值功率水平。

ADL5511的可用RMS输入功率范围取决于所需的精度水平和输入信号的峰均比。图4显示了RF输入由不同频率的未调制正弦波驱动时，VENV输出的线性工作范围。从图中可看出，它能在约19 dBm的RMS输入水平以下工作。如果信号的峰均比大于2的平方根，RFIN的可用输入范围将提高。一般而言，线性工作的最大输入功率应由输入信号的峰值包络功率(PEP)确定。图52显示了VENV输出对20 MHz带宽的900 MHz LTE载波(测试模型E-TM1\_2\_20MHz)的时域响应。测试故意提高载波的信号电平(7 dBm rms、19 dBm PEP)，直至VENV输出端观察到削波。注意，信号的峰值包络功率是基于峰值周期中信号的RMS水平(即 $V_{p-p}/\sqrt{2}$ )而得出。例如，峰值电压为10 V(或20 V p-p)的信号具有30 dBm的PEP。根据该定义，正弦波的PEP等于其RMS功率水平，因为它具有恒定的包络。

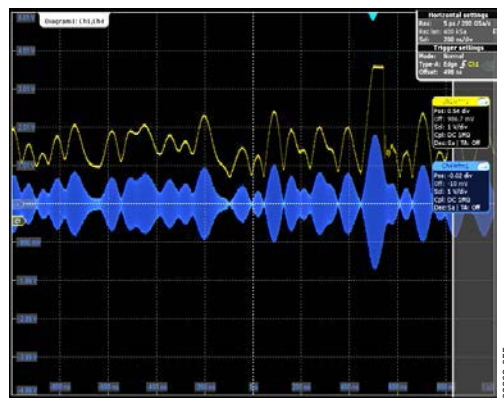


图52. VENV对PEP为19 dBm的20 MHz LTE载波响应(用以捕捉包络的峰值水平)

## VRMS和VENV输出失调

图53和图54中的900 MHz RF功率扫描显示了多个器件在25°C时的VRMS和VENV输出电压的分布。VRMS输出响应在约-30 dBm时变平，而VENV响应曲线则开始以不可预测的方式展开(图4和图7显示了其他频率下的这种行为)。虽然这些曲线显示器件可在低至-30 dBm的输入电平工作，但还要考虑其随温度的变化。图10至图38显示线性度误差在-20 dBm的输入电平以下开始提高(VENV和VRMS的误差大小不同，不同频率时误差也不同)。

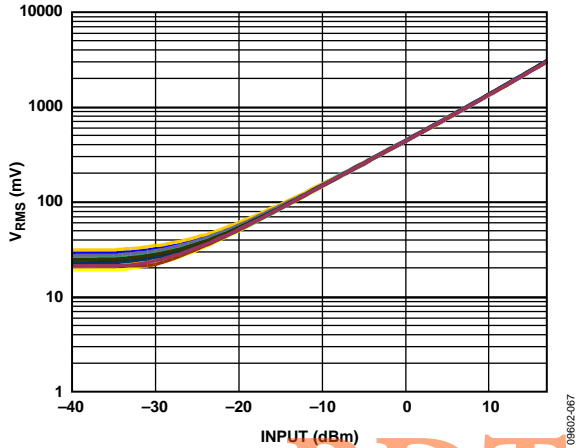


图53. VRMS输出与输入电平分布的关系(50个器件、900 MHz频率)

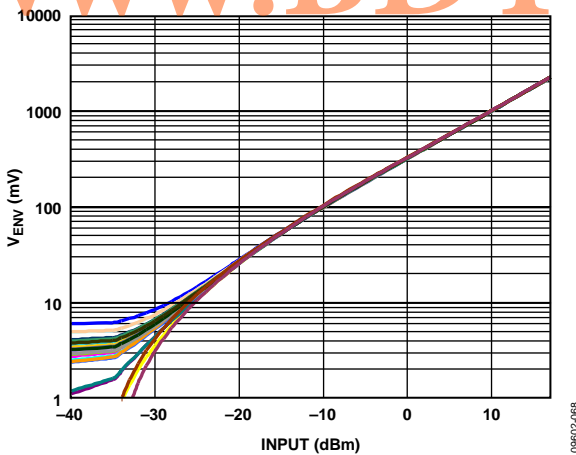


图54. VENV输出与输入电平分布的关系(50个器件、900 MHz频率)

## 器件校准和误差计算

由于斜率和截距随器件而不同，因此必须执行校准以实现高精度。一般而言，校准方法是将两个或更多已知输入功率水平的信号施加于ADL5511，然后测量对应的输出电压。选择的校准点一般应在器件的线性工作范围内。采用两点校准时， $V_{RMS}$ 和 $V_{ENV}$ 的转换增益(或斜率)和截距通过下式计算：

$$Slope = (V_{OUT2} - V_{OUT1}) / (V_{IN2} - V_{IN1}) \quad (9)$$

$$Intercept = V_{OUT1} - (Slope \times V_{IN1}) \quad (10)$$

其中：

$V_{IN}$ 为RFIN的RMS输入电压。

$V_{OUT}$ 为VRMS或VENV的电压输出。

由于RMS和包络路径的增益和截点不同，因此两条路径都应校准，也就是将已测信号施加于RFIN、 $V_{ENV}$ 和 $V_{RMS}$ 。为确保VENV和VRMS的电压是稳态值，校准期间应使用正弦波等恒定包络信号作为信号源。

一旦算出斜率和截距，便可写出方程式来计算输入RMS或包络电平：

$$V_{INRMS} = (V_{RMS} - Intercept_{VRMS}) / Slope_{RMS} \quad (11)$$

$$V_{INENV} = (V_{ENV} - Intercept_{VENV}) / Slope_{VENV} \quad (12)$$

这些计算的法则一致性误差，也就是实际输入电平( $V_{IN\_IDEAL}$ )与测量/计算输入电平( $V_{MEASURED}$ )之差，可通过下式计算：

$$误差(dB) = 20 \times \log [(V_{MEASURED} - 截距) / (斜率 \times V_{IN\_IDEAL})] \quad (13)$$

图55显示了多个器件在+25°C、+85°C和-40°C时的VENV误差曲线，频率为1900 MHz，校准在-14 dBm和+5 dBm两点执行(注意25°C时校准点的误差为零)。所有温度下的误差曲线都是使用25°C时的斜率和截距计算而来。这与批量生产环境下的校准是一致的，因为在这种环境下，在不同温度下进行校准是不切实际的。

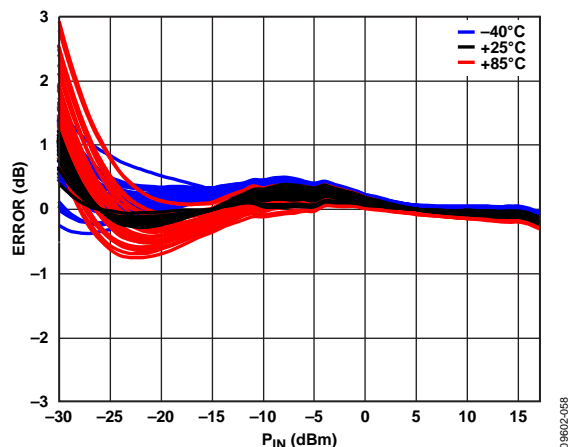


图55. VENV线性度误差与输入电平和温度的关系 (使用两点校准、1900 MHz)

通过增加一个校准点，可以提高ADL5511在较低功率水平时的线性度。采用三点校准时，每一段都要计算校准系数(斜率和截距)，因而将有两个斜率和两个截距。

图56显示了与图55相同的数据，不过使用了三点校准(校准点在-26 dBm、-15 dBm和+5 dBm)。这有助于将ADL5511的可用工作范围扩大到-25 dBm以下。

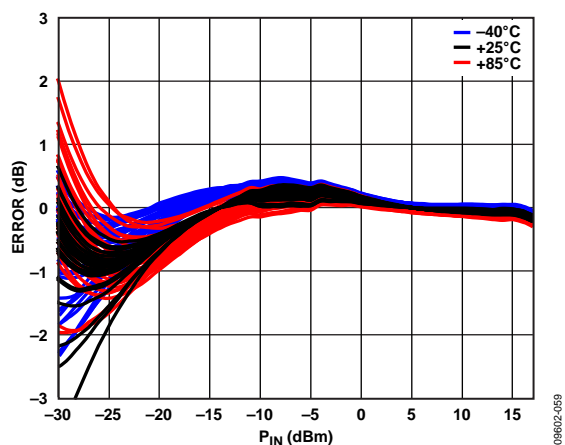


图55. VENV线性度误差与输入电平和温度的关系 (使用两点校准、1900 MHz)

## 误差与频率的关系

图57和图58显示了ADL5511在单一频率下校准时， $V_{RMS}$ 和 $V_{ENV}$ 输出电压和误差随输入频率的变化。本例中，ADL5511已在25°C、1.9 GHz下校准。曲线还显示了输出电压和误差在该频率以上和以下的变化。

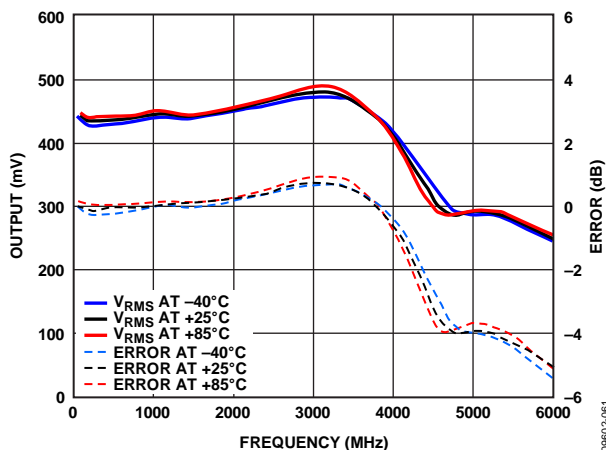


图57.  $V_{RMS}$ 输出与频率的关系 (固定输入功率、 $P_{IN} = 0$  dBm, 在1.9 GHz、25°C下校准)

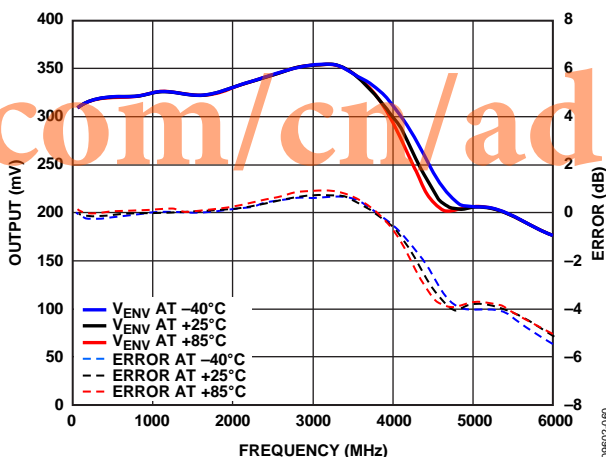


图58. VENV输出与频率的关系 (固定输入功率、 $P_{IN} = 0$  dBm, 在1.9 GHz、25°C下校准)

# ADL5511

## 评估板

图59所示为ADL5511评估板的原理图。该4层电路板采用4.75 V至5.25 V单电源供电。电源通过100 pF和0.1 μF电容去耦。

表5详细列出了评估板的各种配置选项。图60和图61分别是评估板的底端和顶端布局图。

R5处有一个75 Ω电阻，使RF输入具有50 Ω宽带匹配阻抗。

VRMS输出可通过一个线夹引线访问(还提供了一个焊盘，其上安装有SMA连接器)。VENV输出可通过一个SMA连接器访问。对于必须将杂散电容降至最低的响应时间敏感测量，可移除R2，并将一个FET探头连接到JP1(JP1必须安装)。

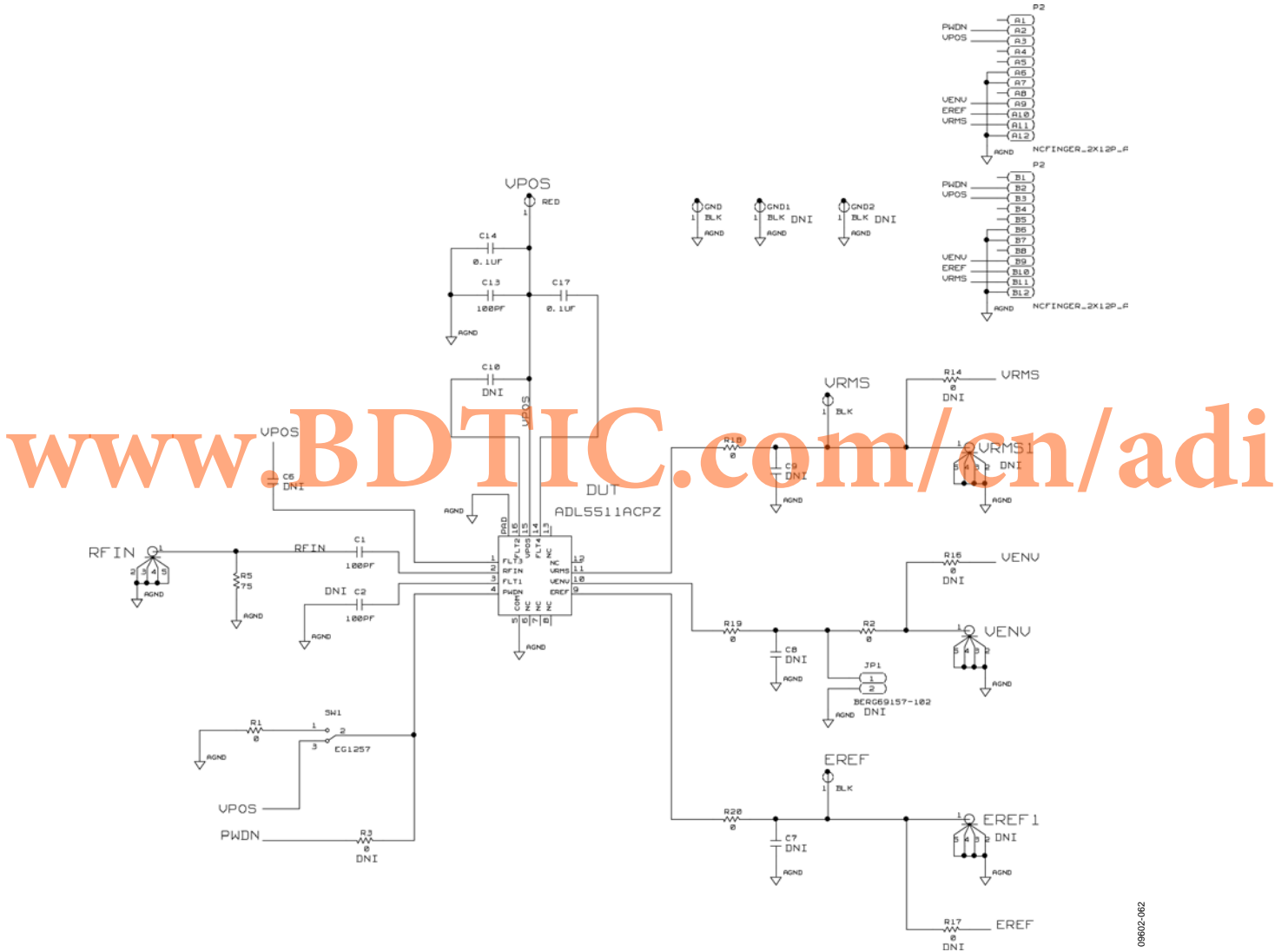


图59. 评估板原理图



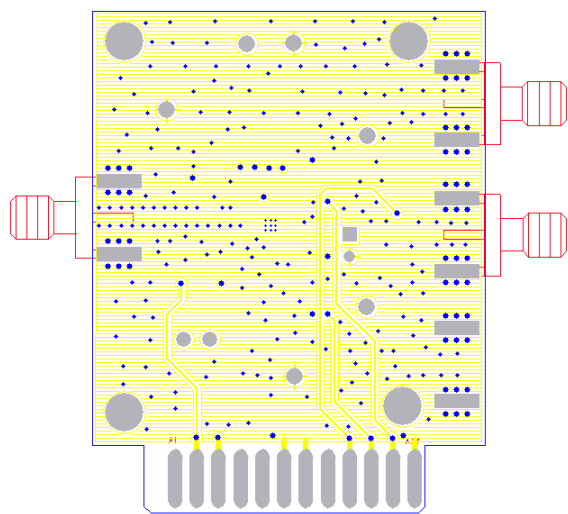


图60. 评估板底端布局

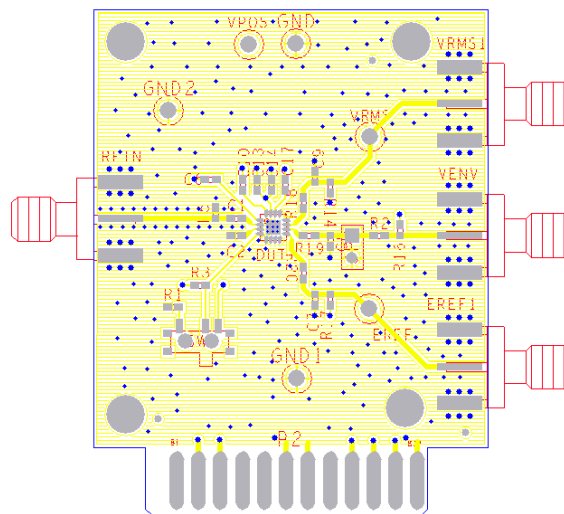


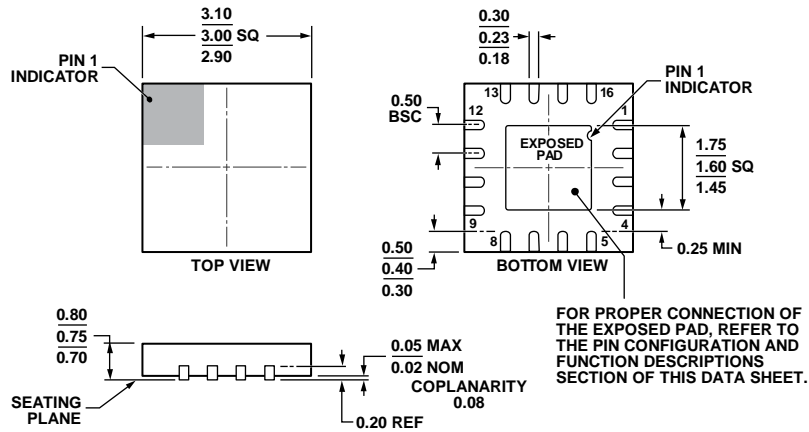
图61. 评估板顶端布局

表5. 评估板配置选项

元件	描述	默认条件
VPOS, GND C13, C14	接地和电源矢量引脚。 电源去耦。0.01 $\mu\text{F}$ 和100 pF的标称电源去耦电容。	不适用 C13 = 100 pF(尺寸0402) C14 = 0.1 $\mu\text{F}$ (尺寸0402)
C17	RMS滤波器电容(FLT4)。可在C17处放置一个额外电容以增加内部RMS均值电容。	C17 = 0.1 $\mu\text{F}$ (尺寸0402)
R5, C1	RF输入接口。R5处的75 $\Omega$ 电阻与ADL5511内部输入阻抗一起提供大约50 $\Omega$ 的宽带输入阻抗。C1是一个交流耦合电容, 应根据标称载波频率选择。	R5 = 75 $\Omega$ (尺寸0402) C1 = 100 pF(尺寸0402)
R18, C9	RMS输出和输出滤波。可利用C9和内部100 $\Omega$ 输出电阻的组合形成一个低通滤波器, 以便在C17(FLT4上的电容)之外进一步降低VRMS输出端的输出噪声。RMS输出在VRMS线夹测试点上提供。要利用SMA电缆观察VRMS, 可将一个SMA连接器焊接到标有VRMS1的焊盘上。	R18 = 0 $\Omega$ (尺寸0402) C9 = 开路(尺寸0402) VRMS线夹测试点 = 安装 VRMS1 SMA连接器 = 开路
R19, C8, R2, JP1	VENV输出和输出滤波。VENV输出在VENV SMA连接器上提供。如需后包络滤波, R19和C8可用在VENV输出端形成一个低通滤波器。 可移除R2以将JP1跳线与VENV SMA连接器隔离, 可安装JP1以与一个FET探头接口。这有助于消除过大的走线和连接器电容。	VENV SMA连接器 = 安装 R19、R2 = 0 $\Omega$ (尺寸0402) C8 = 开路(尺寸0402) JP1 = 开路
R20, C7	包络基准输出和输出滤波。EREF输出在EREF线夹测试点上提供。引脚EREF的直流基准电压可通过R20和C7形成的低通滤波器滤波。要利用SMA电缆观察EREF电压, 可将一个SMA连接器焊接到标有EREF1的焊盘上。	R20 = 0 $\Omega$ (尺寸0402) C7 = 开路(尺寸0402) EREF线夹测试点 = 安装 EREF1 SMA连接器 = 开路
R1, SW1	器件使能。当开关设为朝向SW1标签时, ENBL引脚连接到VPOS, 从而使能ADL5511。在相反的开关位置上, ENBL引脚接地, ADL5511禁用。	R1 = 0 $\Omega$ (尺寸0402) SW1 = 朝向SW1标签
C6, C10	包络载波消除滤波器(FLT2、FLT3)。在C6和C10处放置额外的电容, 可降低VENV内部双极点载波消除滤波器的转折频率。	C6、C10 = 开路(尺寸0402)
C2	包络基准载波消除滤波器(FLT1)。在C2处放置一个电容, 可增强从包络基准直流电压移除载波的内部滤波器。	C2 = 100 pF(尺寸0402)
R3, R14, R15, R16, R17	备用接口。P2边缘连接器为访问ADL5511的各种信号提供一个备用访问接口。	R3、R14、R15、R16、R17 = 开路(尺寸0402)

# ADL5511

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图62. 16引脚引脚架构芯片级封装 [LFCSP\_WQ]

3 mm x 3 mm, 超薄体

(CP-16-22)

尺寸单位: mm

08-16-2010-E

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	订购数量
ADL5511ACPZ-R7		16引脚引线框芯片级封装 [LFCSP_WQ]	CP-16-22	1500
ADL5511-EVALZ		评估板		

<sup>1</sup> Z = 符合RoHS标准的器件。

注释

[www.BDTIC.com/cn/adi](http://www.BDTIC.com/cn/adi)

**ADL5511**

**注释**

[www.BDTIC.com/cn/adi](http://www.BDTIC.com/cn/adi)