

14 位、125Msps/105Msps/ 80Msps 低功率 8 通道 ADC

特点

- 8 通道同步采样 ADC
- 73.1dB SNR
- 88dB SFDR
- 低功率：140mW/113mW/94mW (每通道)
- 单 1.8V 电源
- 串行 LVDS 输出：每通道 1 位或 2 位
- 可选的输入范围：1V_{P-P} 至 2V_{P-P}
- 800MHz 满功率带宽采样及保持 (S/H)
- 停机和打盹模式
- 用于配置的串行 SPI 端口
- 内部旁路电容，无外部组件
- 140 引脚 (11.25mm x 9mm) BGA 封装

应用

- 通信
- 蜂窝基站
- 软件定义无线电
- 便携式医学成像
- 多通道数据采集
- 非破坏性测试

描述

LTM[®]9011-14/LTC9010-14/LTC9009-14 是 8 通道、同时采样 14 位 A/D 转换器，专为对高频、宽动态范围信号进行数字化处理而设计。其 AC 性能包括 73.1dB SNR 和 88dB 无杂散动态范围 (SFDR)。每个通道的低功耗减少了高通道数应用中的热量。集成旁路电容和直通式引出脚配置降低了总体板极空间要求。

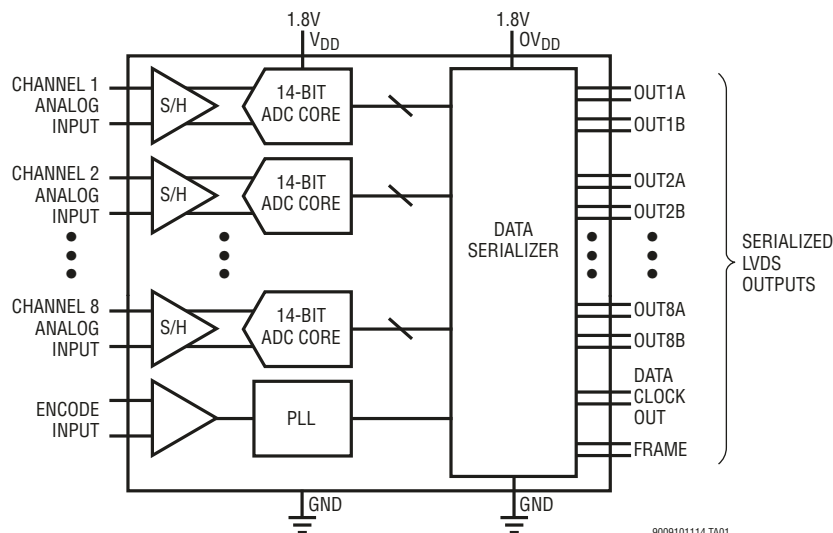
DC 规格包括整个温度范围内的 ± 1 LSB INL (典型值)、 ± 0.3 LSB DNL (典型值) 和无漏失码。转换噪声很低，仅为 1.2LSB_{RMS}。

数字输出为串行 LVDS，旨在最大限度地减少数据线的数目。每个通道一次输出两个位 (“双线道” 模式)。在较低采样速率条件下提供了每个通道一次输出一个位的选项 (“单线道” 模式)。

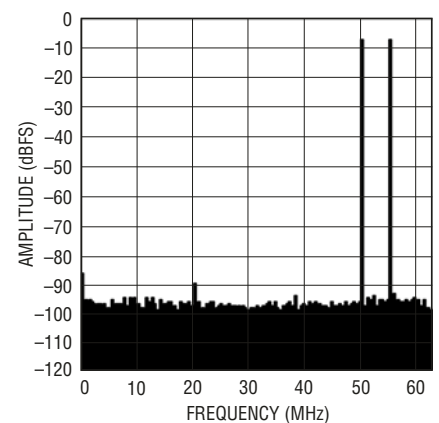
可以利用一个正弦波、PECL、LVDS、TTL 或 CMOS 输入对 ENC⁺ 和 ENC⁻ 输入进行差分或单端驱动。一个内部时钟占空比稳定器在全速和多种时钟占空比条件下实现了高性能。

、LT、LTC、LTM、Linear Technology 和 Linear 标识是凌力尔特公司的注册商标。所有其他商标均为其各自拥有者的产权。

典型应用



LTM9011-14、125Msps、
双音调 FFT、 $f_{IN} = 70\text{MHz}$ 和 75MHz



绝对最大额定值

(注 1、2)

电源电压

V_{DD} , OV_{DD} -0.3V 至 2V

模拟输入电压 (A_{IN}^+ , A_{IN}^- ,

PAR/SER, SENSE) (注 3) -0.3V 至 ($V_{DD} + 0.2V$)

数字输入电压 (ENC^+ , ENC^- , \overline{CS} ,

SDI, SCK) (注 4) -0.3V 至 3.9V

SDO (注 4) -0.3V 至 3.9V

数字输出电压 -0.3V 至 ($OV_{DD} + 0.3V$)

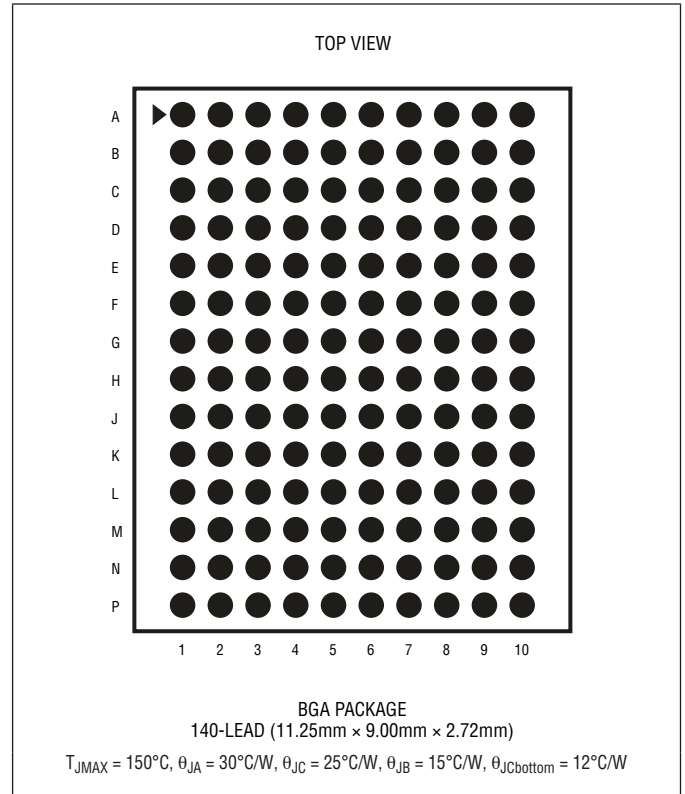
工作温度范围

LTM9011C, LTM9010C, LTM9009C 0°C 至 70°C

LTM9011I, LTM9010I, LTM9009I -40°C 至 85°C

贮存温度范围 -55°C 至 125°C

引脚配置



订购信息

无铅涂层	卷带	器件标记 *	封装描述	温度范围
LTM9011CY-14#PBF	LTM9011CY-14#PBF	LTM9011Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	0°C 至 70°C
LTM9011IY-14#PBF	LTM9011IY-14#PBF	LTM9011Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	-40°C 至 85°C
LTM9010CY-14#PBF	LTM9010CY-14#PBF	LTM9010Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	0°C 至 70°C
LTM9010IY-14#PBF	LTM9010IY-14#PBF	LTM9010Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	-40°C 至 85°C
LTM9009CY-14#PBF	LTM9009CY-14#PBF	LTM9009Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	0°C 至 70°C
LTM9009IY-14#PBF	LTM9009IY-14#PBF	LTM9009Y14	140 引脚 (11.25mm x 9mm x 2.72mm) BGA	-40°C 至 85°C

对于规定工作温度范围更宽的器件，请咨询凌力尔特公司。* 温度等级请见集装箱上的标识。

如需了解更多有关无铅器件标记的信息，请登录：<http://www.linear.com.cn/leadfree/>

本产品仅提供托盘包装。如需了解更多信息，请登录：<http://www.linear.com.cn/packaging/>

转换器特性 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 5)

参数	条件	LTM9011-14			LTM9010-14			LTM9009-14			单位	
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值		
分辨率 (无漏失码)		●	14		14		14		14		位	
积分线性误差	差分模拟输入 (注 6)	●	-4.1	±1.2	4.1	-3.25	±1	3.25	-2.75	±1	2.75	LSB
差分线性误差	差分模拟输入	●	-0.9	±0.3	0.9	-0.8	±0.3	0.8	-0.8	±0.3	0.8	LSB
偏移误差	(注 7)	●	-12	±3	12	-12	±3	12	-12	±3	12	mV
增益误差	内部基准			-1.3		-1.3		-1.3		-1.3		%FS
	外部基准	●	-2.6	-1.3	0	-2.6	-1.3	0	-2.6	-1.3	0	%FS
偏移漂移				±20		±20		±20		±20		μV/°C
全标度漂移	内部基准			±35		±35		±35		±35		ppm/°C
	外部基准			±25		±25		±25		±25		ppm/°C
增益匹配	外部基准			±0.2		±0.2		±0.2		±0.2		%FS
偏移匹配				±3		±3		±3		±3		mV
转换噪声	外部基准			1.2		1.2		1.2		1.2		LSB _{RMS}

模拟输入 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 5)

符号	参数	条件	最小值	典型值	最大值	单位	
V_{IN}	模拟输入范围 ($A_{IN+} - A_{IN-}$)	$1.7V < V_{DD} < 1.9V$	●	1 至 2		V_{P-P}	
$V_{IN(CM)}$	模拟输入共模 ($A_{IN+} + A_{IN-}$) / 2	差分模拟输入 (注 8)	●	$V_{CM} - 100mV$	$V_{CM} + 100mV$	V	
V_{SENSE}	施加至 SENSE 的外部电压基准	外部基准模式	●	0.625	1.250	1.300	V
I_{INCM}	模拟输入共模电流	每个引脚, 125Msps		155		μA	
		每个引脚, 105Msps		130		μA	
		每个引脚, 80Msps		100		μA	
I_{IN1}	模拟输入漏电流	$0 < A_{IN+}, A_{IN-} < V_{DD}$, 无编码	●	-1	1	μA	
I_{IN2}	PAR/SER 输入漏电流	$0 < PAR/SER < V_{DD}$	●	-3	3	μA	
I_{IN3}	SENSE 输入漏电流	$0.625V < SENSE < 1.3V$	●	-6	6	μA	
t_{AP}	采样及保持采集延迟时间			0		ns	
t_{JITTER}	采样及保持采集延迟抖动			0.15		pS _{RMS}	
CMRR	模拟输入共模抑制比			80		dB	
BW-3B	满功率带宽	图 6 所示的测试电路		800		MHz	

转换器特性 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $A_{IN} = -1\text{dBFS}$ 。(注 5)

符号	参数	条件	LTM9011-14			LTM9010-14			LTM9009-14			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
SNR	信噪比	5MHz 输入		73.1		73		73		73	dBFS	
		70MHz 输入	●	70.8	73	70.6	72.9	69.7	72.9	72.5	dBFS	
		140MHz 输入			72.6		72.6				dBFS	
SFDR	无杂散动态范围 二次或三次谐波	5MHz 输入		88		88		88		88	dBFS	
		70MHz 输入	●	69	85	71	85	74	85	82	dBFS	
		140MHz 输入			82		82		82		dBFS	
	无杂散动态范围 四次或更高次谐波	5MHz 输入		90		90		90		90	dBFS	
		70MHz 输入	●	81	90	81	90	82	90	90	dBFS	
		140MHz 输入			90		90		90		dBFS	
S/(N+D)	信号与“噪声 + 失真”之比	5MHz 输入		73		73		72.9		72.9	dBFS	
		70MHz 输入	●	68.4	72.6	69.7	72.6	69.6	72.6	72	dBFS	
		140MHz 输入			72		72		72		dBFS	
	串扰，近通道	10MHz 输入 (注 12)		-90		-90		-90		-90	dBc	
	串扰，远通道	10MHz 输入 (注 12)		-105		-105		-105		-105	dBc	

内部基准特性 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $A_{IN} = -1\text{dBFS}$ 。(注 5)

参数	条件	最小值	典型值	最大值	单位
V_{CM} 输出电压	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} 输出温度漂移			±25		ppm/°C
V_{CM} 输出电阻	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} 输出电压	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} 输出温度漂移			±25		ppm/°C
V_{REF} 输出电阻	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} 电压调节	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

数字输入和输出 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 5)

符号	参数	条件		最小值	典型值	最大值	单位
编码输入 (ENC⁺, ENC⁻)							
差分编码模式 (ENC⁻ 未连接至 GND)							
V _{ID}	差分输入电压	(注 8)	●	0.2			V
V _{ICM}	共模输入电压	在内部设定 在外部设定 (注 8)	●	1.1	1.2	1.6	V V
V _{IN}	输入电压范围	ENC ⁺ , ENC ⁻ 至 GND	●	0.2		3.6	V
R _{IN}	输入电阻	(见图 10)			10		kΩ
C _{IN}	输入电容				3.5		pF
单端编码模式 (ENC⁻ 连接至 GND)							
V _{IH}	高电平输入电压	V _{DD} = 1.8V	●	1.2			V
V _{IL}	低电平输入电压	V _{DD} = 1.8V	●			0.6	V
V _{IN}	输入电压范围	ENC ⁺ 至 GND	●	0		3.6	V
R _{IN}	输入电阻	(见图 11)			30		kΩ
C _{IN}	输入电容				3.5		pF
数字输入 (CS⁻, SDI⁻, SCK 处于串行或并行编程模式。SDO 处于并行编程模式)							
V _{IH}	高电平输入电压	V _{DD} = 1.8V	●	1.3			V
V _{IL}	低电平输入电压	V _{DD} = 1.8V	●			0.6	V
I _{IN}	输入电流	V _{IN} = 0V 至 3.6V	●	-10		10	μA
C _{IN}	输入电容				3		pF
SDO 输出 (串行编程模式。漏极开路输出。如果采用 SDO，则需要使用 2kΩ 上拉电阻器)							
R _{OL}	至 GND 的逻辑低电平输出电阻	V _{DD} = 1.8V, SDO = 0V			200		Ω
I _{OH}	逻辑高电平输出漏电流	SDO = 0V 至 3.6V	●	-10		10	μA
C _{OUT}	输出电容				3		pF
数字数据输出							
V _{OD}	差分输出电压	100Ω 差分负载, 3.5mA 模式 100Ω 差分负载, 1.75mA 模式	● ●	247 125	350 175	454 250	mV mV
V _{OS}	共模输出电压	100Ω 差分负载, 3.5mA 模式 100Ω 差分负载, 1.75mA 模式	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R _{TERM}	片内终端电阻	终端启用, 0V _{DD} = 1.8V			100		Ω

LTM9011-14/ LTM9010-14/LTM9009-14

电源要求 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注9)

符号	参数	条件	LTM9011-14			LTM9010-14			LTM9009-14			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
V_{DD}	模拟电源电压	(注10)	● 1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	输出电源电压	(注10)	● 1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	模拟电源电流	正弦波输入	●	582	632	476	508	395	450			mA
I_{OVDD}	数字电源电流	双通道模式，1.75mA 模式	●	54	62	52	62	50	58			mA
		双通道模式，3.5mA 模式	●	98	108	96	106	94	104			mA
P_{DISS}	功率耗散	双通道模式，1.75mA 模式	●	1145	1249	950	1026	801	914			mW
		双通道模式，3.5mA 模式	●	1224	1332	1030	1105	880	997			mW
P_{SLEEP}	睡眠模式功率			2		2		2			mW	
P_{NAP}	打盹模式功率			170		170		170			mW	
$P_{DIFFCLK}$	当单端编码模式启用时功耗减低 (对于睡眠模式，功耗没有减低)			40		40		40			mW	

定时特性 凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注5)

符号	参数	条件	LTM9011-14			LTM9010-14			LTM9009-14			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
f_S	采样频率	(注10, 11)	● 5		125	5		105	5		80	MHz
t_{ENCL}	ENC 低电平时间(注8)	占空比稳定器关断	● 3.8	4	100	4.52	4.76	100	5.93	6.25	100	ns
		占空比稳定器接通	● 2	4	100	2	4.76	100	2	6.25	100	ns
t_{ENCH}	ENC 高电平时间(注8)	占空比稳定器关断	● 3.8	4	100	4.52	4.76	100	5.93	6.25	100	ns
		占空比稳定器接通	● 2	4	100	2	4.76	100	2	6.25	100	ns
t_{AP}	采样及保持采集延迟时间			0		0		0			ns	

符号	参数	条件	最小值	典型值	最大值	单位
数字数据输出 ($R_{TERM} = 100\Omega$ 差分, $C_L = 2\text{pF}$ 至 GND [在每个输出端上])						
t_{SER}	串行数据位周期	双通道, 16 位串行化		$1/(8 \cdot f_S)$		s
		双通道, 14 位串行化		$1/(7 \cdot f_S)$		s
		双通道, 12 位串行化		$1/(6 \cdot f_S)$		s
		单通道, 16 位串行化		$1/(16 \cdot f_S)$		s
		单通道, 14 位串行化		$1/(14 \cdot f_S)$		s
		单通道, 12 位串行化		$1/(12 \cdot f_S)$		s
t_{FRAME}	FR 至 DCO 延迟	(注8)	● $0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	s
t_{DATA}	DATA 至 DCO 延迟	(注8)	● $0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	s
t_{PD}	传播延迟	(注8)	● $0.7n + 2 \cdot t_{SER}$	$1.1n + 2 \cdot t_{SER}$	$1.5n + 2 \cdot t_{SER}$	s
t_R	输出上升时间	数据, DCO, FR, 20% 至 80%		0.17		ns
t_F	输出下降时间	数据, DCO, FR, 20% 至 80%		0.17		ns
	DCO 逐周期抖动	$t_{SER} = 1\text{ns}$		60		pSp-P
	流水线延迟			6		周期

9009101114fa

定时特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 5)

符号	参数	条件	最小值	典型值	最大值	单位
SPI 端口定时 (注 8)						
t_{SCK}	SCK 周期	写模式 回读模式, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●	40		ns
			●	250		ns
t_{S}	$\overline{\text{CS}}$ 至 SCK 建立时间		●	5		ns
t_{H}	SCK 至 $\overline{\text{CS}}$ 建立时间		●	5		ns
t_{DS}	SDI 建立时间		●	5		ns
t_{DH}	SDI 保持时间		●	5		ns
t_{DO}	SCK 下降至 SDO 有效	回读模式, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●		125	ns

注 1: 高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2: 所有的电压值均以 GND 为基准 (除非另有说明)。

注 3: 当这些引脚的电压被拉至 GND 以下或者 V_{DD} 以上时, 它们将被内部二极管所箝位。在低于 GND 或者高于 V_{DD} 的情况下, 本产品能处理超过 100mA 的输入电流, 且不会发生锁断。

注 4: 当这些引脚的电压被拉至 GND 以下时, 它们将被内部箝位二极管所箝位。当这些引脚的电压被拉至 V_{DD} 以上时, 它们将不会被内部箝位二极管所箝位。在低于 GND 的情况下, 本产品能处理超过 100mA 的输入电流, 且不会发生锁断。

注 5: $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$, $f_{\text{SAMPLE}} = 125\text{MHz}$ (LTM9011), 105MHz (LTM9010) 或 80MHz (LTM9009), 双线道输出模式, 差分 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ 正弦波, 输入范围 = $2V_{\text{P-P}}$ (采用差分驱动), 除非另有说明。

注 6: 积分非线性被定义为一个代码相对一根转移函数曲线的最佳拟合直线的偏离程度。该偏离是以量化频带的中心为起点进行测量的。

注 7: 偏移误差是输出代码在 00 0000 0000 0000 和 11 1111 1111 1111 之间摆动时 (采用二进制补码输出模式) 以 -0.5LSB 为起点所测得的偏移电压。

注 8: 由设计提供保证, 未经测试。

注 9: $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$, $f_{\text{SAMPLE}} = 125\text{MHz}$ (LTM9011), 105MHz (LTM9010) 或 80MHz (LTM9009), 双线道输出模式, 差分 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ 正弦波, 输入范围 = $2V_{\text{P-P}}$ (采用差分驱动), 除非另有说明。电源电流和功率耗散规格是整个器件 (而不是每个通道) 的总值。

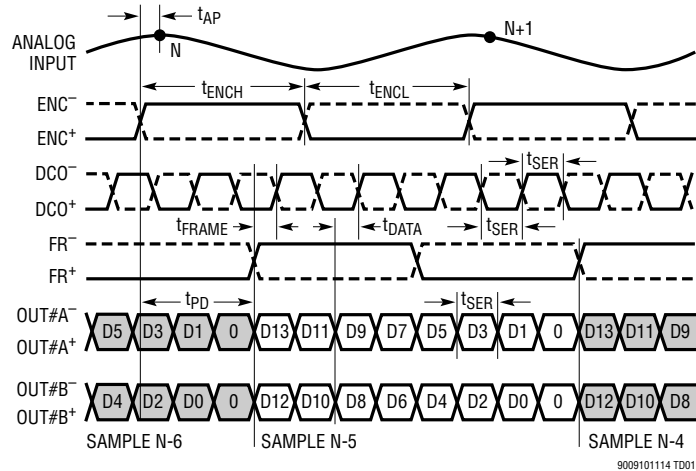
注 10: 推荐的工作条件。

注 11: 最大采样频率取决于器件的速度等级以及所采用的串行化模式。最大串行数据速率为 1000Mbps, 因此 t_{SER} 必须大于或等于 1ns。

注 12: 近通道串扰指通道 1 至通道 2 和通道 7 至通道 8。远通道串扰指通道 1 至通道 7、通道 1 至通道 8、通道 2 至通道 7 以及通道 2 至通道 8。

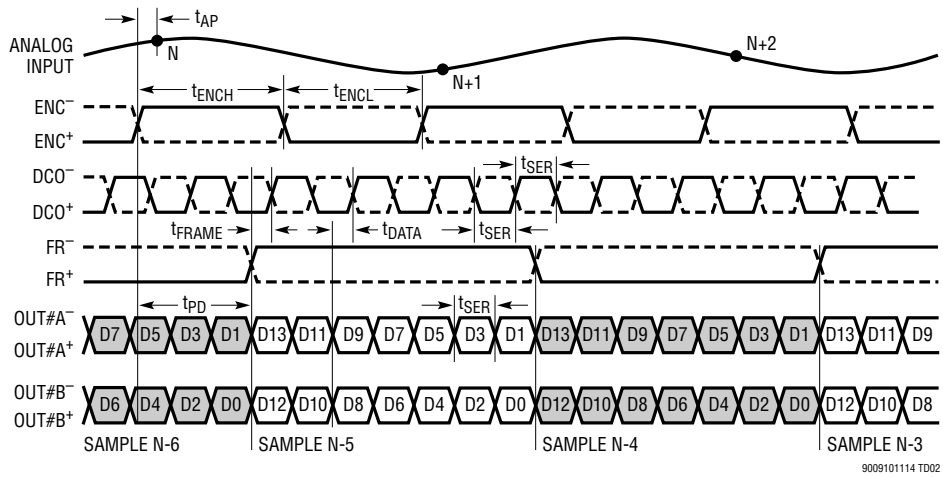
时序图

双线道输出模式，16位串行化*



*SEE THE DIGITAL OUTPUTS SECTION

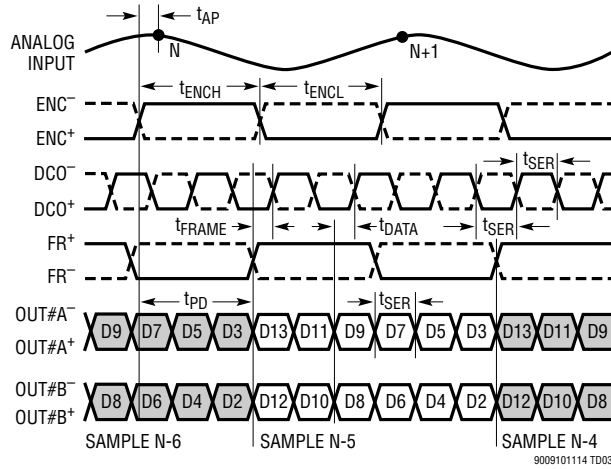
双线道输出模式，14位串行化



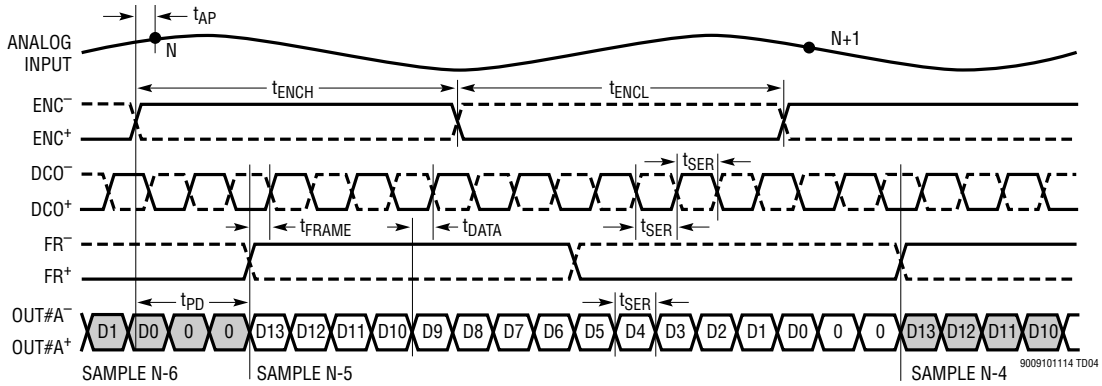
NOTE THAT IN THIS MODE FR+/FR- HAS TWO TIMES THE PERIOD OF ENC+/ENC-

时序图

双通道输出模式，12位串行化



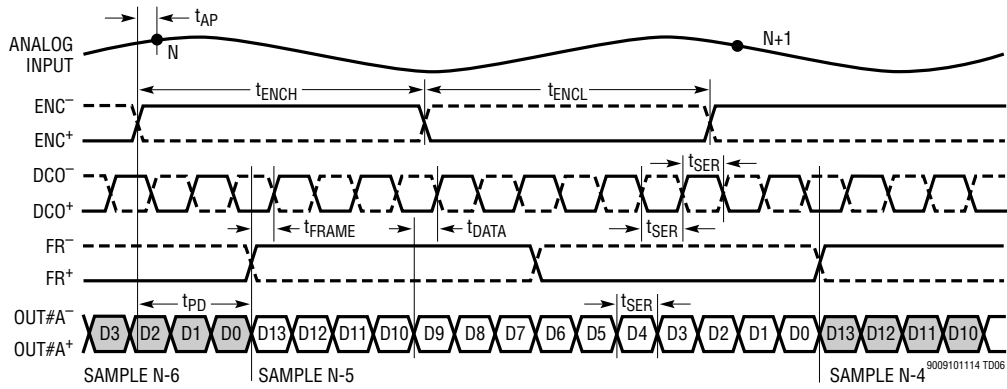
单通道输出模式，16位串行化



OUT#B⁺, OUT#B⁻ ARE DISABLED

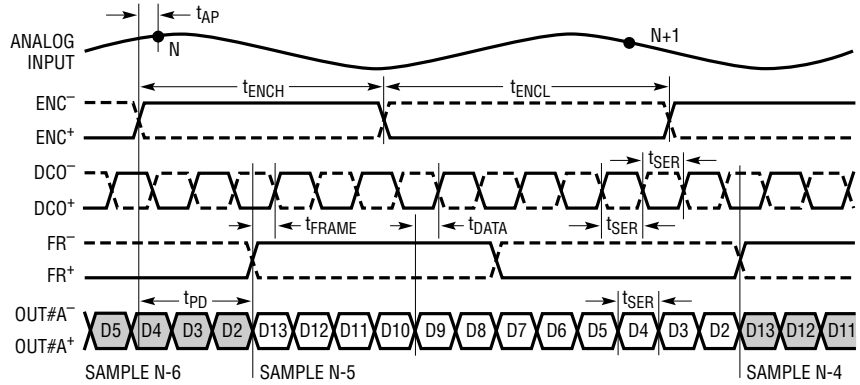
时序图

单通道输出模式，14 位串行化



OUT#B⁺, OUT#B⁻ ARE DISABLED

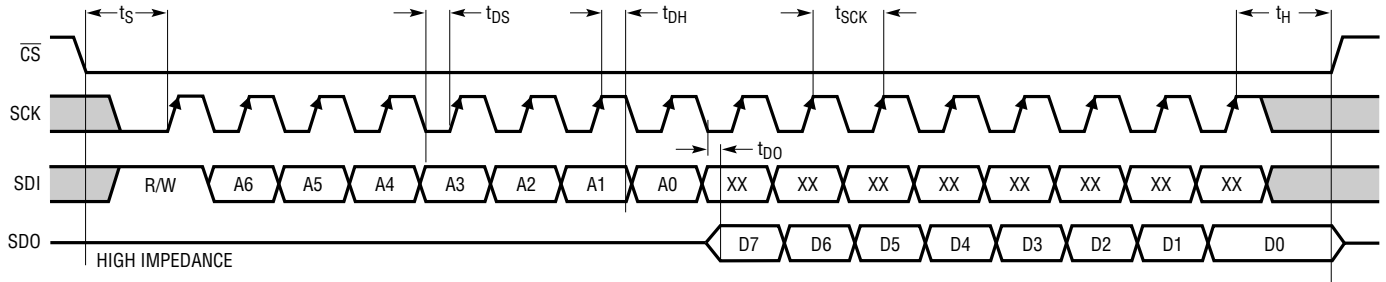
单通道输出模式，12 位串行化



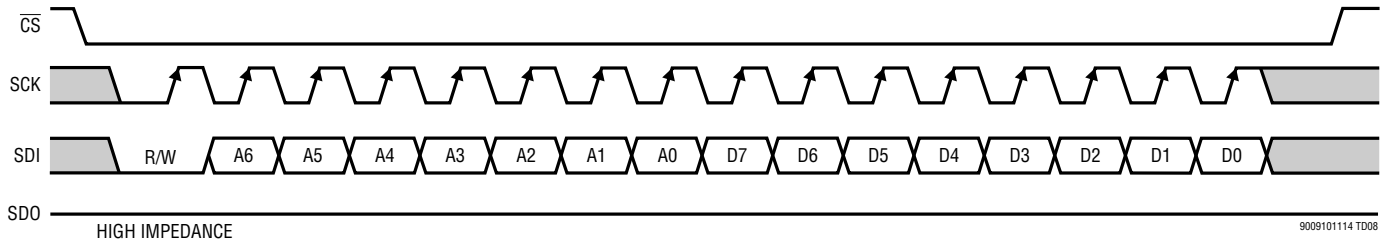
OUT#B⁺, OUT#B⁻ ARE DISABLED

时序图

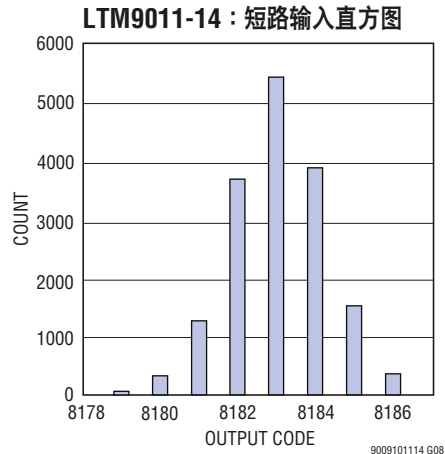
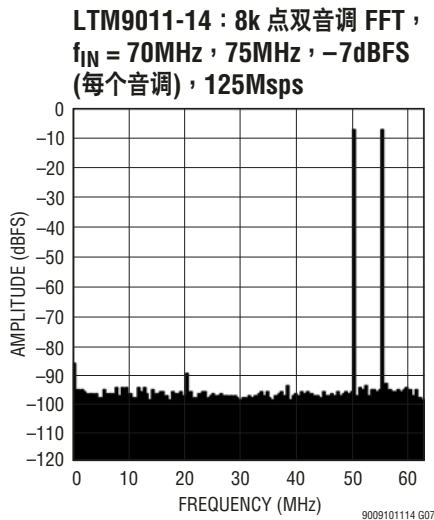
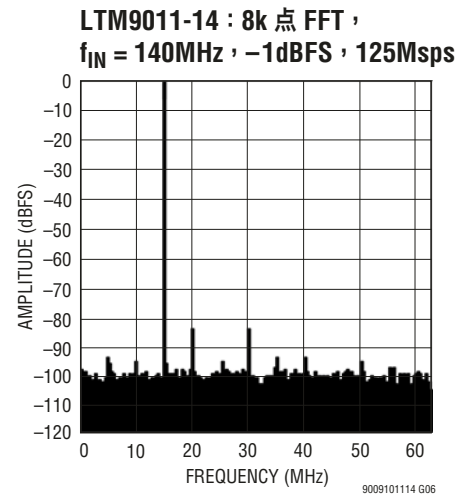
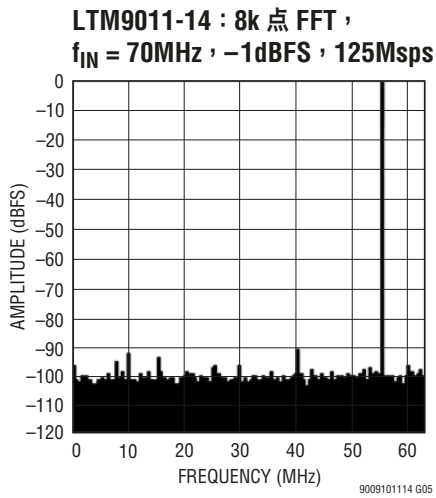
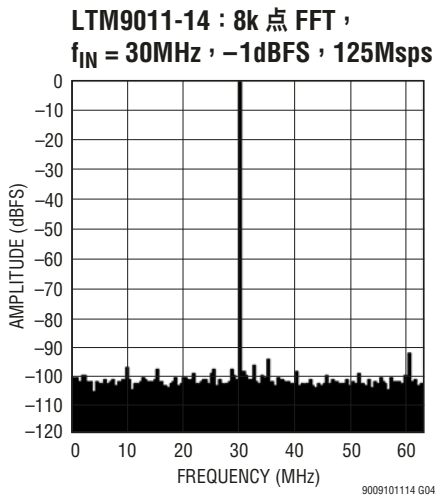
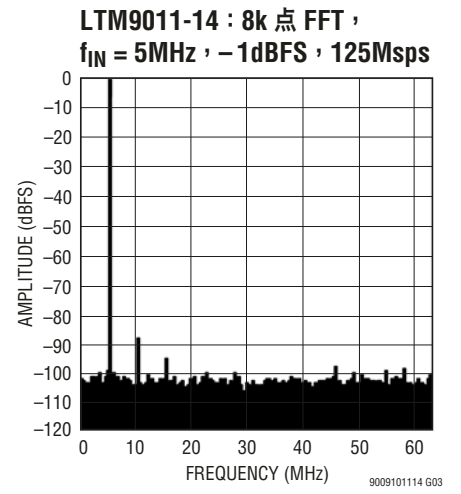
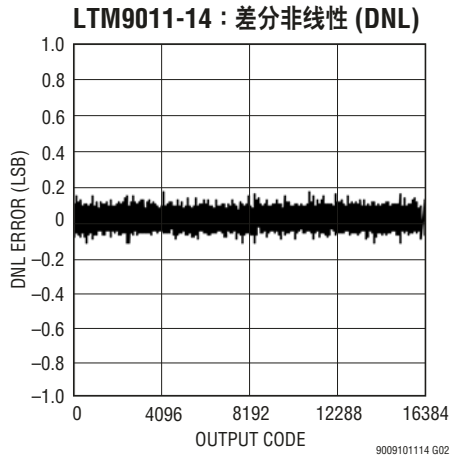
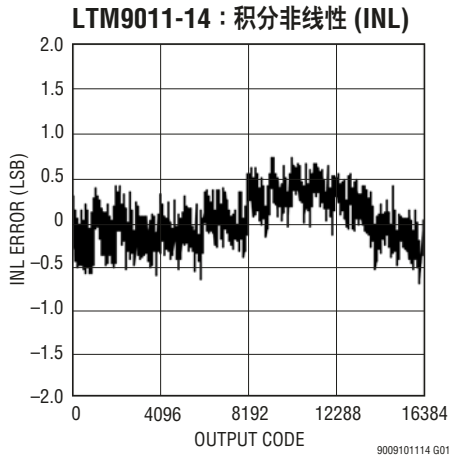
SPI 端口定时 (回读模式)



SPI 端口定时 (写入模式)

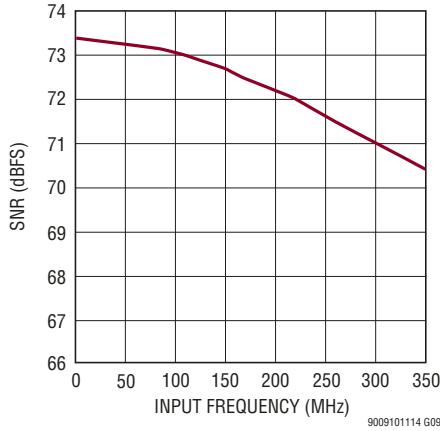


典型性能特征

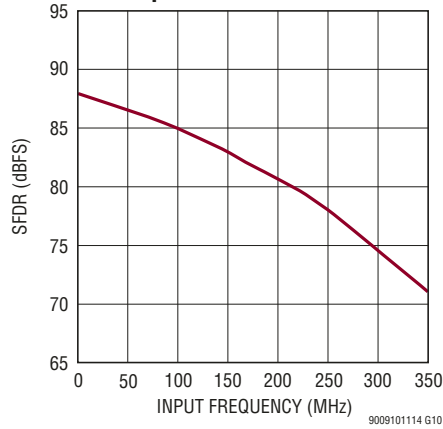


典型性能特征

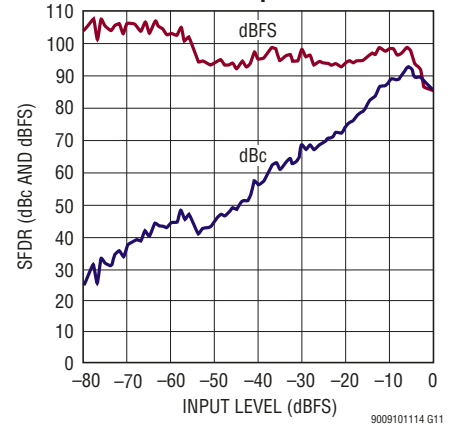
LTM9011-14 : SNR 与输入频率的关系曲线, -1dBFS , 2V 范围, 125Mpsps



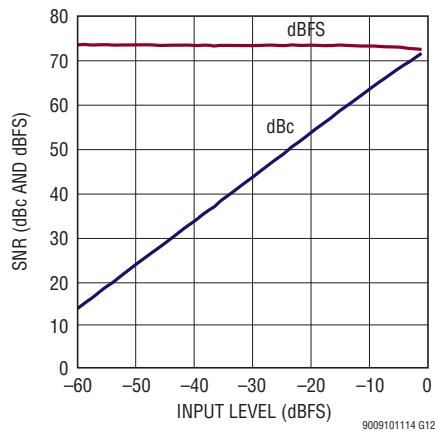
LTM9011-14 : SFDR 与输入频率的关系曲线, -1dBFS , 2V 范围, 125Mpsps



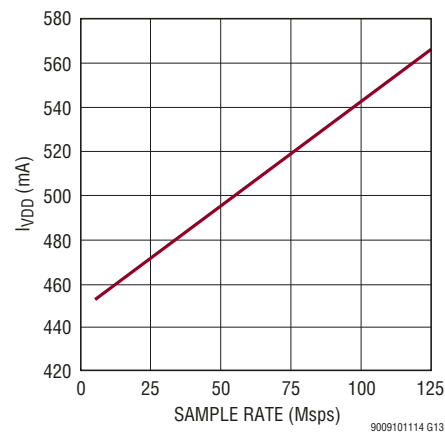
LTM9011-14 : SFDR 与输入电平的关系曲线, $f_{\text{IN}} = 70\text{MHz}$, 2V 范围, 125Mpsps



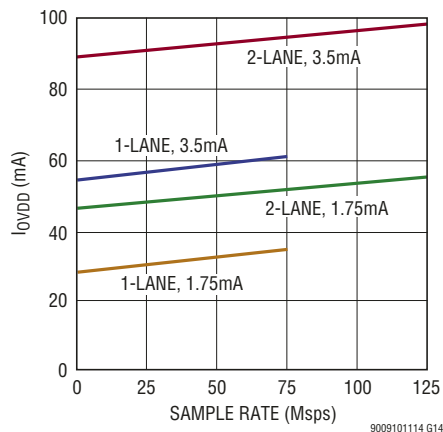
LTM9011-14 : SNR 与输入电平的关系曲线, $f_{\text{IN}} = 70\text{MHz}$, 2V 范围, 125Mpsps



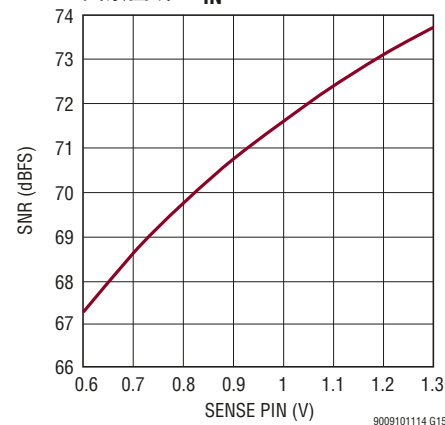
LTM9011-14 : I_{VDD} 与采样速率的关系曲线, 5MHz 正弦波输入, -1dBFS



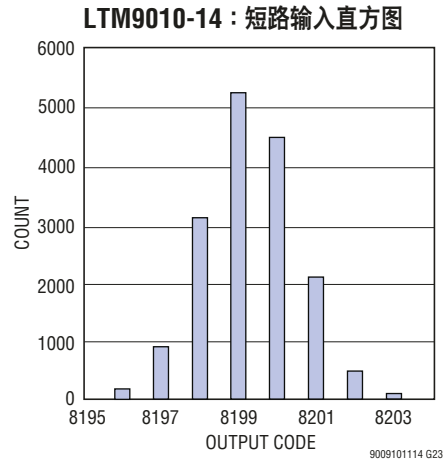
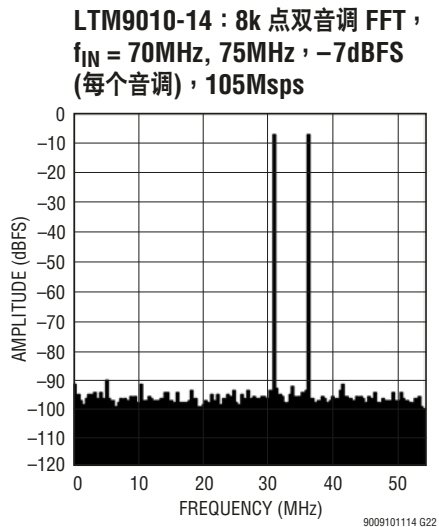
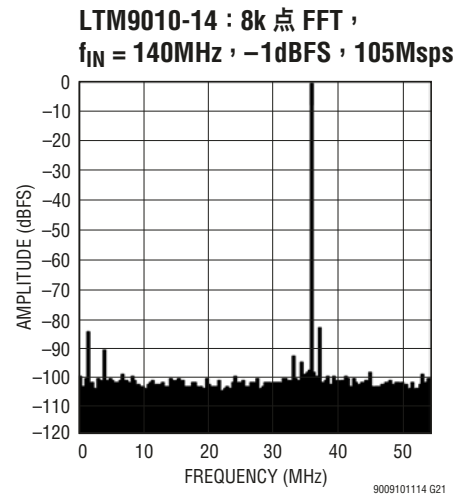
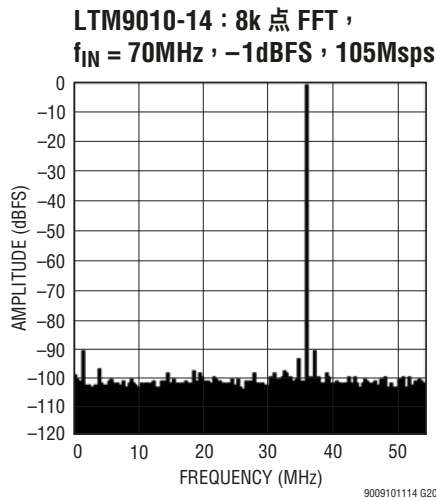
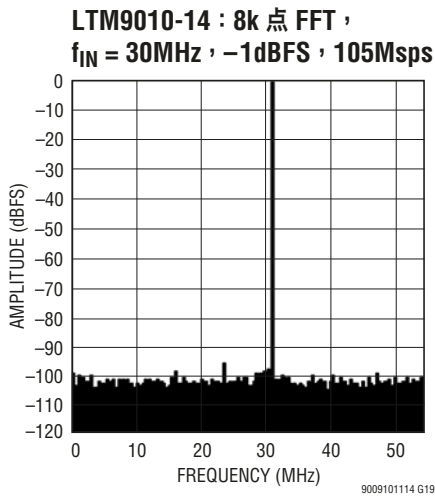
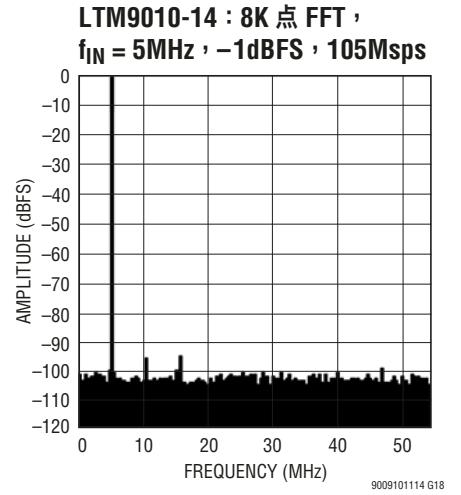
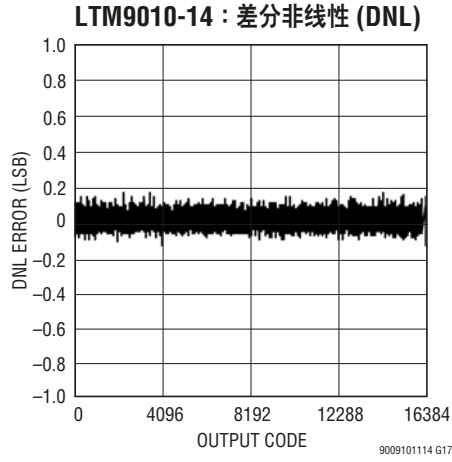
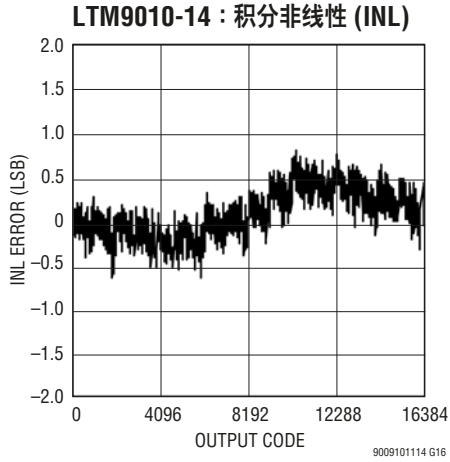
I_{VDD} 与采样速率的关系曲线, 5MHz 正弦波输入, -1dBFS



LTM9011-14 : SNR 与 SENSE 的关系曲线, $f_{\text{IN}} = 5\text{MHz}$, -1dBFS

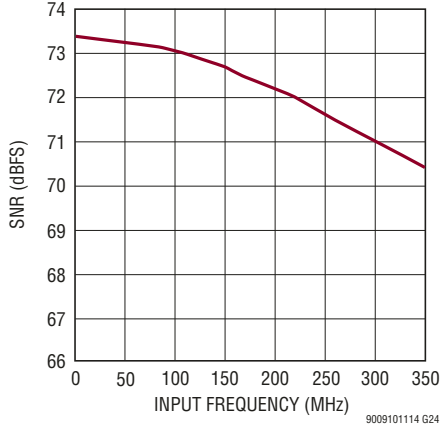


典型性能特征

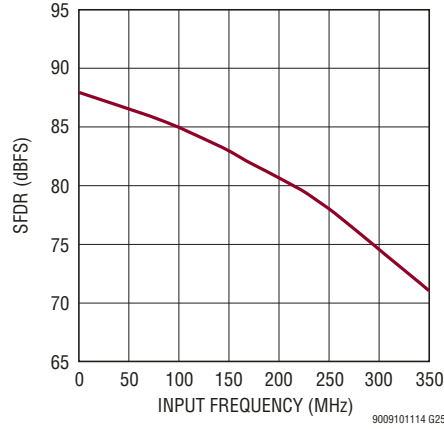


典型性能特征

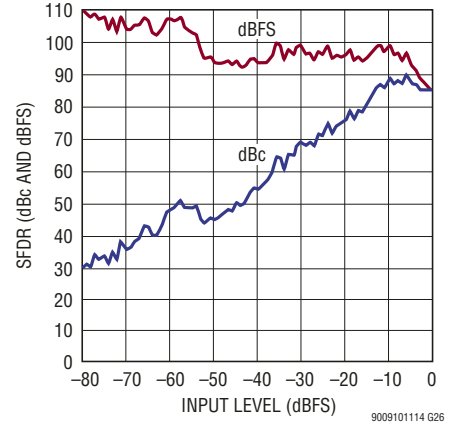
LTM9010-14 : SNR 与输入频率的关系曲线，-1dBFS，2V 范围，105Mps



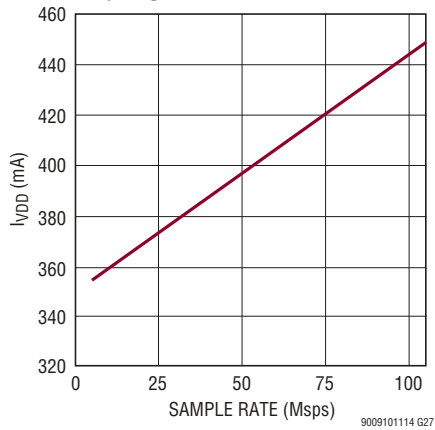
LTM9010-14 : SFDR 与输入频率的关系曲线，-1dBFS，2V 范围，105Mps



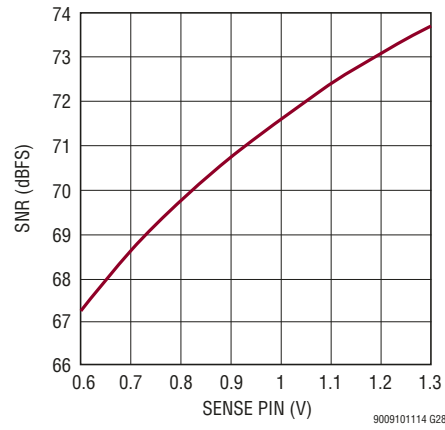
LTM9010-14 : SFDR 与输入电平的关系曲线， $f_{IN} = 70\text{MHz}$ ，2V 范围，105Mps



LTM9010-14 : I_{VDD} 与采样速率的关系曲线，5MHz 正弦波输入，-1dBFS

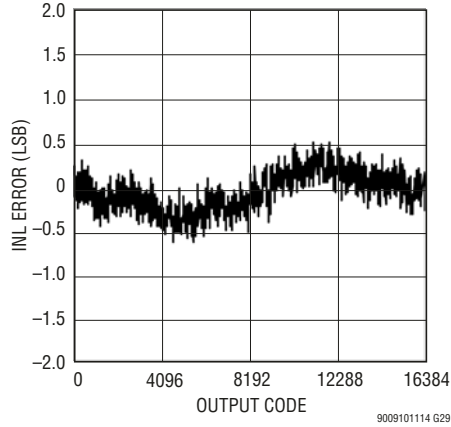


LTM9010-14 : SNR 与 SENSE 的关系曲线， $f_{IN} = 5\text{MHz}$ ，-1dBFS

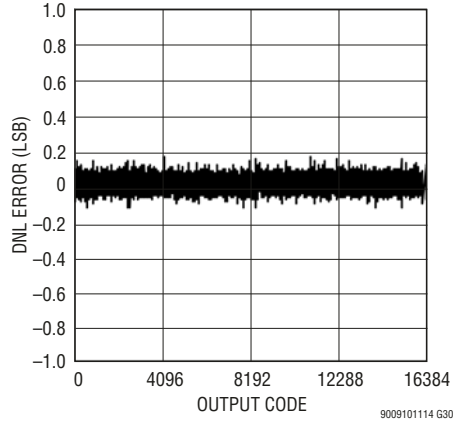


典型性能特征

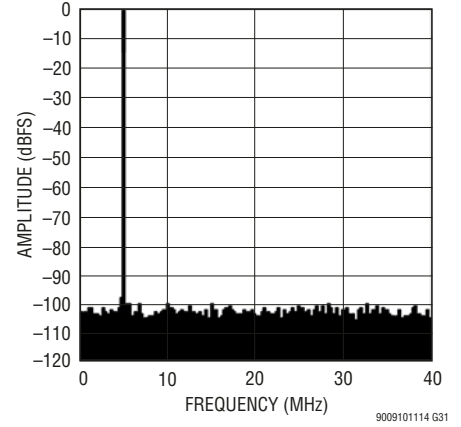
LTM9009-14 : 积分非线性 (INL)



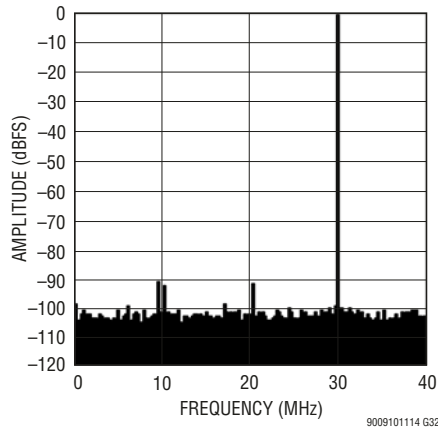
LTM9009-14 : 差分非线性 (DNL)



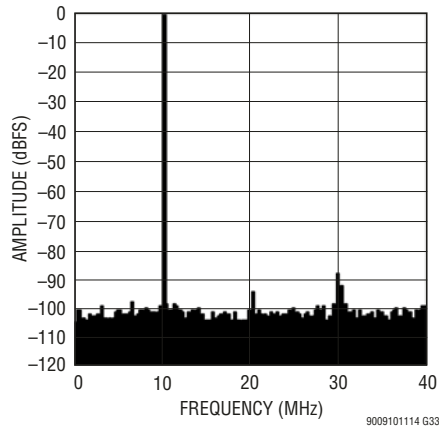
LTM9009-14 : 8K 点 FFT ,
 $f_{IN} = 5\text{MHz}$, -1dBFS , 80Mps



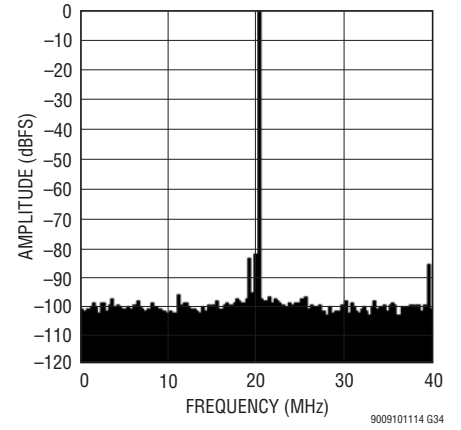
LTM9009-14 : 8k 点 FFT ,
 $f_{IN} = 30\text{MHz}$, -1dBFS , 80Mps



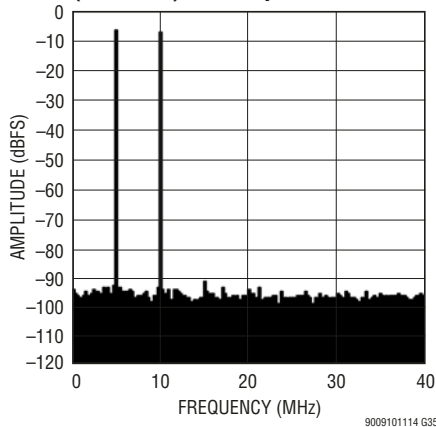
LTM9009-14 : 8k 点 FFT ,
 $f_{IN} = 70\text{MHz}$, -1dBFS , 80Mps



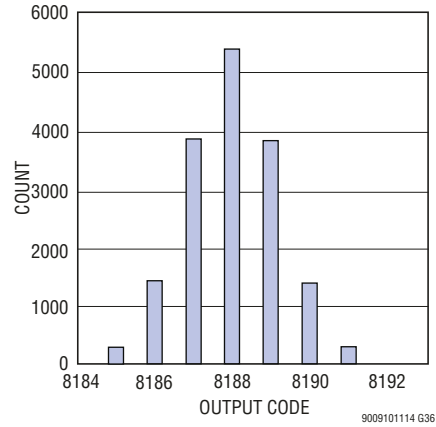
LTM9009-14 : 8k 点 FFT ,
 $f_{IN} = 140\text{MHz}$, -1dBFS , 80Mps



LTM9009-14 : 8k 点双音调 FFT ,
 $f_{IN} = 70\text{MHz}$, 75MHz , -7dBFS
(每个音调) , 80Mps

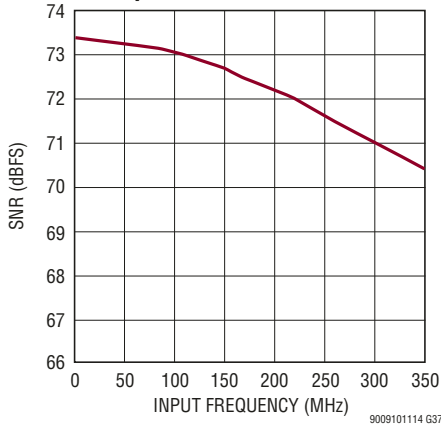


LTM9009-14 : 短路输入直方图

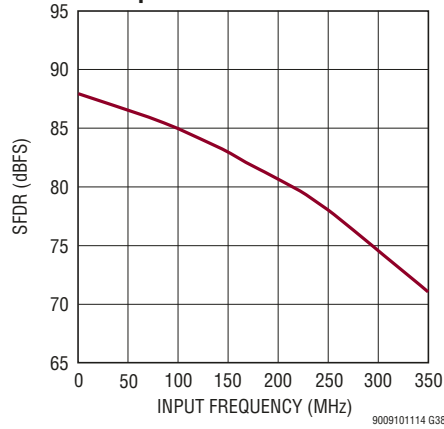


典型性能特征

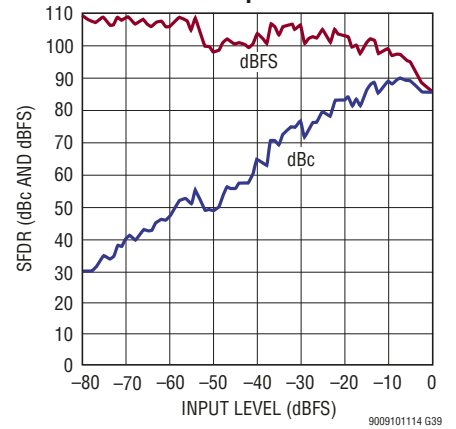
LTM9009-14 : SNR 与输入频率的关系曲线, -1dBFS, 2V 范围, 80Msps



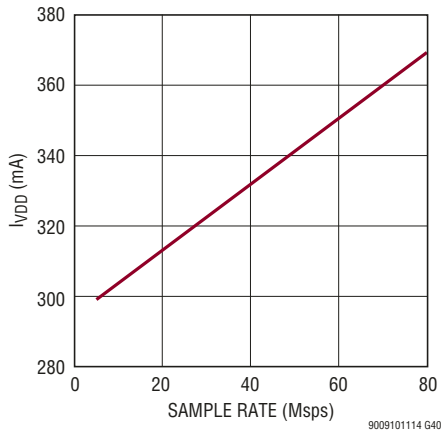
LTM9009-14 : SFDR 与输入频率的关系曲线, -1dBFS, 2V 范围, 80Msps



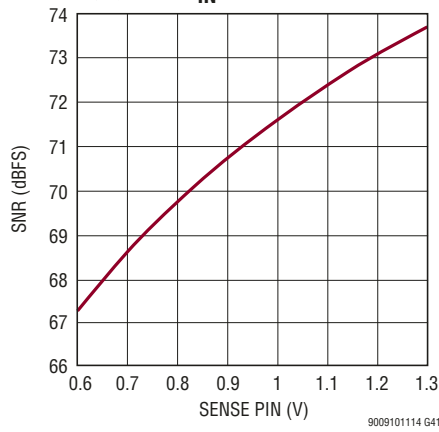
LTM9009-14 : SFDR 与输入电平的关系曲线, $f_{IN} = 70\text{MHz}$, 2V 范围, 80Msps



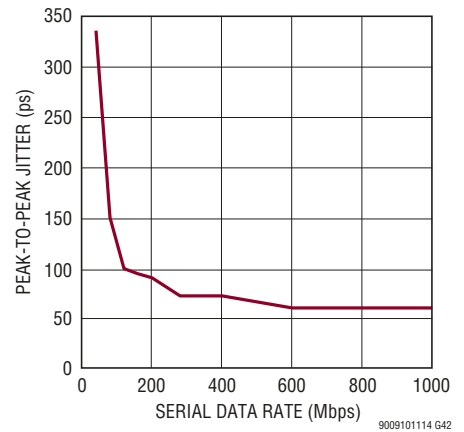
LTM9009-14 : I_{VDD} 与采样速率的关系曲线, 5MHz 正弦波输入, -1dBFS



LTM9009-14 : SNR 与 SENSE 的关系曲线, $f_{IN} = 5\text{MHz}$, -1dBFS



DCO 逐周期抖动与串行数据速率的关系曲线



引脚功能

A_{IN1}⁺ (B2) : 通道 1 正差分模拟输入。

A_{IN1}⁻ (B1) : 通道 1 负差分模拟输入。

V_{CM12} (B3) : 共模偏置输出, 其标称值等于 $V_{DD}/2$ 。应采用 V_{CM} 对通道 1 和 2 的模拟输入的共模进行偏置。 V_{CM} 在内部通过一个 0.1 μ F 陶瓷电容器旁路至地。无需外部电容。

A_{IN2}⁺ (C2) : 通道 2 正差分模拟输入。

A_{IN2}⁻ (C1) : 通道 2 负差分模拟输入。

A_{IN3}⁺ (E2) : 通道 3 正差分模拟输入。

A_{IN3}⁻ (E1) : 通道 3 负差分模拟输入。

V_{CM34} (F3) : 共模偏置输出, 其标称值等于 $V_{DD}/2$ 。应采用 V_{CM} 对通道 3 和 4 的模拟输入的共模进行偏置。 V_{CM} 在内部通过一个 0.1 μ F 陶瓷电容器旁路至地。无需外部电容。

A_{IN4}⁺ (G2) : 通道 4 正差分模拟输入。

A_{IN4}⁻ (G1) : 通道 4 负差分模拟输入。

A_{IN5}⁺ (H1) : 通道 5 正差分模拟输入。

A_{IN5}⁻ (H2) : 通道 5 负差分模拟输入。

V_{CM56} (J3) : 共模偏置输出, 其标称值等于 $V_{DD}/2$ 。应采用 V_{CM} 对通道 5 和 6 的模拟输入的共模进行偏置。 V_{CM} 在内部通过一个 0.1 μ F 陶瓷电容器旁路至地。无需外部电容。

A_{IN6}⁺ (K1) : 通道 6 正差分模拟输入。

A_{IN6}⁻ (K2) : 通道 6 负差分模拟输入。

A_{IN7}⁺ (M1) : 通道 7 正差分模拟输入。

A_{IN7}⁻ (M2) : 通道 7 负差分模拟输入。

V_{CM78} (N3) : 共模偏置输出, 其标称值等于 $V_{DD}/2$ 。应采用 V_{CM} 对通道 7 和 8 的模拟输入的共模进行偏置。 V_{CM} 在内部通过一个 0.1 μ F 陶瓷电容器旁路至地。无需外部电容。

A_{IN8}⁺ (N1) : 通道 8 正差分模拟输入。

A_{IN8}⁻ (N2) : 通道 8 负差分模拟输入。

V_{DD} (D3、D4、E3、E4、K3、K4、L3、L4) : 1.8V 模拟电源。 V_{DD} 在内部通过一个 0.1 μ F 陶瓷电容器旁路至地。

ENC⁺ (P5) : 编码输入。转换操作在上升沿起动。

ENC⁻ (P6) : 编码互补输入。转换操作在下降沿起动。

\overline{CSA} (L5) : 在串行编程模式中, ($PAR/\overline{SER} = 0V$), \overline{CSA} 是负责控制通道 1、4、5 和 8 的寄存器的串行接口芯片选择输入。当 \overline{CS} 为低电平时, SCK 被使能, 以将 SDI 上的数据移入模式控制寄存器。在并行编程模式中, ($PAR/\overline{SER} = V_{DD}$), \overline{CS} 负责选择双车道或单车道输出模式。 \overline{CS} 可以采用 1.8V 至 3.3V 逻辑电路来驱动。

\overline{CSB} (M5) : 在串行编程模式中, ($PAR/\overline{SER} = 0V$), \overline{CSB} 是负责控制通道 2、3、6 和 7 的寄存器的串行接口芯片选择输入。当 \overline{CS} 为低电平时, SCK 被使能, 以将 SDI 上的数据移入模式控制寄存器。在并行编程模式中, ($PAR/\overline{SER} = V_{DD}$), \overline{CS} 负责选择双车道或单车道输出模式。 \overline{CS} 可以采用 1.8V 至 3.3V 逻辑电路来驱动。

SCK (L6) : 在串行编程模式中, ($PAR/\overline{SER} = 0V$), SCK 是串行接口时钟输入。在并行编程模式中 ($PAR/\overline{SER} = V_{DD}$), SCK 负责选择 3.5mA 或 1.75mA LVDS 输出电流。 SCK 可以采用 1.8V 至 3.3V 逻辑电路来驱动。

SDI (M6) : 在串行编程模式中, ($PAR/\overline{SER} = 0V$), SDI 是串行接口数据输入。 SDI 上的数据在 SCK 的上升沿定时输入模式控制寄存器。在并行编程模式中 ($PAR/\overline{SER} = V_{DD}$), SDI 可用于使器件断电。 SDI 可以采用 1.8V 至 3.3V 逻辑电路来驱动。

GND (见“引脚配置表”) : ADC 电源地。应在靠近这些引脚的地方使用多个过孔。

引脚功能

OV_{DD} (G9、G10)：输出驱动器电源。OV_{DD} 在内部通过一个 0.1μF 陶瓷电容器旁路至地。

SDOA (E6)：在串行编程模式中，(PAR/ $\overline{\text{SER}} = 0\text{V}$)，SDOA 是负责控制通道 1、4、5 和 8 的寄存器的任选串行接口数据输出。SDO 上的数据从模式控制寄存器读回，并可锁存于 SCK 的下降沿上。SDO 是一个漏极开路 N 沟道 MOSFET 输出，需要一个外部 2k 上拉电阻器将电平从 1.8V 拉至 3.3V。如果不需要从模式控制寄存器进行回读，那么上拉电阻器就不是必需的，SDO 可被置于未连接状态。在并行编程模式中 (PAR/ $\overline{\text{SER}} = V_{\text{DD}}$)，SDOA 是一个输入，负责使能通道 1、4、5 和 8 的数字输出端上的内部 100Ω 终端电阻器。当被用作一个输入时，SDO 可以采用 1.8V 至 3.3V 逻辑电路通过一个 1k 串联电阻器来驱动。

SDOB (D6)：通道 2、3、6 和 7 的串行数据输出引脚。

PAR/ $\overline{\text{SER}}$ (A7)：编程模式选择引脚。将该引脚连接至地可使能串行编程模式。 $\overline{\text{CSA}}$ 、 $\overline{\text{CSB}}$ 、SCK、SDI、SDOA 和 SDOB 变成一个用于控制 A/D 操作模式的串行接口。将该引脚连接至 V_{DD} 将使能并行编程模式，此时 $\overline{\text{CSA}}$ 、 $\overline{\text{CSB}}$ 、SCK、SDI、SDOA 和 SDOB 变成并行逻辑输入，用于控制一组精简的 A/D 操作模式。PAR/ $\overline{\text{SER}}$ 应直接连接至地或器件的 V_{DD}，且不得采用一个逻辑信号进行驱动。

V_{REF} (B6)：基准电压输出。V_{REF} 在内部通过一个 1μF 陶瓷电容器 (标称电压为 1.25V) 旁路至地。

SENSE (C5)：基准编程引脚。把 SENSE 引脚连接至 V_{DD} 将选择内部基准和一个 ±1V 输入范围。将 SENSE 引脚连接至地选择的是内部基准和一个 ±0.5V 输入范围。给 SENSE 引脚施加一个介于 0.625V 和 1.3V 之间的外部基准将选择一个 ±0.8 • V_{SENSE} 的输入范围。SENSE 在内部通过一个 0.1μF 陶瓷电容器旁路至地。

LVDS 输出

这一部分中的所有引脚均为差分 LVDS 输出。输出电流水平是可编程的。在每对 LVDS 输出的引脚之间具有一个任意的内部 100Ω 终端电阻器。

OUT1A⁻/OUT1A⁺、OUT1B⁻/OUT1B⁺ (E7/E8、C8/D8)：用于通道 1 的串行数据输出。在单线道输出模式中，只采用 OUT1A⁻/OUT1A⁺。

OUT2A⁻/OUT2A⁺、OUT2B⁻/OUT2B⁺ (B8/A8、D7/C7)：用于通道 2 的串行数据输出。在单线道输出模式中，只采用 OUT2A⁻/OUT2A⁺。

OUT3A⁻/OUT3A⁺、OUT3B⁻/OUT3B⁺ (D10/D9、E10/E9)：用于通道 3 的串行数据输出。在单线道输出模式中，只采用 OUT3A⁻/OUT3A⁺。

OUT4A⁻/OUT4A⁺、OUT4B⁻/OUT4B⁺ (C9/C10、F7/F8)：用于通道 4 的串行数据输出。在单线道输出模式中，只采用 OUT4A⁻/OUT4A⁺。

OUT5A⁻/OUT5A⁺、OUT5B⁻/OUT5B⁺ (J8/J7、K8/K7)：用于通道 5 的串行数据输出。在单线道输出模式中，只采用 OUT5A⁻/OUT5A⁺。

OUT6A⁻/OUT6A⁺、OUT6B⁻/OUT6B⁺ (K9/K10、L9/L10)：用于通道 6 的串行数据输出。在单线道输出模式中，只采用 OUT6A⁻/OUT6A⁺。

OUT7A⁻/OUT7A⁺、OUT7B⁻/OUT7B⁺ (M7/L7、P8/M8)：用于通道 7 的串行数据输出。在单线道输出模式中，只采用 OUT7A⁻/OUT7A⁺。

OUT8A⁻/OUT8A⁺、OUT8B⁻/OUT8B⁺ (L8/M8、M10/M9)：用于通道 8 的串行数据输出。在单线道输出模式中，只采用 OUT8A⁻/OUT8A⁺。

FRA⁻/FRA⁺ (H7/H8)：通道 1、4、5 和 8 的帧启动输出。

FRB⁻/FRB⁺ (J9/J10)：通道 2、3、6 和 7 的帧启动输出。

DCOA⁻/DCOA⁺ (G8/G7)：通道 1、4、5 和 8 的数据时钟输出。

DCOB⁻/DCOB⁺ (F10、F9)：通道 2、3、6 和 7 的数据时钟输出。

引脚配置表

	1	2	3	4	5	6	7	8	9	10
A	GND	GND	GND	GND	GND	GND	PAR/SER	O2A ⁺	GND	GND
B	A _{IN1} ⁻	A _{IN1} ⁺	V _{CM12}	GND	GND	V _{REF}	GND	O2A ⁻	GND	GND
C	A _{IN2} ⁻	A _{IN2} ⁺	GND	GND	SENSE	GND	O2B ⁺	O1B ⁻	O4A ⁻	O4A ⁺
D	GND	GND	V _{DD}	V _{DD}	GND	SDOB	O2B ⁻	O1B ⁺	O3A ⁺	O3A ⁻
E	A _{IN3} ⁻	A _{IN3} ⁺	V _{DD}	V _{DD}	GND	SDOA	O1A ⁻	O1A ⁺	O3B ⁺	O3B ⁻
F	GND	GND	V _{CM34}	GND	GND	GND	O4B ⁻	O4B ⁺	DCOB ⁺	DCOB ⁻
G	A _{IN4} ⁻	A _{IN4} ⁺	GND	GND	GND	GND	DCOA ⁺	DCOA ⁻	OV _{DD}	OV _{DD}
H	A _{IN5} ⁺	A _{IN5} ⁻	GND	GND	GND	GND	FRA ⁻	FRA ⁺	GND	GND
J	GND	GND	V _{CM56}	GND	GND	GND	O5A ⁺	O5A ⁻	FRB ⁻	FRB ⁺
K	A _{IN6} ⁺	A _{IN6} ⁻	V _{DD}	V _{DD}	GND	GND	O5B ⁺	O5B ⁻	O6A ⁻	O6A ⁺
L	GND	GND	V _{DD}	V _{DD}	$\overline{\text{CSA}}$	SCK	O7A ⁺	O8A ⁻	O6B ⁻	O6B ⁺
M	A _{IN7} ⁺	A _{IN7} ⁻	GND	GND	$\overline{\text{CSB}}$	SDI	O7A ⁻	O8A ⁺	O8B ⁺	O8B ⁻
N	A _{IN8} ⁺	A _{IN8} ⁻	V _{CM78}	GND	GND	GND	GND	O7B ⁺	GND	GND
P	GND	GND	GND	GND	CLK ⁺	CLK ⁻	GND	O7B ⁻	GND	GND

Top View of BGA Package (Looking Through Component).

功能方框图

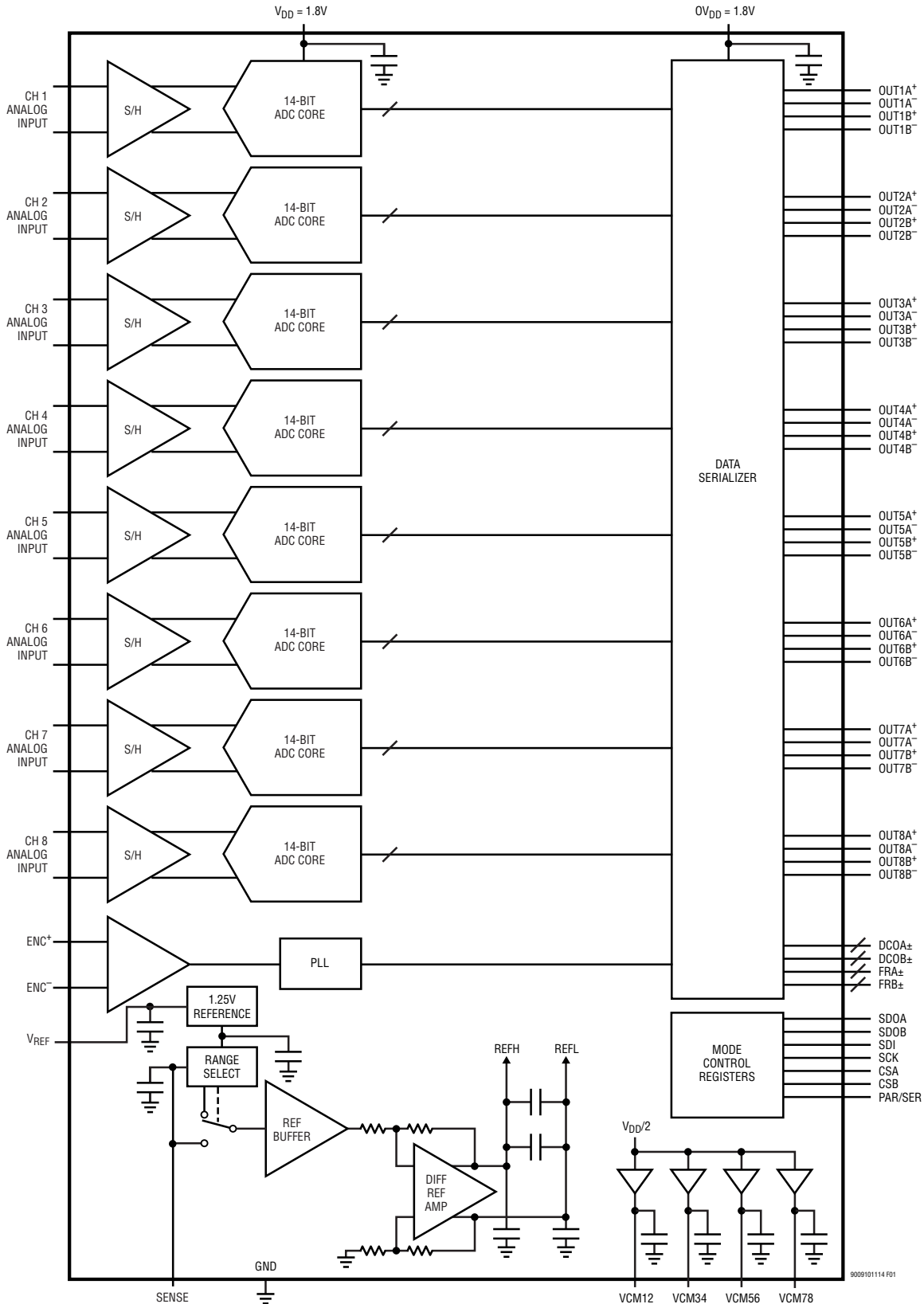


图 1 : 功能方框图

应用信息

转换器工作

LTM9011-14/LTM9010-14/LTM9009-14 是低功率、8 通道、14 位、125Msps/105Msps/80Msps A/D 转换器，由单 1.8V 电源供电。必须对模拟输入进行差分驱动。可以对编码输入进行差分驱动（以实现最优的抖动性能）或单端驱动（以实现较低的功耗）。数字输出为串行 LVDS，旨在最大限度地减少数据线的数目。每个通道一次输出两个位（“双车道”模式）。在较低采样速率条件下提供了每通道一次输出一个位的选项（“单车道”模式）。通过利用一个串行 SPI 端口设置模式控制寄存器，还可以选择许多其他的功能。

模拟输入

模拟输入是差分 CMOS 采样及保持电路（图 2）。应以一个由适合的 V_{CM} 输出引脚设定的共模电压（标称值为 $V_{DD}/2$ ）对输入进行差分驱动。对于 2V 输入范围，输入应在 $V_{CM} - 0.5V$ 至 $V_{CM} + 0.5V$ 之间摆动。输入之间应存在 180° 的相位差。

利用一个共用编码电路对 8 个通道同时进行采样（图 2）。

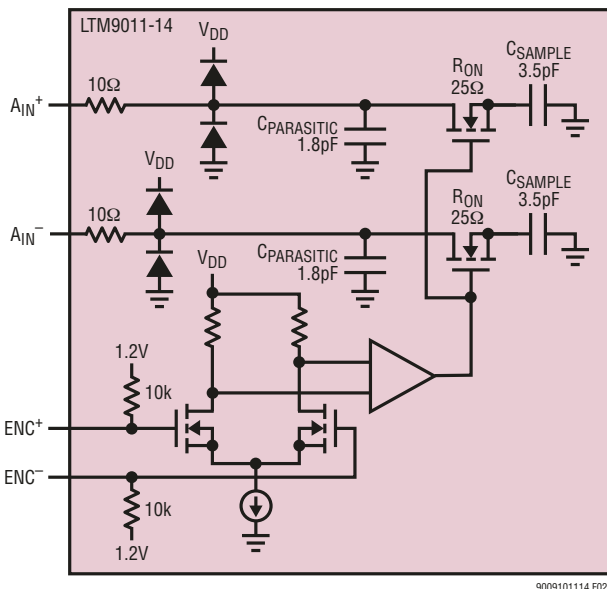


图 2：等效输入电路。只示出了 8 个模拟通道之一。

输入驱动电路

输入滤波

如果可能的话，应在模拟输入端上直接布设一个 RC 低通滤波器。该低通滤波器将驱动电路与 A/D 采样及保持开关隔离开来，而且还可遏止宽带噪声对驱动电路产生干扰。图 3 示出了输入 RC 滤波器的实例。RC 组件的参数值应根据应用电路的输入频率来选择。

变压器耦合电路

图 3 示出了由一个带中心抽头副端绕组的 RF 变压器驱动的模拟输入。由 V_{CM} 对中心抽头施加偏置，并将 A/D 输入设定于其最佳的 DC 电平。在较高的输入频率下，传输线平衡 - 不平衡变压器（图 4 至图 6）具有更好的平衡特性，可降低 A/D 失真。

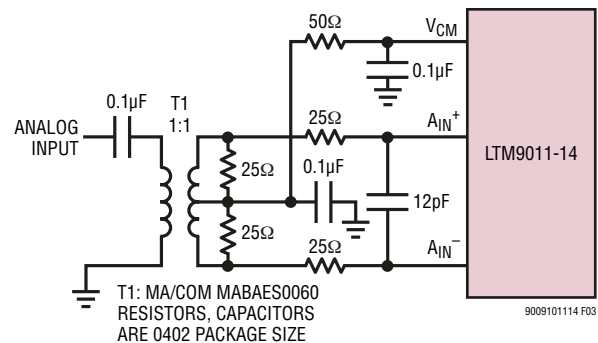


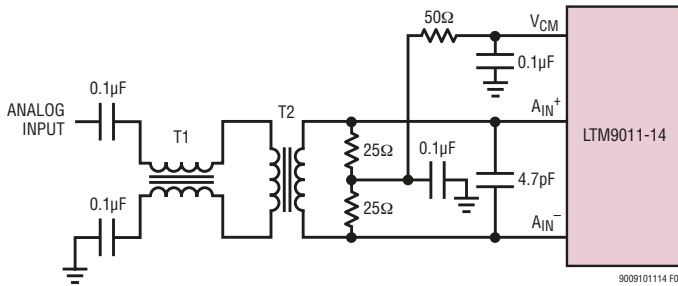
图 3：采用一个变压器的模拟输入电路。
推荐用于 5MHz 至 70MHz 的输入频率。

应用信息

放大器电路

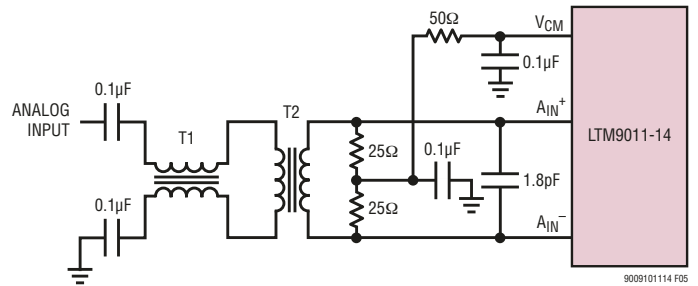
图 7 示出了由一个高速差分放大器驱动的模拟输入。放大器的输出被 AC 耦合至 A/D，因而可对放大器的输出共模电压进行最优设定，以尽量降低失真。DC 耦合实例请见末页。

在非常高的频率下，RF 增益部件的失真常常将比差分放大器的小。如果增益部件为单端型，则一个变压器电路 (图 4 至图 6) 应在驱动 A/D 之前把信号转换为差分型。



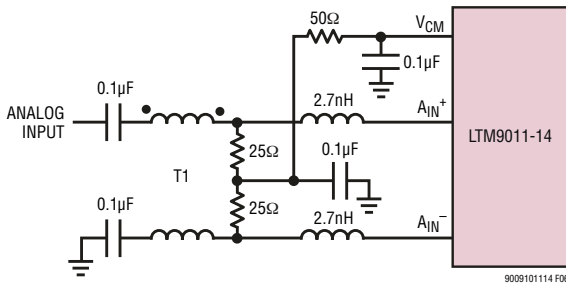
T1: MA/COM MABA-007159-000000
T2: MA/COM MABAE0060
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

图 4：针对 70MHz 至 170MHz 输入频率的推荐前端电路



T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1LB
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

图 5：针对 170MHz 至 300MHz 输入频率的推荐前端电路



T1: MA/COM ETC1-1-13
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

图 6：针对高于 300MHz 输入频率的推荐前端电路

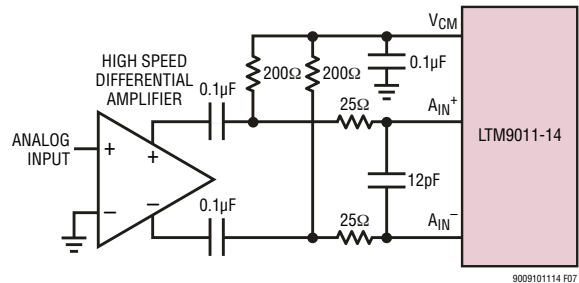


图 7：采用一个高速差分放大器的前端电路

应用信息

基准

LTM9011-14/LTM9010-14/LTM9009-14 具有一个内部 1.25V 电压基准。对于一个采用内部基准的 2V 输入范围，将 SENSE 连接至 V_{DD} 。对于一个采用内部基准的 1V 输入范围，则把 SENSE 连接至地。而对于一个采用外部基准的 2V 输入范围，则将一个 1.25V 基准电压施加至 SENSE (图 9)。

可以通过将一个介于 0.625V 和 1.30V 之间的电压施加至 SENSE 引脚来调节输入范围。于是，输入范围将为 $1.6 \cdot V_{SENSE}$ 。基准被所有 8 个 ADC 通道所共用，因而无法单独调节个别通道的输入范围。

V_{REF} 、SENSE、REFH 和 REFL 引脚在内部进行旁路，如图 8 所示。

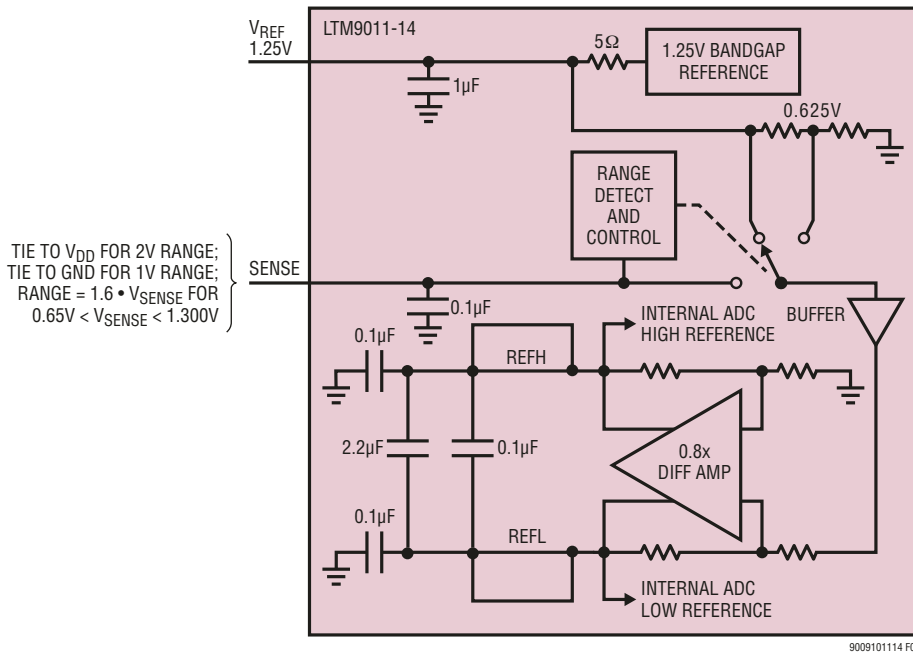


图 8：基准电路

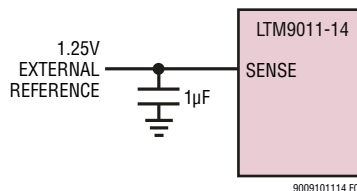


图 9：采用一个外部 1.25V 基准

应用信息

编码输入

编码输入的信号质量强烈地影响着 A/D 噪声性能。编码输入应被视作模拟信号——其布线不要邻近电路板上的数字信号走线。编码输入有两种操作模式：差分编码模式 (图 10) 和单端编码模式 (图 11)。

对于正弦、PECL 或 LVDS 编码输入，推荐使用差分编码模式 (图 12 和图 13)。通过 10k 等效电阻在内部给编码输入施加 1.2V 偏压。编码输入可被拉至高于 V_{DD} (最高可至 3.6V)，共模范围为 1.1V 至 1.6V。在差分编码模式中，

ENC^- 应至少比地电位高出 200mV，以避免错误地触发单端编码模式。为了获得优良的抖动性能， ENC^+ 应具有快速上升和下降时间。

单端编码输入模式应与 CMOS 编码输入配合使用。如欲选择该模式，则把 ENC^- 连接至地，并利用一个方波编码输入驱动 ENC^+ 。 ENC^+ 可被拉至高于 V_{DD} (最高可至 3.6V)，因而可以使用 1.8V 至 3.3V CMOS 逻辑电平。 ENC^+ 门限为 0.9V。为了实现优良的抖动性能， ENC^+ 应具有快速上升和下降时间。

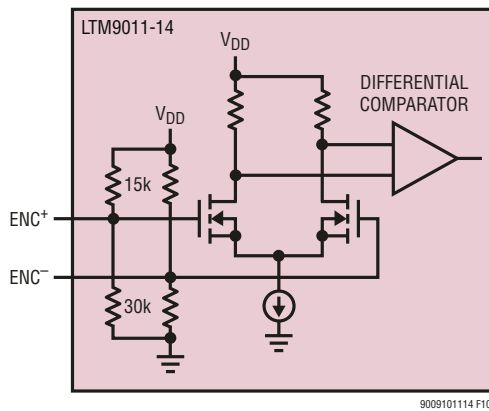


图 10：用于差分编码模式的等效编码输入电路

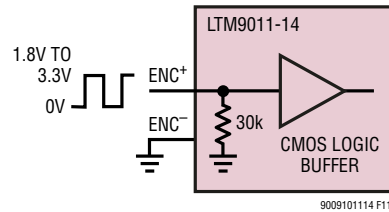
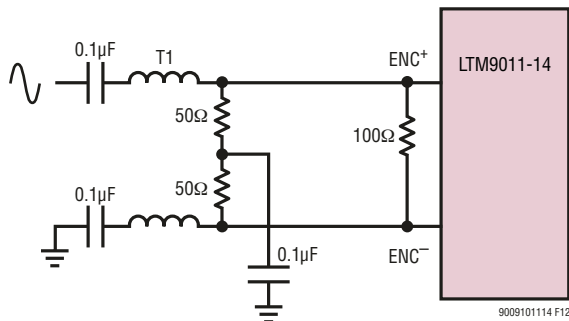


图 11：用于单端编码模式的等效编码输入电路



T1 = MA/COM ETC1-1-13
RESISTORS AND CAPACITORS
ARE 0402 PACKAGE SIZE

图 12：正弦编码驱动

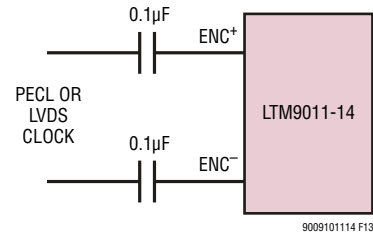


图 13：PECL 或 LVDS 编码驱动

应用信息

时钟 PLL 和 占空比稳定器

编码时钟由一个内部锁相环 (PLL) 进行倍频，以产生串行数字输出数据。如果编码信号改变频率或被关断，则 PLL 需要 25 μ s 的时间以锁定至输入时钟。

一个时钟占空比稳定器电路允许施加编码信号的占空比在 30% 至 70% 之间变化。在串行编程模式中，虽然可以停用占空比稳定器，但建议不要这么做。在并行编程模式中，占空比稳定器始终被使能。

数字输出

LTM9011-14/LTM9010-14/LTM9009-14 的数字输出是串行化 LVDS 信号。每个通道一次输出两个位 (“双车道”模式)。在较低采样速率条件下提供了每通道一次输出一个位的选项 (“单车道”模式)。数据可采用 16、14 或 12 位串行化进行串行处理 (详见 “时序图” 部分)。请注意，采用

12 位串行化时两个 LSB 不可用 — 备有该模式旨在实现与这些器件的 12 位版本的兼容性。

输出数据应锁存在数据时钟输出 (DCO) 的上升和下降沿上。可采用一个数据帧输出 (FR) 决定来自一个新转换结果的数据的开始时点。在双车道、14 位串行化模式中，FR 输出的频率减半。

数据输出的最大串行数据速率为 1Gbps，因此 ADC 的最大采样速率将取决于串行化模式和 ADC 的速度等级 (见表 1)。所有串行化模式的最小采样速率均为 5Msps。

按照默认设置，输出为标准的 LVDS 电平：3.5mA 输出电流和一个 1.25V 输出共模电压。每对 LVDS 输出需要一个外部 100 Ω 差分终端电阻器。这些终端电阻器应布设尽可能靠近 LVDS 接收器的地方。

输出由 OV_{DD} 和 $OGND$ 供电 (OV_{DD} 和 $OGND$ 与 A/D 内核电源和地是隔离的)。

表 1：针对所有串行化模式的最大采样频率。请注意，这里给出的限值针对的是 LTM9011-14。针对较低速度等级的采样频率不能超过 105MHz (LTM9010-14) 或 80MHz (LTM9009-14)。

串行化模式		最大采样频率， f_S (MHz)	DCO 频率	FR 频率	串行数据速率
双车道	16 位串行化	125	$4 \cdot f_S$	f_S	$8 \cdot f_S$
双车道	14 位串行化	125	$3.5 \cdot f_S$	$0.5 \cdot f_S$	$7 \cdot f_S$
双车道	12 位串行化	125	$3 \cdot f_S$	f_S	$6 \cdot f_S$
单车道	16 位串行化	62.5	$8 \cdot f_S$	f_S	$16 \cdot f_S$
单车道	14 位串行化	71.4	$7 \cdot f_S$	f_S	$14 \cdot f_S$
单车道	12 位串行化	83.3	$6 \cdot f_S$	f_S	$12 \cdot f_S$

应用信息

可编程 LVDS 输出电流

默认的输出驱动器电流为 3.5mA。在串行编程模式中，该电流可利用控制寄存器 A2 进行调节。可提供的电流水平为 1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mA 和 4.5mA。在并行编程模式中，SCK 引脚可选择 3.5mA 或 1.75mA。

任选的 LVDS 驱动器内部终端

在大多数场合，只采用一个外部 100Ω 终端电阻器将可提供卓越的 LVDS 信号完整性。此外，一个任选的内部 100Ω 终端电阻器可通过对模式控制寄存器 A2 进行串行编程来使能。内部终端有助于吸收任何由接收器上不良终端所引起的反射。当内部终端被使能时，输出驱动器电流将倍增以保持相同的输出电压摆幅。在并行编程模式中，SDO 引脚负责使能内部终端。内部终端只应与 1.75mA、2.1mA 或 2.5mA LVDS 输出电流模式一起使用。

数据格式

表 2 说明了模拟输入电压与数字数据输出位之间的关系。按照默认设置，输出数据格式为偏移二进制。通过对模式控制寄存器 A1 进行串行编程，可以选择二进制补码格式。

表 2：输出代码与输入电压的关系

A _{IN} ⁺ - A _{IN} ⁻ (2V 范围)	D13-D0 (偏移二进制)	D13-D0 (二进制补码)
>1.000000V	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	00 0000 0000 0000	10 0000 0000 0000
<-1.000000V	00 0000 0000 0000	10 0000 0000 0000

数字输出随机函数发生器

来自 A/D 数字输出的干扰有时是不可避免的。数字干扰有可能来自电容性或电感性耦合，或者通过接地平面的耦合。即使是微小的耦合系数也会在 ADC 输出频谱中引起不希望有的音调。通过在数字输出被传送到芯片外之前对数字输出进行随机处理，即可实现此类无用音调的随机化，从而减小其幅度。

通过在 LSB 与其他所有数据输出位之间执行一种“异”逻辑运算，可对数字输出进行随机化处理。如需进行解码，则运用逆运算——在 LSB 与其他所有位之间执行一种“异”运算。FR 和 DCO 输出不受影响。输出随机函数发生器通过对模式控制寄存器 A1 进行串行编程来使能。

应用信息

数字输出测试模式

如欲对至 A/D 的数字接口进行线路内测试，可以采用一种将所有通道的 A/D 数据输出 (D13-D0) 强制为已知数值的测试模式。数字输出测试模式通过对模式控制寄存器 A3 和 A4 进行串行编程来使能。当被使能时，测试模式的优先级将高于所有其他的格式化模式：二进制补码和随机函数发生器。

输出停用

可以通过对模式控制寄存器 A2 进行串行编程来停用数字输出。用于所有数字输出 (包括 DCO 和 FR) 的电流驱动器均被停用，以节省功率或使能线路内测试。当被停用时，每对输出的共模变至高阻抗，但差分阻抗可以保持低水平。

睡眠和打盹模式

可以把 A/D 置于睡眠或打盹模式以节省功率。在睡眠模式中整个芯片被断电，从而实现了 2mW 的功耗。睡眠模式由模式控制寄存器 A1 (串行编程模式) 或 SDI (并行编程模式) 使能。从睡眠模式恢复所需的时间大约为 2ms。

在打盹模式中，可以对任意的 A/D 通道组合实施断电，同时内部基准电路与 PLL 则保持运行状态，从而实现快于从睡眠模式唤醒时的唤醒速度。从打盹模式的恢复需要至少 100 个时钟周期。如果应用需要非常准确的 DC 稳定，则应提供额外的 50 μ s 时间以使片内基准能够从轻微的温度漂移 (因电源电流在 A/D 脱离打盹模式时发生变化而引起) 实现稳定。在串行编程模式中，打盹模式由模式寄存器 A1 使能。

器件编程模式

LTM9011-14/LTM9010-14/LTM9009-14 的操作模式可以利用一个并行接口或一个简单的串行接口进行设置。串行接口具有更大的灵活性，并能设置所有的可用模式。并行接口的局限性较大，只能设置某些更加常用的模式。

并行编程模式

如需采用并行编程模式，则应将 $\overline{\text{PAR}}/\overline{\text{SER}}$ 连接至 V_{DD} 。 $\overline{\text{CS}}$ 、SCK、SDI 和 SDO 引脚是负责设定某些操作模式的二进制逻辑输入。这些引脚可以连接至 V_{DD} 或地，或者由 1.8V、2.5V 或 3.3V CMOS 逻辑电路驱动。当被用作一个输入时，SDO 应通过一个 1k 串联电阻器驱动。表 3 列出了利用 $\overline{\text{CS}}$ 、SCK、SDI 和 SDO 设定的模式。

表 3：并行编程模式控制位 ($\overline{\text{PAR}}/\overline{\text{SER}} = V_{\text{DD}}$)

引脚	描述
$\overline{\text{CS}}$	双通道/单通道选择位 0 = 双通道，16 位串行化输出模式 1 = 单通道，14 位串行化输出模式
SCK	LVDS 电流选择位 0 = 3.5mA LVDS 电流模式 1 = 1.75mA LVDS 电流模式
SDI	断电控制位 0 = 正常操作 1 = 睡眠模式
SDO	内部终端选择位 0 = 内部终端被停用 1 = 内部终端被使能

串行编程模式

如欲采用串行编程模式，则应把 $\overline{\text{PAR}}/\overline{\text{SER}}$ 连接至地。 $\overline{\text{CS}}$ 、SCK、SDI 和 SDO 引脚变成了一个用于设置 A/D 模式控制寄存器的串行接口。数据和一个 16 位串行字被写至一个寄存器。也可从一个寄存器读回数据以验证其内容。

串行数据传送在 $\overline{\text{CS}}$ 被拉至低电平时起。SDI 引脚上的数据被锁存于 SCK 的首 16 个上升沿。首 16 个上升沿之后的

应用信息

所有 SCK 上升沿均被忽略。当 \overline{CS} 被重新拉至高电平时，数据传送终止。

16 位输入字的第一个位是 R/\overline{W} 位。接下去的 7 个位是寄存器的地址位 (A6:A0)。最后 8 位则是寄存器数据位 (D7:D0)。

假如 R/\overline{W} 位为低电平，那么串行数据 (D7:D0) 将被写至由地址位 (A6:A0) 设定的寄存器。倘若 R/\overline{W} 位为高电

平，则位于由地址位 (A6:A0) 设定的寄存器中的数据将在 SDO 引脚上被读回 (见“时序图”部分)。在执行一个回读命令的过程中，寄存器不进行更新且 SDI 上的数据被忽略。

SDO 引脚是一个漏极开路输出，利用一个 200Ω 阻抗拉至地电位。如果寄存器数据通过 SDO 读回，则需要一个外部 2k 上拉电阻器。假如串行数据只被写入而不需读回，则 SDO 引脚可被浮置且无需上拉电阻器。表 4 说明了模式控制寄存器的映射。

表 4：串行编程模式寄存器映射 ($\overline{PAR}/\overline{SER} = \text{GND}$)

寄存器 A0：复位寄存器 (地址 00h)

D7	D6	D5	D4	D3	D2	D1	D0
复位	X	X	X	X	X	X	X

请注意：CSA 负责控制通道 1、4、5 和 8，而 \overline{CSB} 负责控制通道 2、3、6 和 7。

- 第 7 位 **复位** 软件复位位
 0 = 未使用
 1 = 软件复位。所有的模式控制寄存器均被复位至 00h。ADC 被短暂地置于睡眠 (SLEEP) 模式。
 D7 位在复位 SPI 写命令执行完毕时将被自动重新设定为 0。复位寄存器为“只写”型。
- 第 6-0 位 未用，无关位。

寄存器 A1 (CSA)：格式和断电寄存器 (地址 01h 和 $\overline{CSA} = \text{GND}$)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_8	NAP_5	NAP_4	NAP_1

请注意：CSA 负责控制通道 1、4、5 和 8，而 \overline{CSB} 负责控制通道 2、3、6 和 7。

- 第 7 位 **DCSOFF** 时钟占空比稳定器位
 0 = 时钟占空比稳定器接通
 1 = 时钟占空比稳定器关断。建议不要这么做。
- 第 6 位 **RAND** 数据输出随机函数发生器模式控制位
 0 = 数据输出随机函数发生器模式关断
 1 = 数据输出随机函数发生器模式接通
- 第 5 位 **TWOSCOMP** 二进制补码模式控制位
 0 = 偏移二进制数据格式
 1 = 二进制补码数据格式
- 第 4-0 位 **SLEEP: NAP_X** 睡眠/打盹模式控制位
 00000 = 正常操作
 0XXX1 = 通道 1 处于打盹模式
 0XX1X = 通道 4 处于打盹模式
 0X1XX = 通道 5 处于打盹模式
 01XXX = 通道 8 处于打盹模式
 1XXXX = 睡眠模式。通道 1、4、5 和 8 被停用
 注：可以将任意通道组合置于打盹模式。

应用信息

寄存器 A1 (CSB) : 格式和断电寄存器 (地址 01h 和 $\overline{\text{CSB}} = \text{GND}$)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_7	NAP_6	NAP_3	NAP_2

请注意：CSA 负责控制通道 1、4、5 和 8，而 CSB 负责控制通道 2、3、6 和 7。

- 第 7 位 **DCSOFF** 时钟占空比稳定器位
0 = 时钟占空比稳定器接通
1 = 时钟占空比稳定器关断。建议不要这么做。
- 第 6 位 **RAND** 数据输出随机函数发生器模式控制位
0 = 数据输出随机函数发生器模式关断
1 = 数据输出随机函数发生器模式接通
- 第 5 位 **TWOSCOMP** 二进制补码模式控制位
0 = 偏移二进制数据格式
1 = 二进制补码数据格式
- 第 4-0 位 **SLEEP: NAP_4:NAP_1** 睡眠/打盹模式控制位
00000 = 正常操作
0XXX1 = 通道 2 处于打盹模式
0XX1X = 通道 3 处于打盹模式
0X1XX = 通道 6 处于打盹模式
01XXX = 通道 7 处于打盹模式
1XXXX = 睡眠模式。通道 2、3、6 和 7 被停用
注：可以将任意通道组合置于打盹模式。

寄存器 A2 : 输出模式寄存器 (地址 02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0

请注意：CSA 负责控制通道 1、4、5 和 8，而 CSB 负责控制通道 2、3、6 和 7。

- 第 7-5 位 **ILVDS2:ILVDS0** LVDS 输出电流位
000 = 3.5mA LVDS 输出驱动器电流
001 = 4.0mA LVDS 输出驱动器电流
010 = 4.5mA LVDS 输出驱动器电流
011 = 未使用
100 = 3.0mA LVDS 输出驱动器电流
101 = 2.5mA LVDS 输出驱动器电流
110 = 2.1mA LVDS 输出驱动器电流
111 = 1.75mA LVDS 输出驱动器电流
- 第 4 位 **TERMON** LVDS 内部终端位
0 = 内部终端关断
1 = 内部终端接通。LVDS 输出驱动器电流是由 ILVDS2:ILVDS0 设定的电流的 2 倍。内部终端应只与 1.75mA、2.1mA 或 2.5mA LVDS 输出电流模式一起使用。
- 第 3 位 **OUTOFF** 输出停用位
0 = 数字输出被使能。
1 = 数字输出被停用。
- 第 2-0 位 **OUTMODE2:OUTMODE0** 数字输出模式控制位
000 = 双车道，16 位串行化
001 = 双车道，14 位串行化
010 = 双车道，12 位串行化
011 = 未使用
100 = 未使用
101 = 单车道，14 位串行化
110 = 单车道，12 位串行化
111 = 单车道，16 位串行化

应用信息

寄存器 A3：测试模式 MSB 寄存器 (地址 03h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8

请注意：CSA 负责控制通道 1、4、5 和 8，而 CSB 负责控制通道 2、3、6 和 7。

第 7 位 **OUTTEST** 数字输出测试模式控制位
0 = 数字输出测试模式关断
1 = 数字输出测试模式接通

第 6 位 未用，无关位。

第 5-0 位 **TP13:TP8** 测试模式数据位 (MSB)
TP13:TP8 负责设定用于数据位 13 (MSB) 至数据位 8 的测试模式。

寄存器 A4：测试模式 LSB 寄存器 (地址 04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0

请注意：CSA 负责控制通道 1、4、5 和 8，而 CSB 负责控制通道 2、3、6 和 7。

第 7-0 位 **TP7:TP0** 测试模式数据位 (LSB)
TP7:TP0 负责设定用于数据位 7 至数据位 0 (LSB) 的测试模式。

软件复位

如果采用串行编程，则应在电源接通并实现稳定之后尽快地对模式控制寄存器进行编程。第一个串行命令必须是软件复位，它将把所有的寄存器数据位复位至 0。如需执行软件复位，则应把复位寄存器中的 D7 位写为一个逻辑“1”。在复位 SPI 写命令执行完毕之后，D7 位将被自动重新设定为 0。

接地和旁路

LTM9011-14/LTM9010-14/LTM9009-14 需要一个具有干净完整接地平面的印刷电路板。建议采用一个在 ADC 下方的第一层电路板中布设有一个内部接地平面的多层电路板。印刷电路板的布局应确保数字和模拟信号线尽可能地彼此分开。特别地，应谨慎地避免沿著模拟信号迹线或在 ADC 的下方排布数字信号迹线。

旁路电容器集成在封装的内部；可任选增加电容。

模拟输入、编码信号和数字输出的布线不得彼此相邻。应采用接地填充物和接地过孔作为势垒把这些信号相互隔离开来。

LTM9011-14/LTM9010-14/LTM9009-14 的引脚配置可实现一种直通式布局，因而在需要大量 ADC 通道时可以在一个小面积内使用多个器件。LTM9011 模块的布局规则与其他的 BGA 封装很相似。布局可采用 6mil 盲孔和 5mil 走线来实现。引出脚配置专为尽量减少模拟与数字走线排布所需的空间而设计。模拟和数字走线基本上可以在封装的宽度之内布设。这允许将多个封装紧挨在一起放置，从而满足高通数应用的需要。模拟输入与数字输出走线长度的匹配应尽可能地保持良好。

应用信息

表 5 罗列了封装内部模拟输入和数字输出走线的长度 (从芯片焊盘至封装焊盘)。这些应加入 PCB 走线长度以实现最佳的匹配。

用于衬底的材料为 BT (双马来-亚胺三), 由日本三菱瓦斯化学株式会社 (Mitsubishi Gas and Chemical) 提供。在 DC 至 125MHz 的频率范围内, 模拟输入信号的速度为 198ps/英寸 (即 7.795ps/mm)。数字输出的速度为 188.5ps/英寸 (即 7.417ps/mm)。

表 5 : 内部走线长度

引脚	名称	长度 (mm)
E7	01A ⁻	1.775
E8	01A ⁺	1.947
C8	01B ⁻	1.847
D8	01B ⁺	1.850
B8	02A ⁻	3.233
A8	02A ⁺	3.246
D7	02B ⁻	0.179
C7	02B ⁺	1.127
D10	03A ⁻	2.126
D9	03A ⁺	2.177
E10	03B ⁻	1.811
E9	03B ⁺	1.812
C9	04A ⁻	3.199
C10	04A ⁺	3.196
F7	04B ⁻	0.706
F8	04B ⁺	0.639
J8	05A ⁻	0.392
J7	05A ⁺	0.436

引脚	名称	长度 (mm)
K8	05B ⁻	0.379
K7	05B ⁺	0.528
K9	06A ⁻	1.866
K10	06A ⁺	1.865
L9	06B ⁻	2.268
L10	06B ⁺	2.267
M7	07A ⁻	1.089
L7	07A ⁺	0.179
P8	07B ⁻	3.281
N8	07B ⁺	3.149
L8	08A ⁻	1.862
M8	08A ⁺	1.847
M10	08B ⁻	4.021
M9	08B ⁺	4.016
B1	A _{IN1} ⁻	4.689
B2	A _{IN1} ⁺	4.709
C1	A _{IN2} ⁻	4.724
C2	A _{IN2} ⁺	4.769

热传导

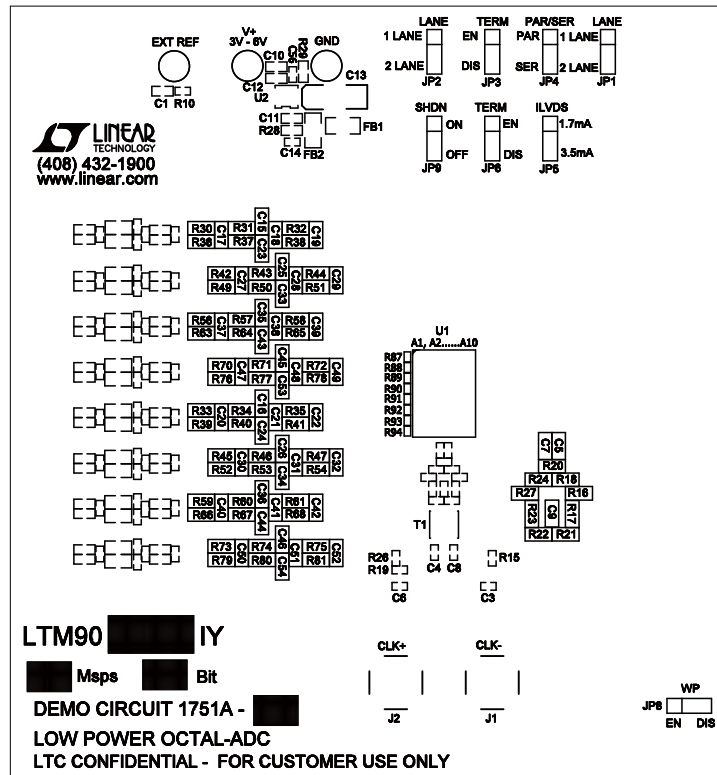
LTM9011-14/LTM9010-14/LTM9009-14 所产生的大部分热量都通过封装的底部从芯片传递至印刷电路板上。接地引脚应通过多个过孔连接至内部接地平面。

引脚	名称	长度 (mm)
E1	A _{IN3} ⁻	2.491
E2	A _{IN3} ⁺	2.505
G1	A _{IN4} ⁻	3.376
G2	A _{IN4} ⁺	3.372
H2	A _{IN5} ⁻	3.301
H1	A _{IN5} ⁺	3.346
K2	A _{IN6} ⁻	2.506
K1	A _{IN6} ⁺	2.533
M2	A _{IN7} ⁻	3.198
M1	A _{IN7} ⁺	3.214
N2	A _{IN8} ⁻	4.726
N1	A _{IN8} ⁺	4.691
P6	CLK ⁻	4.106
P5	CLK ⁺	4.106
L5	C _{SA}	0.919
M5	C _{SB}	1.162
G8	DCOA ⁻	1.157
G7	DCOA ⁺	1.088

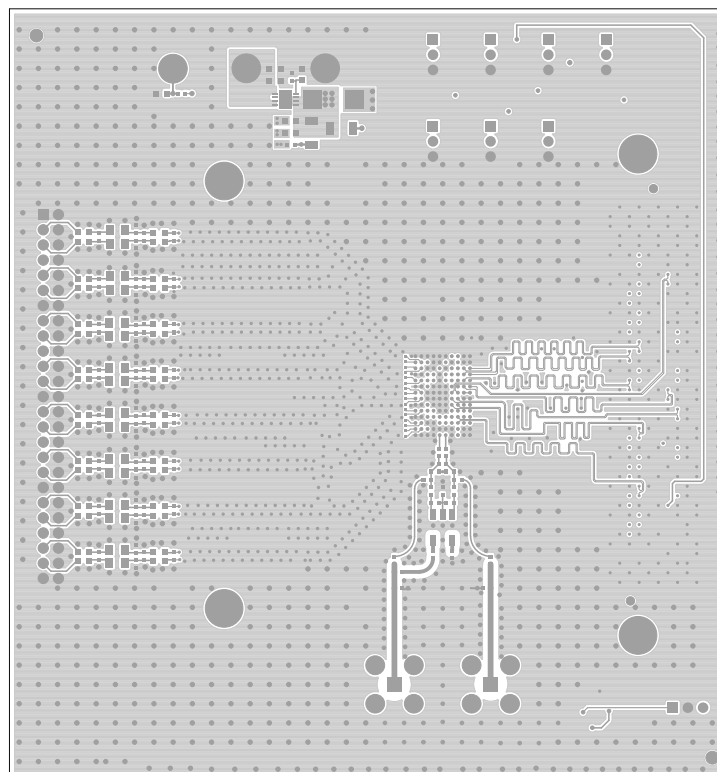
引脚	名称	长度 (mm)
F10	DCOB ⁻	1.811
F9	DCOB ⁺	1.812
H7	FRA ⁻	1.1172
H8	FRA ⁺	1.038
J9	FRB ⁻	1.644
J10	FRB ⁺	1.643
A7	PAR/SER	3.838
L6	SCK	0.240
E6	SDOA	0.453
D6	SDOB	0.274
M6	SDI	1.069
B3	V _{CM12}	3.914
F3	V _{CM34}	0.123
J3	V _{CM56}	0.079
N3	V _{CM78}	3.915

典型应用

顶层丝印字符图

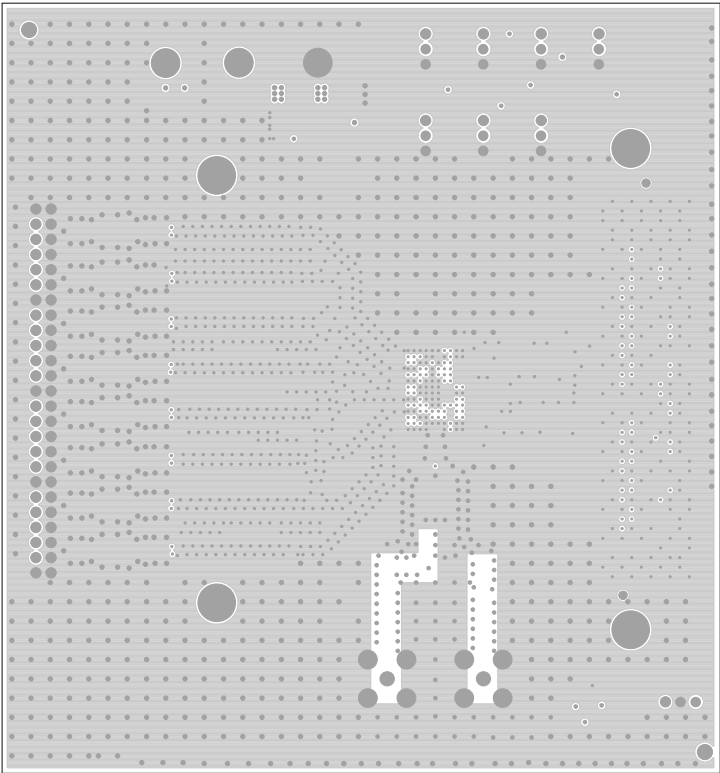


顶面

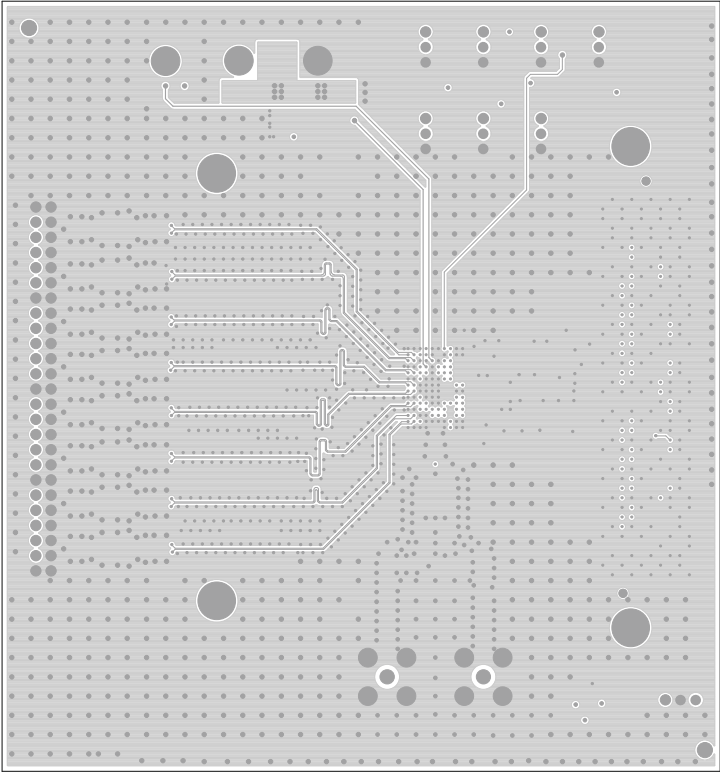


典型应用

第二内层

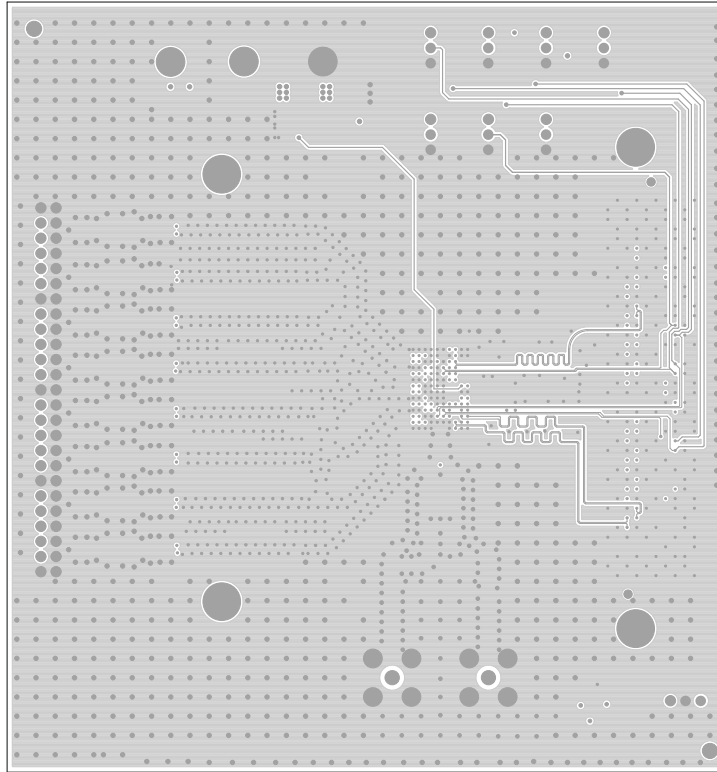


第三内层

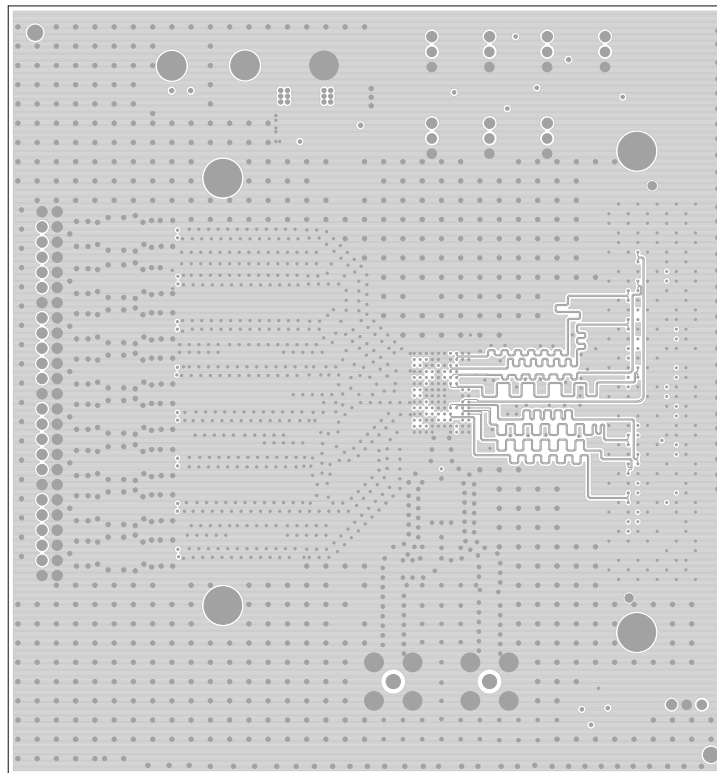


典型应用

第四内层

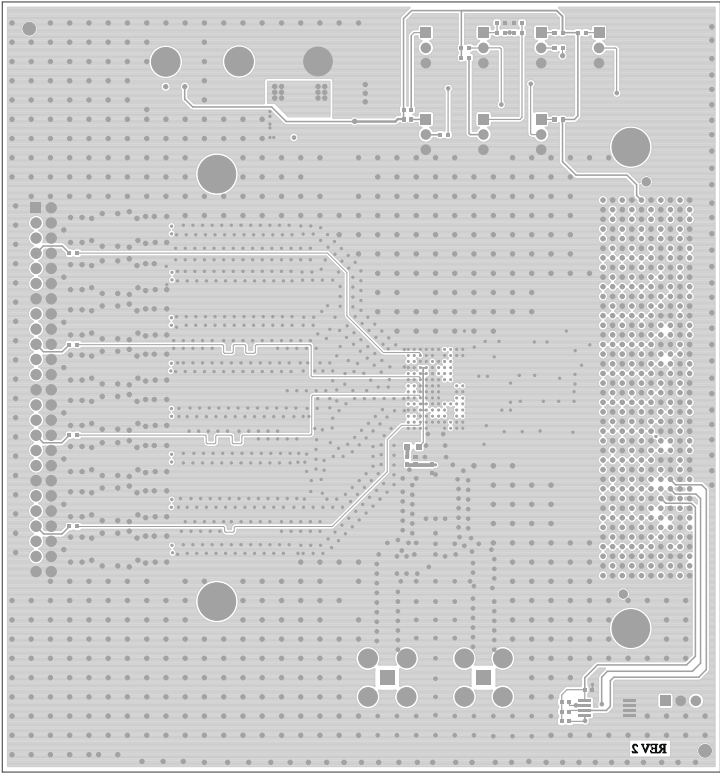


第五内层

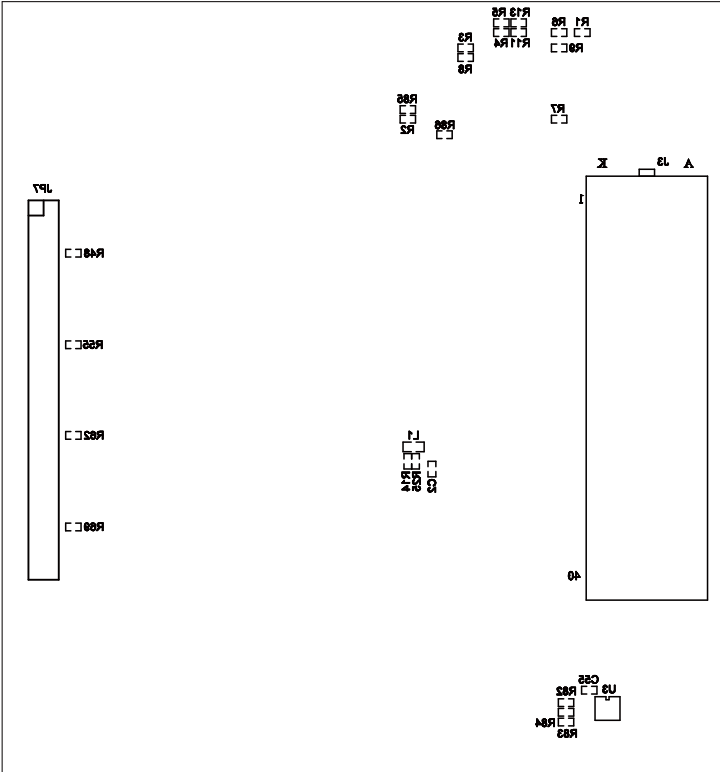


典型应用

底面

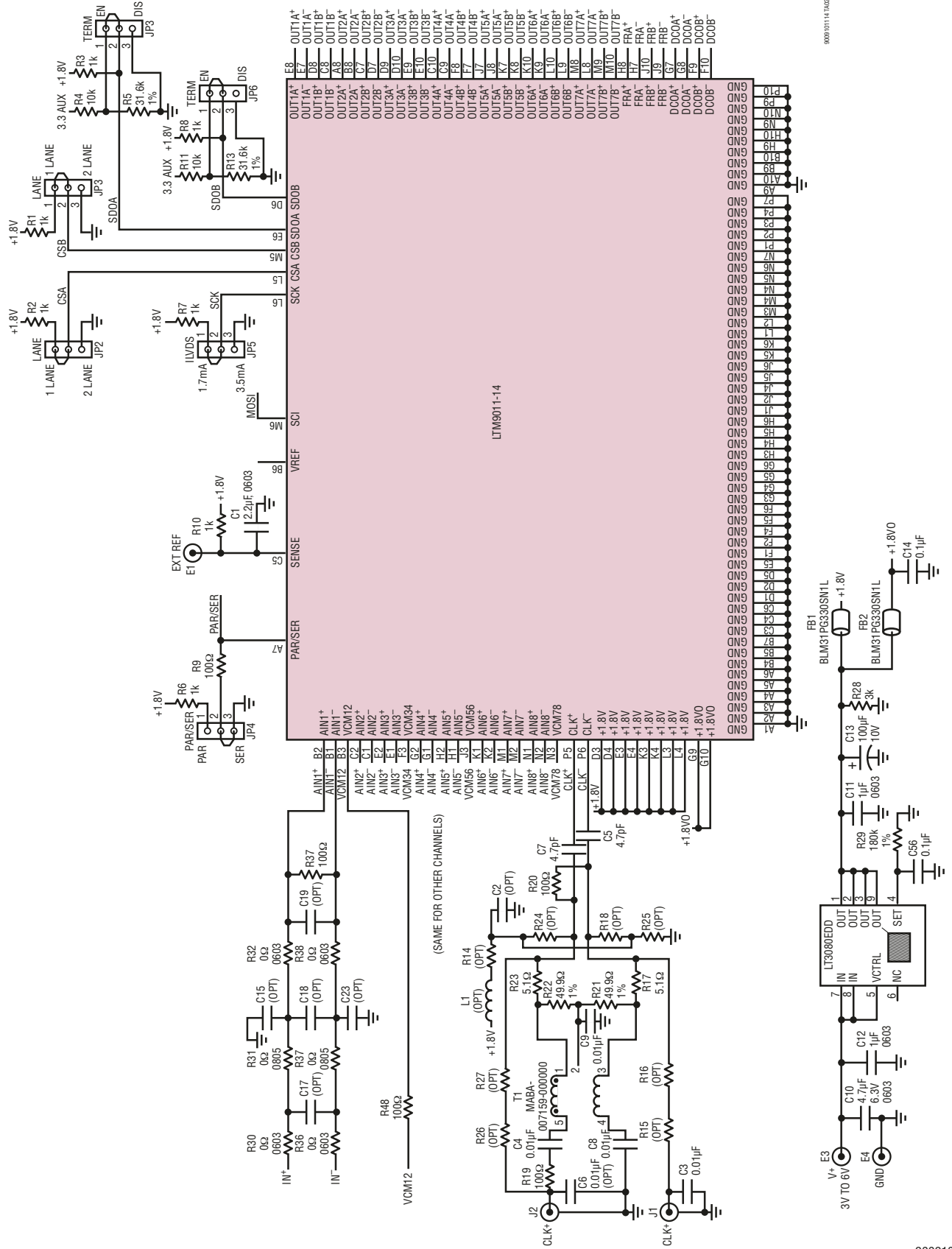


底层丝印字符图



典型应用

LTM9011-14 原理图



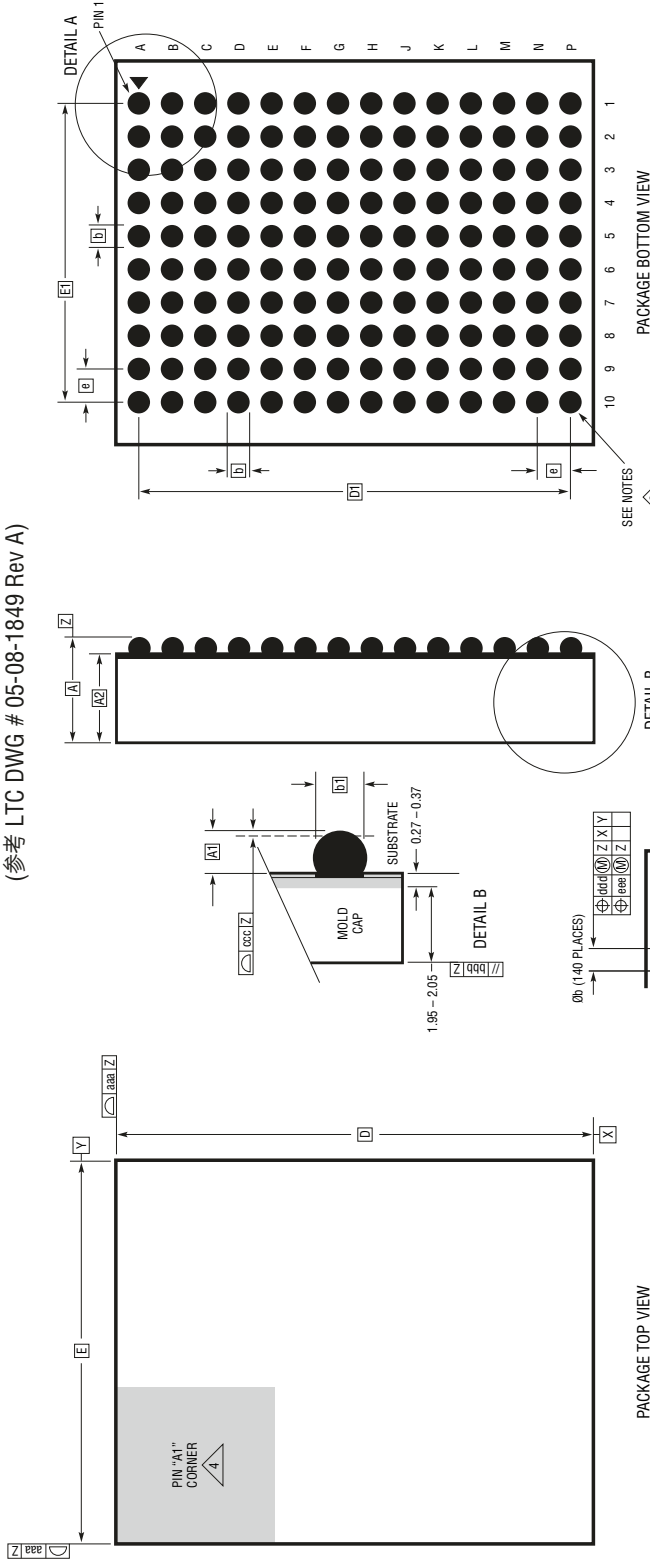
9009101114.002

LTM9011-14/ LTM9010-14/LTM9009-14

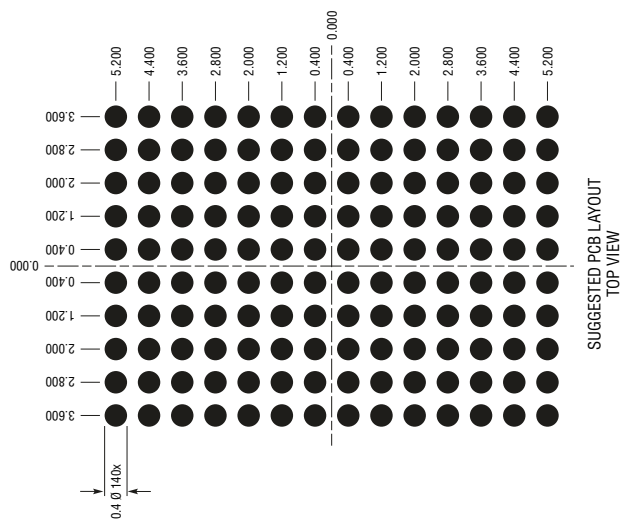
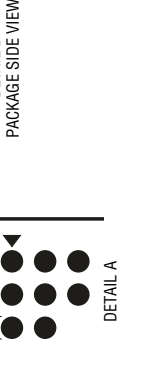
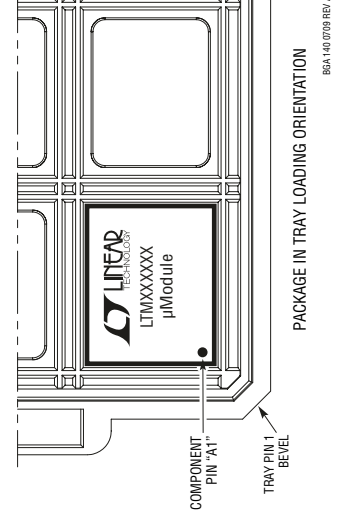
封装描述

如需了解最近的封装图样，请登录 <http://www.linear.com.cn/designtools/packaging/>。

BGA 封装
140 引脚 (11.25mm × 9.00mm × 2.72mm)
(参考 LTC DWG # 05-08-1849 Rev A)



- SEE NOTES
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. BALL DESIGNATION PER JEDEC MS-028 AND JEP95
 4. DETAILS OF PIN #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM - Z - IS SEATING PLANE

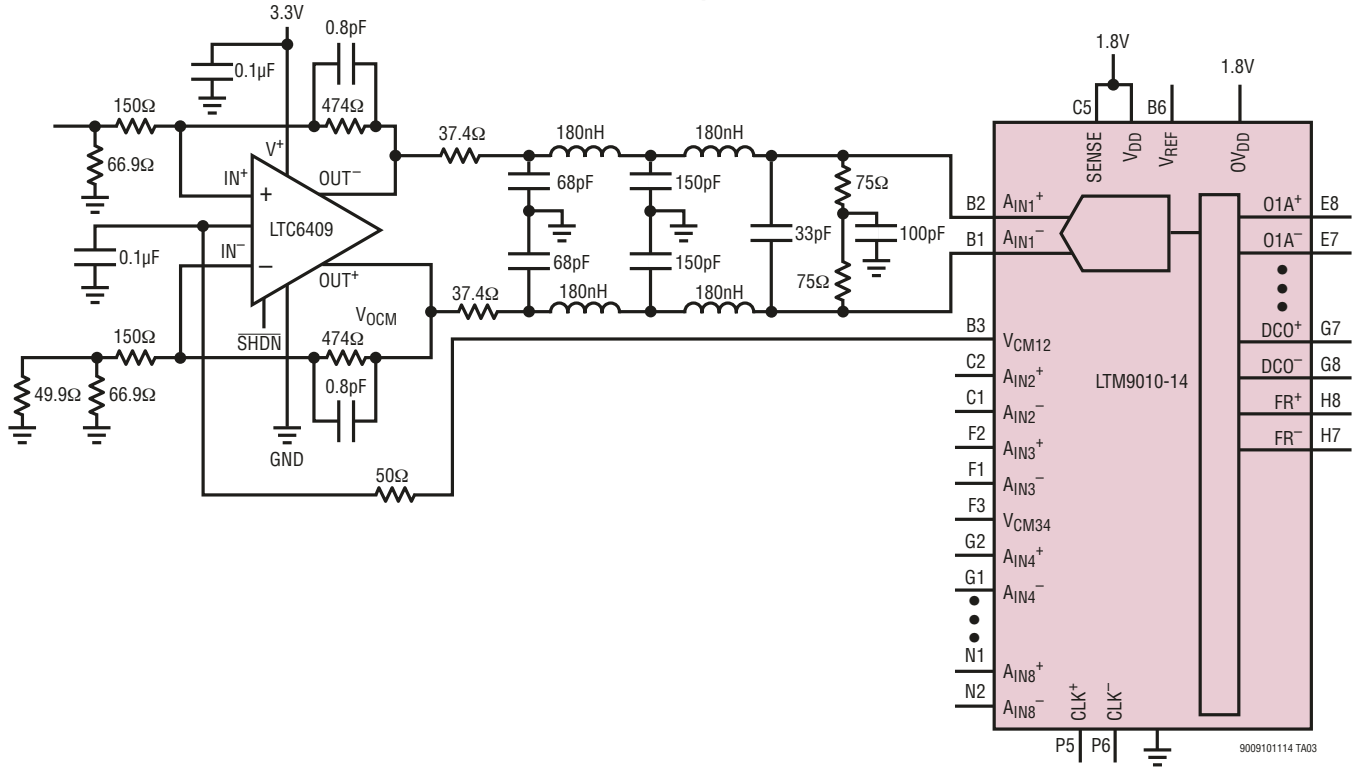


修改记录

修改	日期	描述	页码
A	9/11	更新了“功能方框图”	21

典型应用

采用 LTC6409 和 50MHz 低通滤波器的单端至差分转换 (仅示出一个通道)。
滤波器可在 92.16Mpsps 速率下使用



相关器件

器件型号	描述	备注
ADC		
LTC2170-14 / LTC2171-14 / LTC2172-14	14 位, 25Msps / 40Msps / 65Msps 1.8V 4 通道 ADC, 超低功率	178mW / 234mW / 360mW, 73.4dB SNR, 85dB SFDR, 串行 LVDS 输出, 7mm x 8mm QFN-52 封装
LTC2170-12 / LTC2171-12 / LTC2172-12	12 位, 25Msps / 40Msps / 65Msps 1.8V 4 通道 ADC, 超低功率	178mW / 234mW / 360mW, 70.5dB SNR, 85dB SFDR, 串行 LVDS 输出, 7mm x 8mm QFN-52 封装
LTC2173-12 / LTC2174-12 / LTC2175-12	12 位, 80Msps / 105Msps / 125Msps 1.8V 4 通道 ADC, 超低功率	412mW / 481mW / 567mW, 70.5dB SNR, 85dB SFDR, 串行 LVDS 输出, 7mm x 8mm QFN-52 封装
LTC2173-14 / LTC2174-14 / LTC2175-14	14 位, 80Msps / 105Msps / 125Msps 1.8V 4 通道 ADC, 超低功率	412mW / 481mW / 567mW, 73.4dB SNR, 85dB SFDR, 串行 LVDS 输出, 7mm x 8mm QFN-52 封装
放大器 / 滤波器		
LTC6412	800MHz, 31dB 范围, 模拟控制可变增益放大器	连续可调增益控制, 35dBm OIP3 (在 240MHz), 10dB 噪声指数, 4mm x 4mm QFN-24 封装
LTC6420-20	用于 300MHz IF 的 1.8GHz 双通道低噪声, 低失真差分 ADC 驱动器	固定增益 10V/V, 1nV/√Hz 总输入噪声, 每个放大器 80mA 电源电流, 3mm x 4mm QFN-20 封装
LTC6421-20	1.3GHz 双通道低噪声, 低失真差分 ADC 驱动器	固定增益 10V/V, 1nV/√Hz 总输入噪声, 每个放大器 40mA 电源电流, 3mm x 4mm QFN-20 封装
LTC6605-7 / LTC6605-10 / LTC6605-14	具 ADC 驱动器的双通道、匹配、7MHz / 10MHz / 14MHz 滤波器	具差分驱动器、引脚可编程增益的双通道、匹配、二阶低通滤波器, 6mm x 3mm DFN-22 封装
信号链路接收器		
LTM9002	14 位, 双通道 IF / 基带接收器子系统	集成型高速 ADC, 无源滤波器和固定增益差分放大器