

高速逻辑的处理

何时需要传输线路技术?

人们撰写了大量文章来阐述如何端接PCB走线特性阻抗以避免信号反射。教程MT-094提出了微带线和带状线传输线路的基本设计公式。但是，何时需用传输线技术尚未述清。

下面总结了一条成熟的适用性指导方针。

当PCB走线单向传输时延等于或大于施加信号上升/下降时间(以最快边沿为准)的一半时需端接传输线特性阻抗。

例如，在 $\epsilon_r = 4.0$ 介电质上2英寸微带线的延时约270 ps。严格贯彻上述规则，只要信号上升时间 $< \sim 500$ ps，终端就应当进行阻抗匹配。

更保守的规则是使用2英寸(PCB走线长度)/纳秒(上升/下降时间)规则。如果信号走线超过此走线长度/速度准则，则应端接匹配阻抗。

例如，如果高速逻辑上升/下降时间为5ns，PCB走线等于或大于10英寸(其中测量长度包括曲折线)，就应端接其特性阻抗。

作为当今现代系统基本特征的一个示例，图1所示为多个逻辑系列的典型上升/下降所需时间，其中包括+3.3 V电源运行的SHARC DSP。正如预料中的，上升/下降时间随负载电容变化。

在模拟域内，必须注意，运算放大器和其他电路也应同样适用这条2英寸/纳秒指导方针，以确定是否需要传输线路技术。例如，如果放大器必须输出最大频率 f_{\max} ，则等效上升时间 t_r 和这个 f_{\max} 相关。这个限制上升时间 t_r 可计算如下：

$$t_r = 0.35/f_{\max} \quad \text{等式 1}$$

然后将 t_r 乘以2英寸/纳秒来计算最大PCB走线长度。例如，最大频率100 MHz对应于3.5 ns的上升时间，所以载送此信号的7英寸或以上长度的走线应视为传输线。

- ◆ GaAs: 0.1ns
- ◆ ECL: 0.75ns
- ◆ ADI SHARC DSPs: 0.5 ns to 1 ns (Operating on +3.3V Supply)

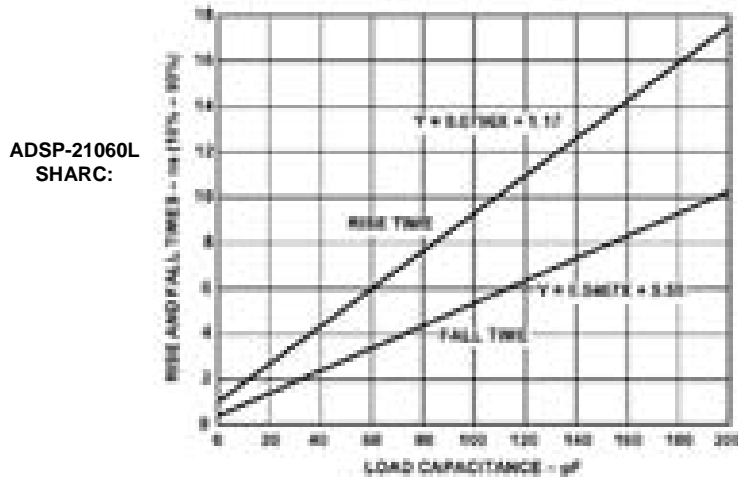


图1：典型DSP输出上升时间和下降时间

降低快速逻辑对模拟电路的影响

避免敏感模拟电路受到快速逻辑影响的最理想方式是通过PCB布局将两者物理分离，且不要使用速度超过系统要求的逻辑系列。在某些情况下，这可能要求在一个系统中使用数个逻辑系列。替代方案是使用串行电阻或铁氧体磁珠来降低不要求最高速度的逻辑转换。图2显示了两种方法。

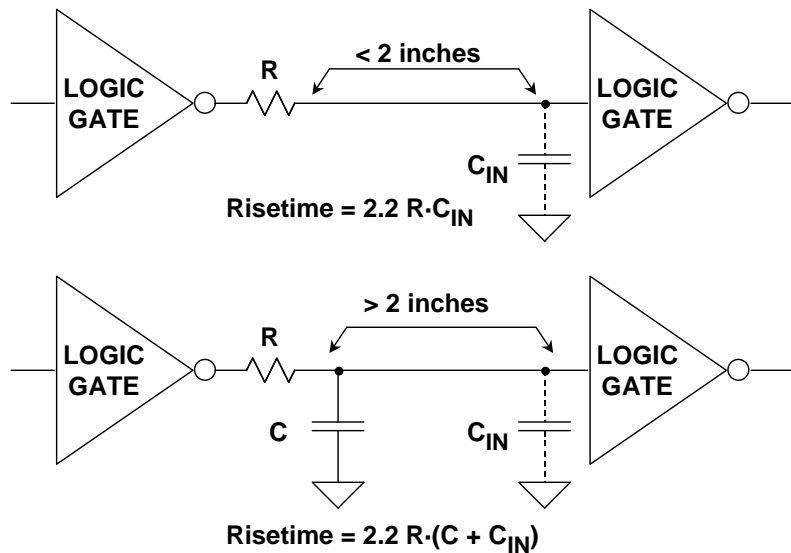


图2：阻尼电阻降低快速逻辑沿以尽量减少EMI/RFI问题

首先，串联的电阻和逻辑门的输入电容形成一个低通滤波器。典型CMOS输入电容为5 pF至10 pF。将串联电阻靠近驱动逻辑门放置。该电阻充分降低瞬态电流并可排除使用传输线路技术的必要性。选择阻值时应确保接收逻辑门电路的上升和下降时间速度足以恰好满足系统要求。而且，确保电阻不能太大，否则因为流过电阻的源电流和吸电流所引起的压降，接收器处的逻辑电平会超出规格。第二种方法适用于更长的距离(>2英寸)，其中添加额外电容以减慢边沿速度。注意，这类技术的任何一种均会增加延时和原始信号的上升/下降时间。这必须考虑到整体时序预算，且过量的延时可能无法接受。

图3所示为多个DSP必须接至一个点的情形，如使用读或写触发多个DSP的双向连接。图3A所示的小型阻尼电阻可充分降低振铃，但分离长度要小于约2英寸。这种方法也会增加上升/下降时间和传输时延。如果必须连接两组处理器，图3B所示在处理器对之间的一个电阻可用于衰减振铃。

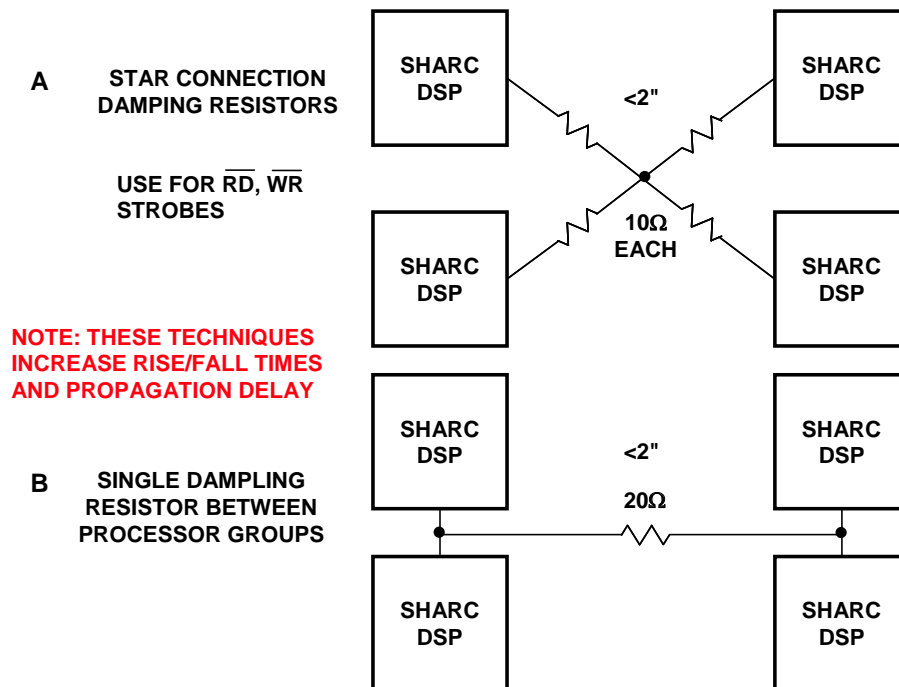


图3：高速DSP互连的串行阻尼电阻

终端和源的匹配

在大于约2英寸距离上保持1ns或更短上升/下降时间无振铃的唯一方法是使用传输线路技术。图4所示为两种流行的端接方法：终端阻抗匹配和源阻抗匹配。终端匹配方法(图4A)是在线缆终端接与微带线特性阻抗相等的阻抗。尽管可使用更高的阻抗，但50 Ω较流行，因为它充分降低端接栅极输入电容(通常5 pF至10 pF)所引起的端接阻抗不匹配的效应。

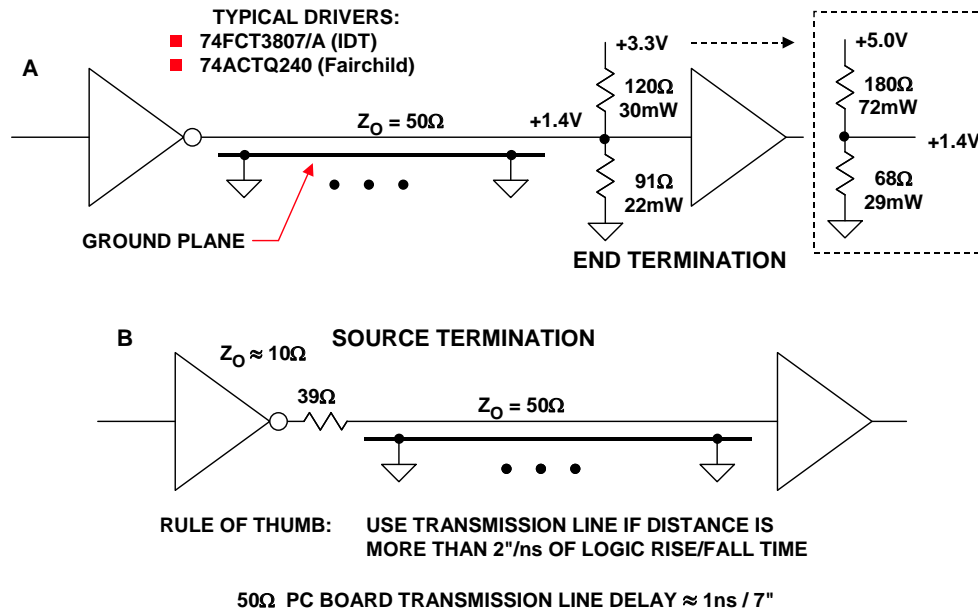


图4：受控阻抗微带线传输线路的端接技术

在图4A中，线缆在端接至+1.4 V的50 Ω戴维宁阻抗内端接(输入逻辑阈值中点为0.8 V和2.0 V)。这要求两个电阻(91 Ω和120 Ω)，从而将电路总静态功耗增加了约50 mW。图4A还显示使用+5 V电源端接的电阻值(68 Ω和180 Ω)。注意，3.3 V逻辑电压摆动对称、速度更快、功耗更低，远更适合线路驱动器应用。驱动器时间偏斜低于0.5 ns，源电流和吸电流能力大于25 mA，而上升/下降时间约1 ns。因为更低的信号摆幅和更低的瞬态电流，3.3 V逻辑所产生的切换噪声一般低于5 V逻辑。

图4B所示的源匹配方法使用源的阻抗等于传输线路的阻抗来吸收反射波形。这要求约39 Ω和驱动器的内部输出阻抗串联，后者一般为约10 Ω。这种技术要求开路端接传输线末端，因此不允许额外扇出。该源端接方法不会给电路增加额外的静态功耗。

高速时钟分配

图5显示一种在多个器件间分配高速时钟的方法。这种方案的问题在于因为微带线的传播延时(约1 ns /7"), 时钟之间存在小量时间偏斜。此时间偏斜可能在某些应用十分关键。重要的是保持到每个器件的分支线长度小于0.5", 以防止沿传输线上出现失配。

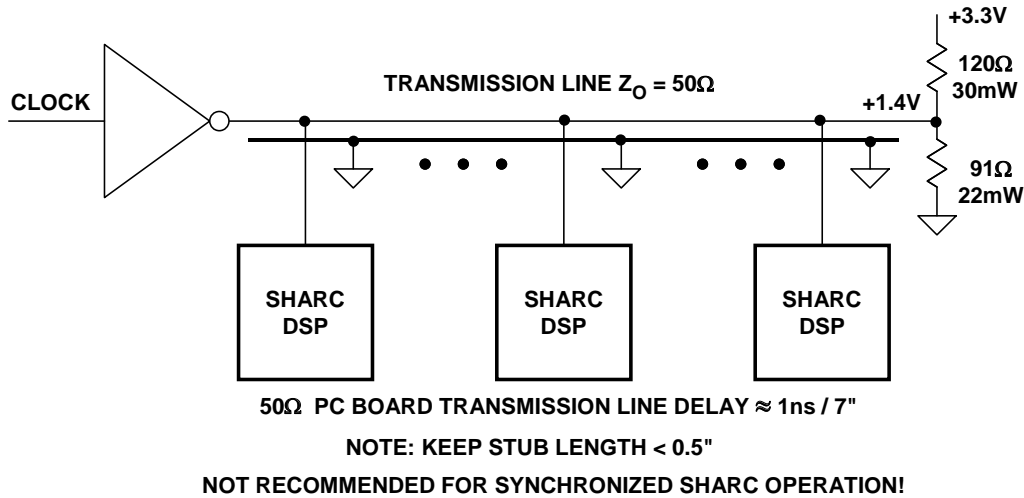


图5: 使用线端端接的时钟分配

图6所示的时钟分配方法通过使用源端接并确定每条微带线长度相同来充分降低至接收器件的时钟偏斜。如同使用端端接电阻的情况, 无任何额外静态功耗。

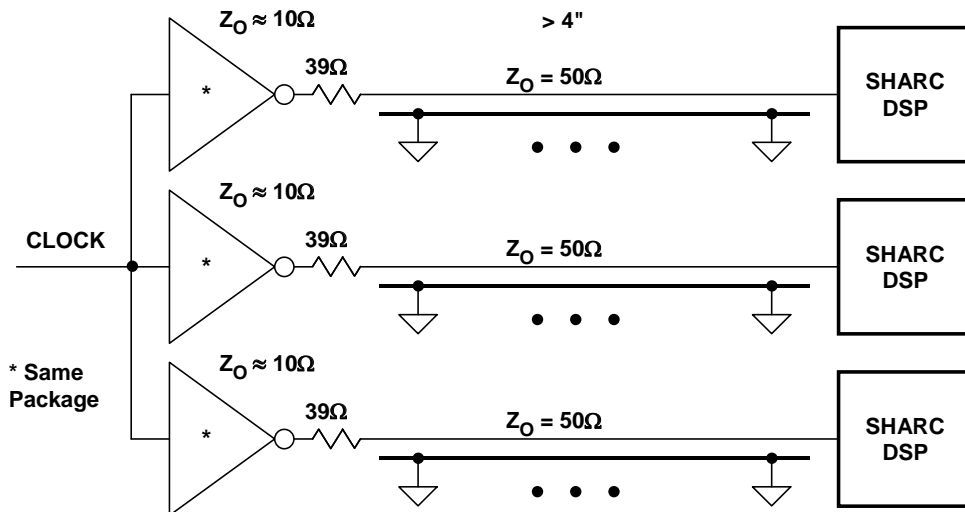


图6: 使用源端接传输线路的首选时钟分配方法

双向链路端接

图7显示如何可在SHARC DSP之间的双向链路端口传输中使用源匹配。SHARC驱动器的输出阻抗约为 $17\ \Omega$ ，因此在传输线路的每端都需要一个 $33\ \Omega$ 串联电阻以进行适当源端接。

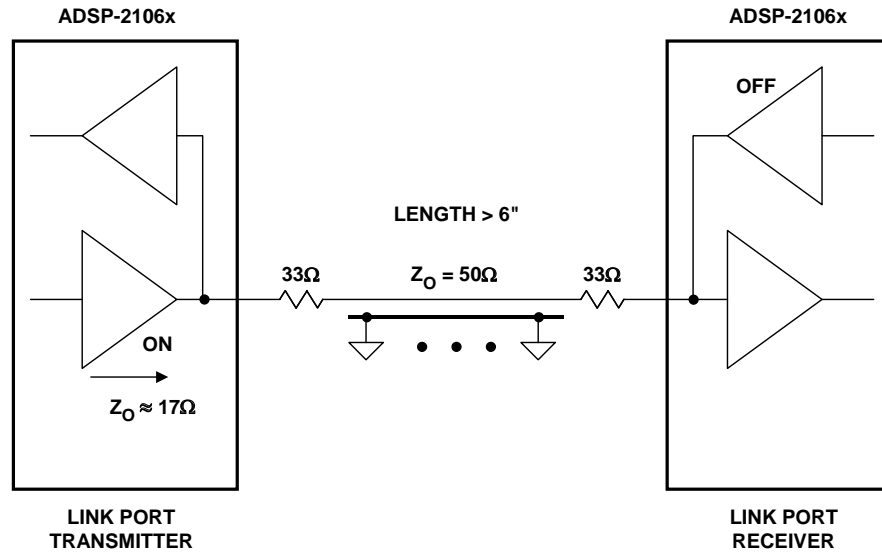


图7: SHARC DSP之间双向传输的源匹配

图8所示的方法可用于在一根相对较长传输线路上双向传输来自多个源的信号。在此情况下，该线路在两端端接，产生 $25\ \Omega$ 的直流负载阻抗。SHARC驱动器能够驱动此负载至有效逻辑电平。

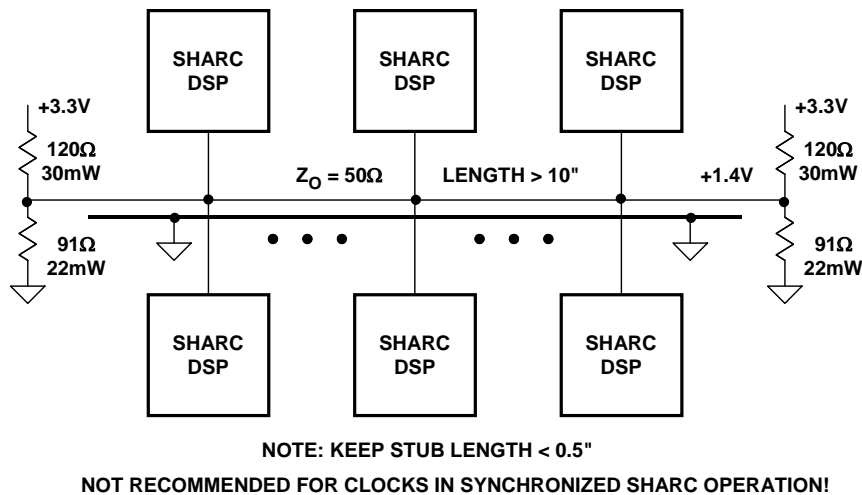


图8: 两端端接的单传输线路

发射极耦合逻辑(ECL)长期以低噪声，可以上升/下降时间低于2ns来驱动端接传输线路而著称。该系列向电源呈现恒定负载，而低电平差分输出提供高水平的共模抑制。但是，ECL功耗较大。

最近，低压差分信号(LVDS)逻辑因为类似的特性，但比ECL更低的幅度和功耗而获得广泛青睐。LVDS规格定义可参见参考文献1，而参考文献2和3应该也有帮助。LVDS逻辑一般是以+1.2 V共模电压为中心摆幅为350 mV峰峰值。典型驱动器和接收器配置如图9所示。该驱动器由一个标称3.5 mA电流源所组成，后者极性切换由PMOS和NMOS晶体管提供，如同AD9430 12位170 /210 MSPS ADC的情况。驱动器输出电压在每个输出端为标称350 mV峰峰值，并可在247 mV和454 mV之间变化。输出电流可在2.47 mA和4.54 mA之间变化。LVDS接收器以100 Ω线至线端接。根据LVDS规格，接收器必须在50 mV至+2.35 V的共模电压范围内响应小至100 mV的信号。宽共模接收器电压范围要适应驱动器和接收器之间高达±1 V的接地电压差。

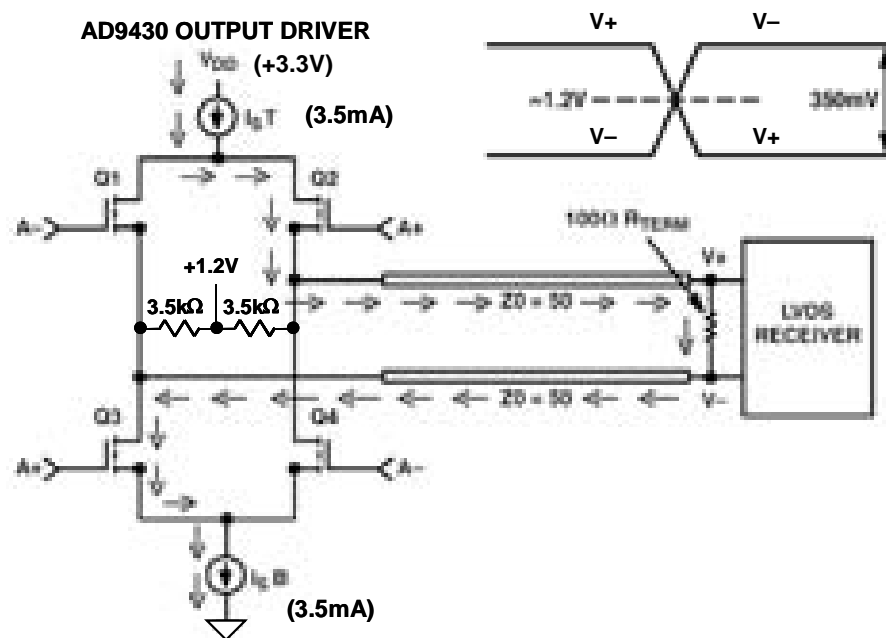
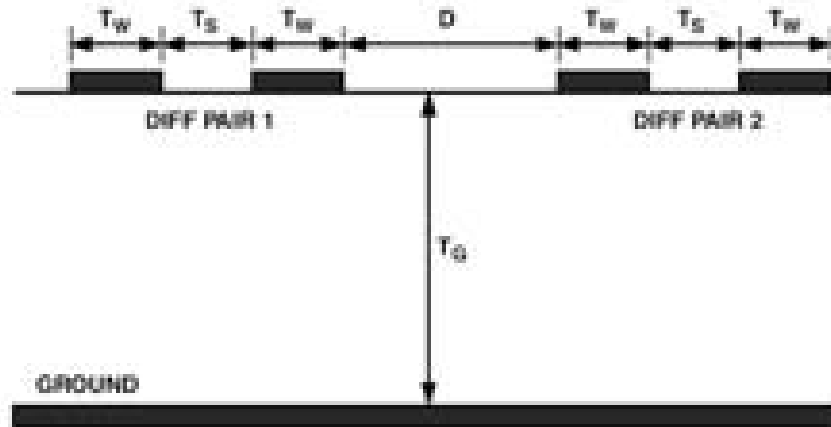


图9: LVDS驱动器和接收器

LVDS边沿速度定义为20%至90%的上升/下降时间(相比之下CMOS逻辑为10%至90%)并规定小于 $0.3 t_{ui}$ ，其中 t_{ui} 为数据信号传输速率的倒数。对于210 MSPS采样速率， $t_{ui} = 4.76$ ns，20%至80%上升/下降时间必须小于 $0.3 \times 4.76 = 1.43$ ns。AD9430的上升/下降时间的标称值为0.5 ns。

高性能ADC的LVDS输出应该与数字逻辑使用的标准LVDS输出区别对待。在高速数字应用中标准LVDS能驱动1到10米(取决于数据速率)，不建议让高性能ADC驱动这么长的距离。建议输出走线的长度要短一些(小于2英寸)，尽量降低任何噪声从相邻电路耦合到输出上的几率，噪声可能会返回到模拟输入。差分输出走线应该相互靠近，使100 Ω端接电阻靠近接收器，尽可能提高共模抑制。用户应该注意PCB走线长度，尽量减小延迟偏斜。典型差分微带线PCB走线截面以及一些推荐布局指南如图10所示。



- ◆ Keep T_W , T_S , and D constant over the trace length
- ◆ Keep $T_S \sim < 2T_W$
- ◆ Avoid use of vias if possible
- ◆ Keep $D > 2T_S$
- ◆ Avoid 90° bends if possible
- ◆ Design T_W and T_G for $\sim 50\Omega$

图10：两对LVDS信号的微带线PCB布局

LVDS也具有降低EMI的优点。相反LVDS电流产生的EMI场可以相互抵消(边沿速率相匹配时)。在高速ADC中，在相近的数据速率下，相对于解复用的CMOS解决方案，LVDS的时序约束更为简单。解复用的数据总线需要一个同步信号，LVDS不需要这个信号。在解复用的CMOS总线中，需要一个速率为ADC采样速率一半的时钟，这增加了成本和复杂度，LVDS不需要这些。

时钟生成和分配产品

ADI公司提供超低抖动[时钟分配和时钟发生产品](#)，适合无线基础设施、仪器仪表、宽带、自动测试设备(ATE)和其它要求亚皮秒性能的应用。ADI公司的时钟产品非常适合为高性能模数转换器(ADC)和数模转换器(DAC)提供时钟。ADI公司时钟IC在小型芯片级封装中集成了PLL内核、分频器、相位偏移、偏斜调整和时钟驱动器。

参考文献:

1. [TIA/EIA-644-A Standard, *Electrical Characteristics of Low Voltage Differential Signaling \(LVDS\) Interface Circuits*](#), January 30, 2001.
2. [IEEE Std. 1596.3-1996, *IEEE Standard for Low-Voltage Differential Signals \(LVDS\) for Scalable Coherent Interface*](#), IEEE, 1996.
3. Cindy Bloomingdale and Gary Hendrickson, "LVDS Data Outputs for High-Speed Analog-to-Digital Converter," [Application Note AN-586](#), Analog Devices, 2002.
4. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
5. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
6. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.