



STM8S105xx

基础型系列，16MHz STM8S 8位单片机，Flash最多32K字节
集成数据EEPROM，10位ADC，定时器，UART，SPI，I²C

芯片特点

内核

- 高级STM8内核，具有3级流水线的哈佛结构
- 扩展指令集

存储器

- 中等密度程序和数据存储器：
 - 最多32K字节Flash；10K次擦写后在55°C环境下数据可保存20年
 - 数据存储器：多达1K字节真正的数据EEPROM；可达30万次擦写

- RAM：多达2K字节

时钟、复位和电源管理

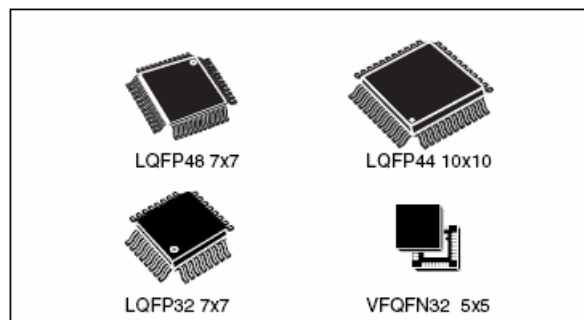
- 3.0~5.5V工作电压
- 灵活的时钟控制，4个主时钟源
 - 低功率晶体振荡器
 - 外部时钟输入
 - 用户可调整的內部16MHz RC
 - 内部低功耗128kHz RC
- 带有时钟监控的时钟安全保障系统
- 电源管理：
 - 低功耗模式(等待、活跃停机、停机)
 - 外设的时钟可单独关闭
- 永远打开的低功耗上电和掉电复位

中断管理

- 带有32个中断的嵌套中断控制器
- 6个外部中断向量，最多37个外部中断

定时器

- 2个16位通用定时器，带有2+3个CAPCOM通道(IC、OC 或 PWM)
- 高级控制定时器：16位，4个CAPCOM通道，3个互补输出，死区插入和灵活的同步
- 带有8位预分频器的8位基本定时器



- 自动唤醒定时器
- 2个看门狗定时器：窗口看门狗和独立看门狗

通信接口

- 带有同步时钟输出的UART，智能卡，红外IrDA，LIN接口
- SPI接口最高到8Mbit/s
- I²C接口最高到400Kbit/s

模数转换器(ADC)

- 10位，±1LSB的ADC，最多有10路通道，扫描模式和模拟看门狗功能

I/O 端口

- 48脚封装芯片上最多有38个I/O，包括16个高吸收电流输出
- 非常强健的I/O设计，对倒灌电流有非常强的承受能力

开发支持

- 单线接口模块(SWIM)和调试模块(DM)，可以方便地进行在线编程和非侵入式调试

表1 产品列表

系列	型号
STM8S105xx	STM8S105K4, STM8S105K6, STM8S105S4, STM8S105S6, STM8S105C4, STM8S105C6

本文档英文原文下载地址：

<http://www.st.com/stonline/products/literature/ds/14771.pdf>



目录

1	简介.....	4
2	详细描述	5
3	模块框图	6
4	产品概述	7
4.1	STM8的中央处理单元	7
4.2	单线接口模块(SWIM)和调试模块(DM)	7
4.3	中断控制器	8
4.4	Flash程序存储器和数据EEPROM存储器	8
4.5	时钟控制器	9
4.6	电源管理.....	10
4.7	看门狗定时器	10
4.8	自动唤醒计数器.....	10
4.9	蜂鸣器	10
4.10	TIM1 — 16位高级控制定时器.....	10
4.11	TIM2、TIM3 — 16位通用定时器	11
4.12	TIM4 — 8位基本定时器.....	11
4.13	模数转换器(ADC1)	11
4.14	通信接口.....	11
4.14.1	UART2	12
4.14.2	SPI	12
4.14.3	I ² C	13
5	引脚及其描述	14
5.1	封装引脚.....	14
5.1.1	备选功能重映射.....	19
6	中断向量映像	20
7	选项字节	21
8	存储器和寄存器映像.....	24
8.1	存储器映像	24
8.2	寄存器映像	25
9	电气特性	33
9.1	参数条件.....	33
9.1.1	最小和最大值	33
9.1.2	典型数值	33
9.1.3	典型曲线	33
9.1.4	典型电流消耗	33
9.1.5	负载电容	33
9.1.6	引脚输入电压	34
9.2	绝对最大额定值.....	34
9.3	工作条件.....	36
9.3.1	VCAP外部电容.....	37
9.3.2	供电电流特性	37
9.3.3	外部时钟源和时间特性	42
9.3.4	内部时钟源和时间特性	44
9.3.5	存储器特性.....	45
9.3.6	I/O端口管脚特性	46
9.3.7	复位管脚特性	51
9.3.8	串行外设接口(SPI).....	53



9.3.9	I ² C接口特性	55
9.3.10	10位ADC特性	55
9.3.11	EMC特性.....	57
9.4	热特性	59
9.4.1	参考文档	59
9.4.2	选择产品的温度范围.....	59
10	封装特性	61
10.1	封装机械数据	61
10.1.1	LQFP封装尺寸	61
10.1.2	QFN封装机械数据.....	64
11	订购信息	65
12	STM8 开发工具 (本章从略)	66
12.1	仿真和在线调试工具.....	66
12.2	软件工具.....	66
12.2.1	STM8工具套件	66
12.2.2	C和汇编工具	66
12.2.3	编程工具	66
13	(英文)版本修改记录.....	67



1 简介

这本数据手册描述了STM8S105xx基础型系列单片机的特点、引脚分配、电气特性、机械特性和订购信息。

- 如果需要关于STM8S单片机存储器、寄存器和外设等的详细信息，请参考[STM8S系列单片机参考手册\(RM0016\)](#)。
- 如果需要关于内部Flash存储器的编程、擦除和保护的信息，请参考[STM8S闪存编程手册\(PM0051\)](#)。
- 如果需要关于调试和SWIM(single wire interface module单线接口模块)，请参考[STM8 SWIM通信协议和调试模块用户手册\(UM0470\)](#)。
- 如果需要关于STM8内核的信息，请参考[STM8 CPU编程手册\(PM0044\)](#)。



2 详细描述

STM8S105xx基础型系列8位单片机提供容量为16K~32K字节的Flash程序存储器，集成真正的数据EEPROM。在STM8S微控制器系列的参考手册(RM0016)中，被归为中密度系列。

STM8S105xx基础型系列所有的单片机具有以下性能：

- 更低的系统成本
 - 内部集成真正的EEPROM数据存储器，可以达到30万次的擦写周期
 - 高度集成了内部时钟振荡器、看门狗和掉电复位功能
- 高性能和高可靠性
 - 16MHz CPU时钟频率
 - 强大的I/O功能，拥有分立时钟源的独立看门狗
 - 时钟安全系统
- 缩短开发周期
 - 可根据具体的应用在通用的产品系列中选择，具有合适的封装、存储器大小和外设模块的芯片
 - 完善的文档和多种开发工具选择
- 产品可延续性
 - 最新技术打造的高水平内核和外设
 - 系列产品广泛适应2.95V~5.5V的工作电压

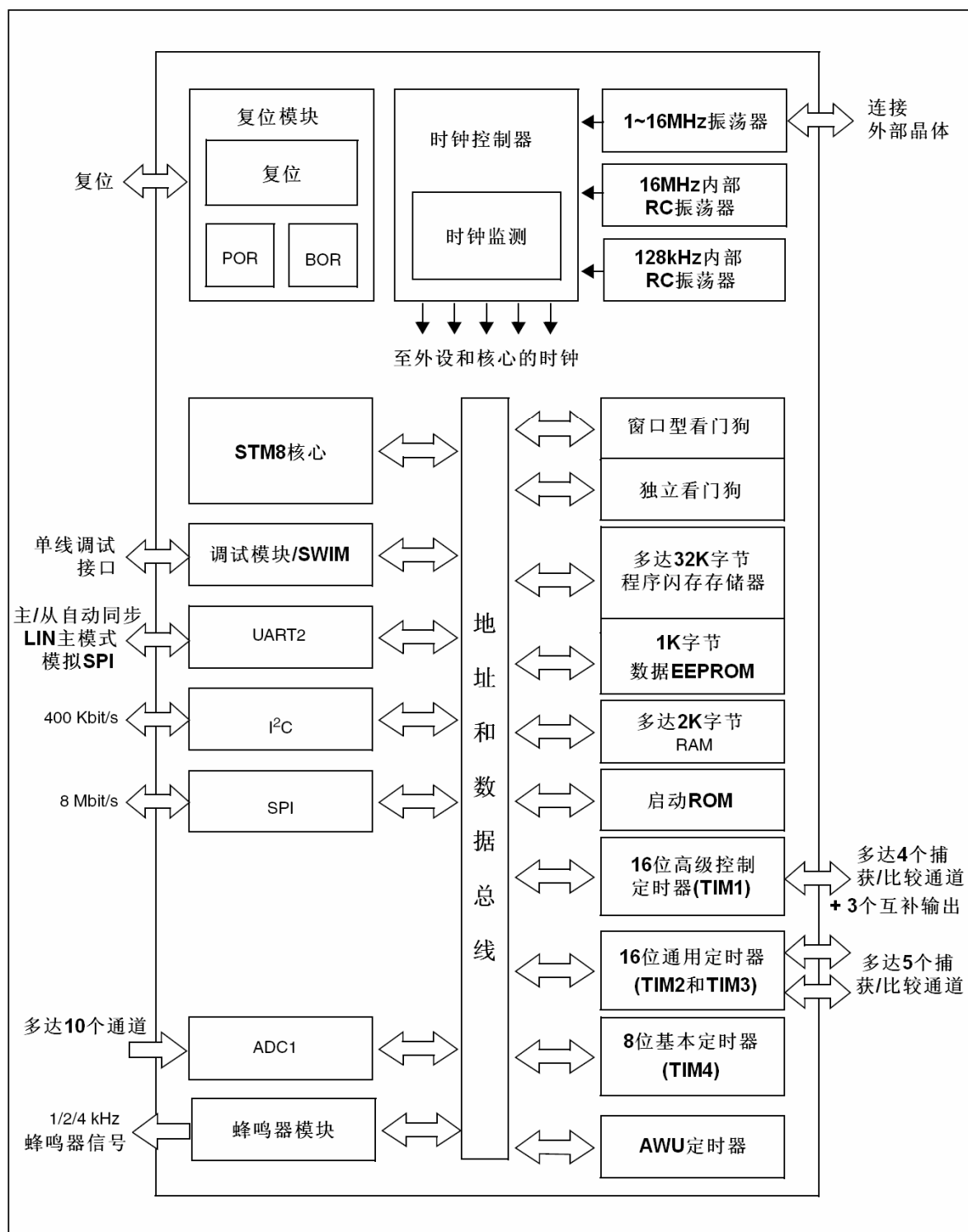
表2 STM8S105xx基础型系列产品特点

芯片型号	引脚	GPIO数目	外部中断引脚	定时器输入捕获/输出比较通道	定时器互补输出	A/D转换通道	高吸收电流I/O	Flash程序存储器(字节)		数据EEPROM存储器(字节)	RAM(字节)	外设
STM8S105C6	48	38	35	9	3	10	16	中密度	32K	1024	2K	高级控制定时器(TIM1) 通用定时器(TIM2和TIM3) 基本定时器(TIM4) SPI, I ² C, UART 窗口看门狗, 独立看门狗 ADC
STM8S105C4	48	38	35	9	3	10	16		16K	1024	2K	
STM8S105S6	44	34	31	8	3	9	15		32K	1024	2K	
STM8S105S4	44	34	31	8	3	9	15		16K	1024	2K	
STM8S105K6	32	25	23	8	3	7	12		32K	1024	2K	
STM8S105K4	32	25	23	8	3	7	12		16K	1024	2K	



3 模块框图

图1 模块框图



4 产品概述

本节将要描述的是STM8S105xx基础型系列芯片的功能模块和外设的基本特点。

如果需要更详细的信息请参考相应的产品系列[参考手册\(RM0016\)](#)。

4.1 STM8的中央处理单元

8位的STM8内核在设计时考虑了代码的效率和性能。

它的6个内部寄存器都可以在执行程序中直接寻址。共有包括间接变址寻址和相对寻址在内的20种寻址模式和80条指令。

结构和寄存器

- 哈佛结构
- 3级流水线
- 32位宽程序存储器总线 — 对于大多数指令可进行单周期取指
- 两个16位寻址寄存器：X寄存器和Y寄存器 — 允许带有偏移的和不带偏移的变址寻址模式和读—修改—写式的数据操作
- 8位累加器
- 24位程序指针 — 16M字节线性地址空间
- 16位堆栈指针 — 可以访问64K字节深度堆栈
- 8位状态寄存器 — 可根据上条指令的结果产生7个状态标志位

寻址

- 20种寻址模式
- 用于地址空间内任何位置上的查询数据表的变址寻址方式
- 用于局部变量和参数传递的堆栈指针相对寻址模式

指令集

- 80条指令，指令的平均长度为2字节
- 标准的数据传送和逻辑/算术运算功能
- 8位乘8位的乘法指令
- 16位除8位和16位除16位除法指令
- 位操作指令
- 可通过对堆栈的直接访问实现堆栈和累加器之间的数据直接传送(push/pop)
- 可使用X和Y寄存器传送数据或者在存储器之间直接传送数据

4.2 单线接口模块(SWIM)和调试模块(DM)

单线接口模块和调试模块允许非侵入式、实时的在线调试和快速的存储器编程。

SWIM

通过单线接口模块可以直接访问调试模块和对存储器编程。这个接口在设备运行的所有模式下都有效。最大的数据传输速率为145字节/毫秒。

调试模块

非侵入式调试模块近似于一个全功能的仿真器，通过影子寄存器可以实时地观测到存储器、外设和CPU的运行情况。

- 实时地对RAM和外设寄存器进行读写
- 通过暂停CPU可以对所有资源进行读写操作
- 可以对所有程序存储器指令设置断点(软件断点)



- 2个高级断点，23种预定义的配置

4.3 中断控制器

- 带有3级软件优先级设定的嵌套中断
- 带有硬件优先级的32个中断向量
- 包括TLI中断在内的，最多27个外部中断分布在6个中断向量上
- 陷阱(Trap)和复位中断

4.4 Flash程序存储器和数据EEPROM存储器

- 最多可达32K字节的单电压闪存程序存储器
- 最多可达1K字节的真正的数据EEPROM
- 写的同时读：向EEPROM中写数据同时可以执行程序存储器的程序
- 用户选项字节区

写保护(WP)

为了避免由于软件故障导致的对闪存程序存储器和数据EEPROM的意外擦写，芯片提供了写保护功能。

写保护分为两个等级。第一级写保护叫做MASS(Memory Access Security System, 存储器操作安全保障系统)。MASS始终有效并保护主要的闪存程序存储器，数据EEPROM和选项设置字节。

如果需要执行IAP(In-Application Programming, 在线编程)，可以向控制寄存器中写入MASS关键字序列去掉写保护，然后应用程序就可以向数据EEPROM写入数据，或者修改主程序存储器或者设复用项设置字节。

为了进一步保护一些特殊的UBC(User boot code, 用户启动代码)存储器区域，可以打开二级保护。参考图2。

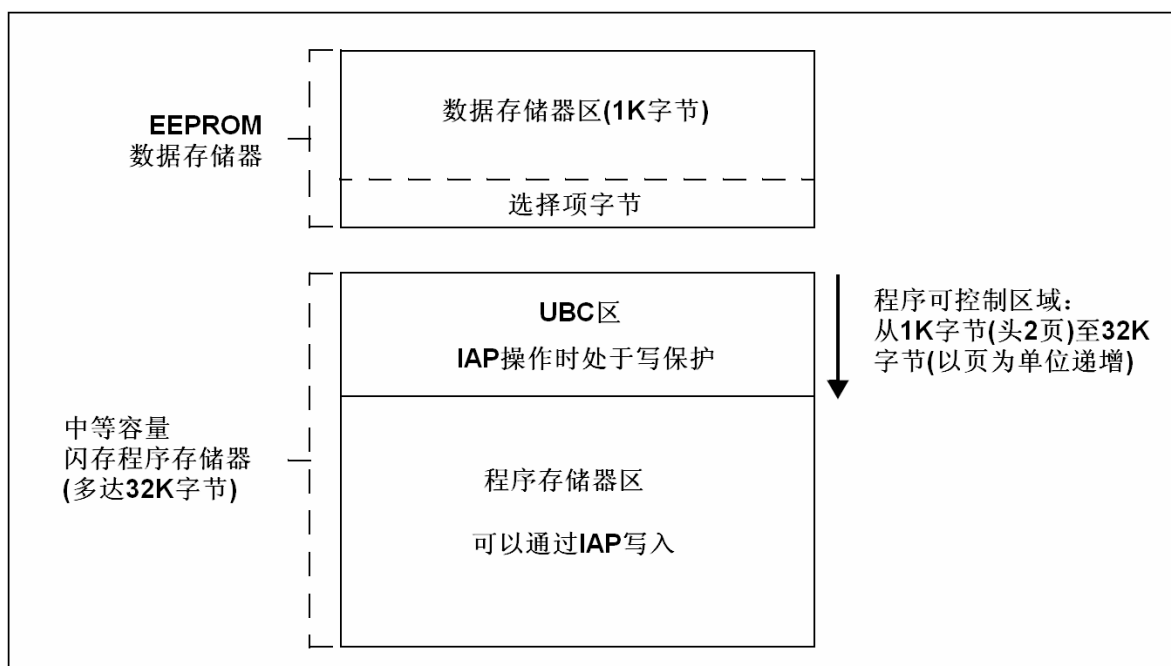
在ICP模式下，可以通过设置UBC选项字节，按页增减UBC区域的大小，一页为512个字节。这将程序存储器分成了两部分：

- 主程序存储器：最多至32K字节减去UBC区域的大小
- 用户指定的启动代码(UBC)：可配置最高至32K字节

在线编程时UBC区域仍然保持写保护。也就是说，MASS关键字不能解锁UBC区域。这保护了用来存储启动程序，特殊的代码库，复位和中断向量，复位、IAP和通信程序的存储器区域。



图2 Flash存储器结构



读出保护(ROP)

读出保护功能阻止在ICP模式(和调试模式)下对Flash程序存储器和数据EEPROM存储器的读写操作。一旦读保护功能使能后，任何尝试改变其状态的操作都会将程序和数据存储器全部擦除。尽管没有保护被认为是完全不可破解的，这个功能还是为通用的单片机提供了一个非常高等级的保护措施。

4.5 时钟控制器

时钟控制器将来自不同振荡器的系统时钟(f_{MASTER})连接到内核和外设，它也为低功耗模式管理时钟的选通，并确保时钟的可靠性。

特点：

- 时钟分频：为了在速度和电流消耗之间找到一个最佳的平衡点，可以通过一个可编程的预分频器来调整CPU和外设的时钟频率。
- 安全的时钟切换：通过一个配置寄存器，可以在运行的时候安全地切换时钟源。新的时钟源准备好之前时钟信号不会被切换。这个设计能够保证无故障地切换时钟。
- 时钟管理：为了减少功耗，时钟控制器可以关闭内核、每个外设或存储器的时钟。
- 主时钟源：4个不同的时钟源可用来驱动主时钟
 - 1~16MHz高速外部晶振(HSE)
 - 最高至16MHz的高速外部时钟(HSE)
 - 16MHz高速内部RC振荡器(HSI)
 - 128kHz低速内部RC(LSI)
- 启动时钟：复位之后，单片机默认运行在内部2MHz时钟下(HSI/8)。一旦代码开始运行，应用程序就可以更改预分频比例和时钟源。
- 时钟安全系统(CSS)：这个功能可以用软件打开。一旦HSE时钟失效，CSS可以自动地将主时钟切换到内部RC(16MHz/8)，并且可以选择产生一个中断。
- 可配置的主时钟输出(CCO)：应用程序可以控制输出一个外部时钟。

4.6 电源管理

为实现有效的电源管理，应用程序可以进入四种不同的低功耗模式。用户可以选择任意模式，在最低的功耗、最快的启动和可用的唤醒源之间达到最佳的平衡。

- **等待模式(Wait):** 在此模式下，CPU停止工作，但是外设仍在运行。可以用内部中断、外部中断、或复位来唤醒。
- **开启调压器的活跃停机模式:** 在此模式下，CPU和外设时钟停止工作。自动唤醒单元(AWU)按照设定好的间隔时间产生内部唤醒。主电压调压器保持供电，所以电流的消耗比调压器关闭的主动暂停模式大，但是唤醒时间更短。可用内部AWU中断，外部中断或者复位来唤醒。
- **调压器关闭的活跃停机模式:** 此模式除了主电压调压器断电以外，其它皆与调压器开启的主动暂停模式相同，所以唤醒时间较长。
- **停机模式:** 此模式下单片机的功耗最低，CPU和外设的时钟都被关闭，主电压调压器断电。可用外部事件或中断唤醒。

4.7 看门狗定时器

看门狗系统基于两个独立的定时器来为应用提供最可靠的安全保障。

WDG(看门狗)定时器可用选项设置字节或软件来激活。一旦激活，除非复位，用户程序不能够关闭看门狗。

窗口看门狗定时器

窗口看门狗用来监测导致应用程序跳出了正常的执行顺序的软件错误，这种错误通常是外部的干扰或者没有考虑到的逻辑条件产生的。

窗口功能用来调整看门狗的状态使其与应用程序达到完美的结合。

应用软件必须在超时之前的限定时间窗口内刷新计数器。

在下面两种情况下会产生复位：

1. 超时：在16MHz CPU时钟下超时时间可以在75 μ s到64ms之间进行调整。
2. 在窗口之外刷新：在递减计数器的值小于窗口寄存器存储的值之前，计数器就被刷新。

独立看门狗(IWDG)定时器

独立看门狗外设用来解决硬件或软件故障导致的处理器失效。

定时器使用128kHz LSI内部RC时钟源，因此即使CPU时钟失效它仍然能够保持工作。

IWDG的时基范围从60 μ s到1s之间。

4.8 自动唤醒计数器

- 用来从活跃停机模式自动唤醒。
- 时钟源：内部128kHz低频RC振荡器或外部时钟。

4.9 蜂鸣器

蜂鸣器功能通过BEEP引脚输出信号来产生声音。这个信号可在1、2或者4kHz中选择。

4.10 TIM1 — 16位高级控制定时器

这是一个为宽范围控制应用而设计的高端定时器，带有互补输出、死区控制和中心对齐的PWM功能，这个领域的应用包括马达控制、照明和半桥驱动等。

- 带有16位预分频的16位递增、递减和双向(递增/递减)自动重载计数器
- 4个独立的捕获/比较通道(CAPCOM)，可配置成输入捕获，输出比较，PWM产生(边沿或中心对齐模式)和单脉冲模式输出
- 使用外部信号控制定时器的同步模块



- 强制定时器输出进入预定状态的刹车输入
- 死区时间可调的3个互补输出
- 编码器模式
- 中断源：3个输入捕获/输出比较，1个溢出/更新，1个刹车

4.11 TIM2、TIM3 — 16位通用定时器

- 16位向上计数和自动装载计数器
- 15位的预分频器，分频系数可调整为1~32768之间的2次幂数值
- 带有3个或2个独立可配置的捕获/比较通道
- PWM模式
- 中断源：2个或3个输入捕获/输出比较，1个溢出/更新

4.12 TIM4 — 8位基本定时器

- 8位自动装载可调整的预分频器，比例可选为1~128之间2次幂数值
- 时钟源：CPU时钟
- 中断源：1个溢出/更新

表3 定时器特点

定时器	计数器(位)	预分频	计数模式	CAPCOM通道	互补输出	外部触发	定时器同步/链
TIM1	16	1~65536之间任意整数	向上/向下	4	3	有	无
TIM2	16	1~32768间任意2的幂次	向上	3	0	无	
TIM3	16	1~32768间任意2的幂次	向上	2	0	无	
TIM4	8	1~128间任意2的幂次	向上	0	0	无	

4.13 模数转换器(ADC1)

- STM8S105xx系列基础型产品包括一个10位连续渐近式模数转换器(ADC1)，提供多达10个多路复用输入通道，主要特点如下：
 - 输入电压范围：0~V_{DDA}
 - 转换时间：14个时钟周期
 - 单次和连续的以及带缓冲的连续转换模式
 - 缓冲区大小：n x 10位 (n=输入通道数)
 - 对一系列的通道进行单次或连续的扫描
 - 带可编程上限或者下限的模拟看门狗
 - 模拟看门狗中断
 - 外部触发输入
 - 可用TIM1定时器触发信号(TRGO)触发
 - 转换结束(EOC)中断

4.14 通信接口

芯片带有以下接口：

- UART2：
 - 全功能UART，同步模式，SPI主模式，智能卡模式，IrDA模式，LIN2.1主/从模式
- SPI — 全双工和半双工，8M位/秒
- I²C — 最高至400k位/秒



4.14.1 UART2

主要特点

- 1M位/秒全双工SCI
- 模拟SPI
- 高精度波特率发生器
- 智能卡模拟
- IrDA SIR编码解码
- LIN主模式
- LIN从模式

异步通信(UART模式)

- 全双工通信 — NRZ标准模式
- 可达1M位/秒($f_{CPU}/16$)的可编程发送接收波特率，不管输入频率如何皆可兼容任何标准波特率
- 发送和接收使能位可单独设置
- 2个接收唤醒模式：
 - 地址位(MSB)
 - 总线空闲(中断)
- 可产生中断的发送错误检测
- 奇偶校验控制

同步通信

- 全双工同步传输
- SPI主操作
- 8位数据通信
- 最大速度：在16MHz($f_{CPU}/16$)时为1M位/秒

LIN主模式

- 发送：产生13位同步中断帧
- 接收：检测11位中断帧

LIN从模式

- 自动头处理 — 每个有效的信息头都会产生一个单独的中断
- 自动波特率同步 — 最大容许偏离原始时钟 $\pm 15\%$
- 同步分隔符检查
- 11位LIN同步中断监测 — 中断监测始终有效
- LIN标识符区域校验检查
- LIN出错管理
- 热插拔支持

4.14.2 SPI

- 最大速率：主设备或从设备均为8M位/秒($f_{MASTER}/2$)
- 全双工同步传输
- 带有一根双向数据线的两线单工同步传输
- 主或从操作 — 可用硬件或软件选择
- CRC计算
- 1个字节的发送或接收缓冲器



- 从/主选择引脚

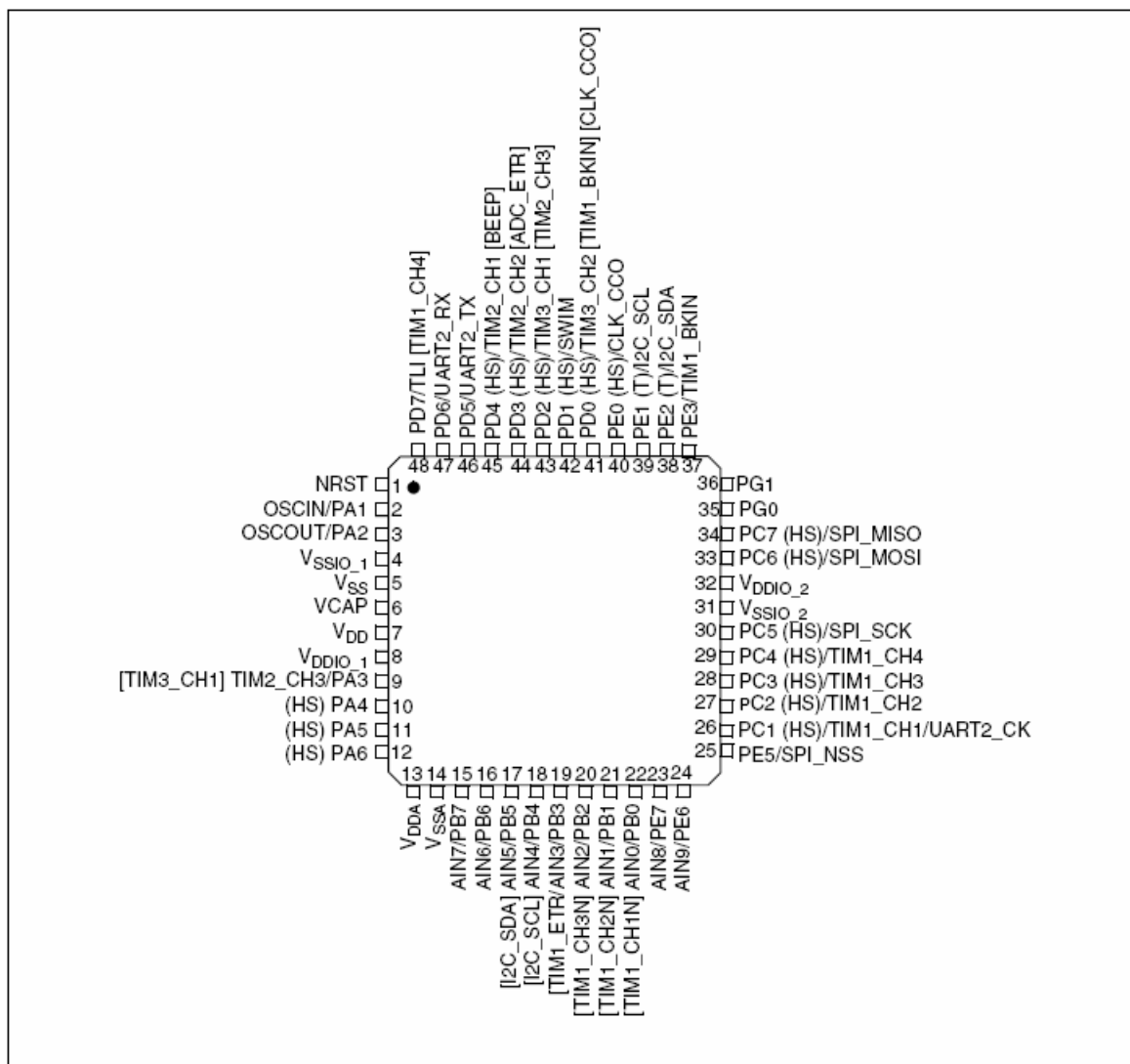
4.14.3 I²C

- I²C主设备特点：
 - 时钟产生
 - 开始和停止位产生
- I²C从设备特点：
 - 可编程的I²C地址检测
 - 停止位检测
- 可产生和检测7位/10位寻址和广播寻址
- 提供不同的通信速率：
 - 标准速率(最高至100kHz)
 - 高速(最高至400kHz)

5 引脚及其描述

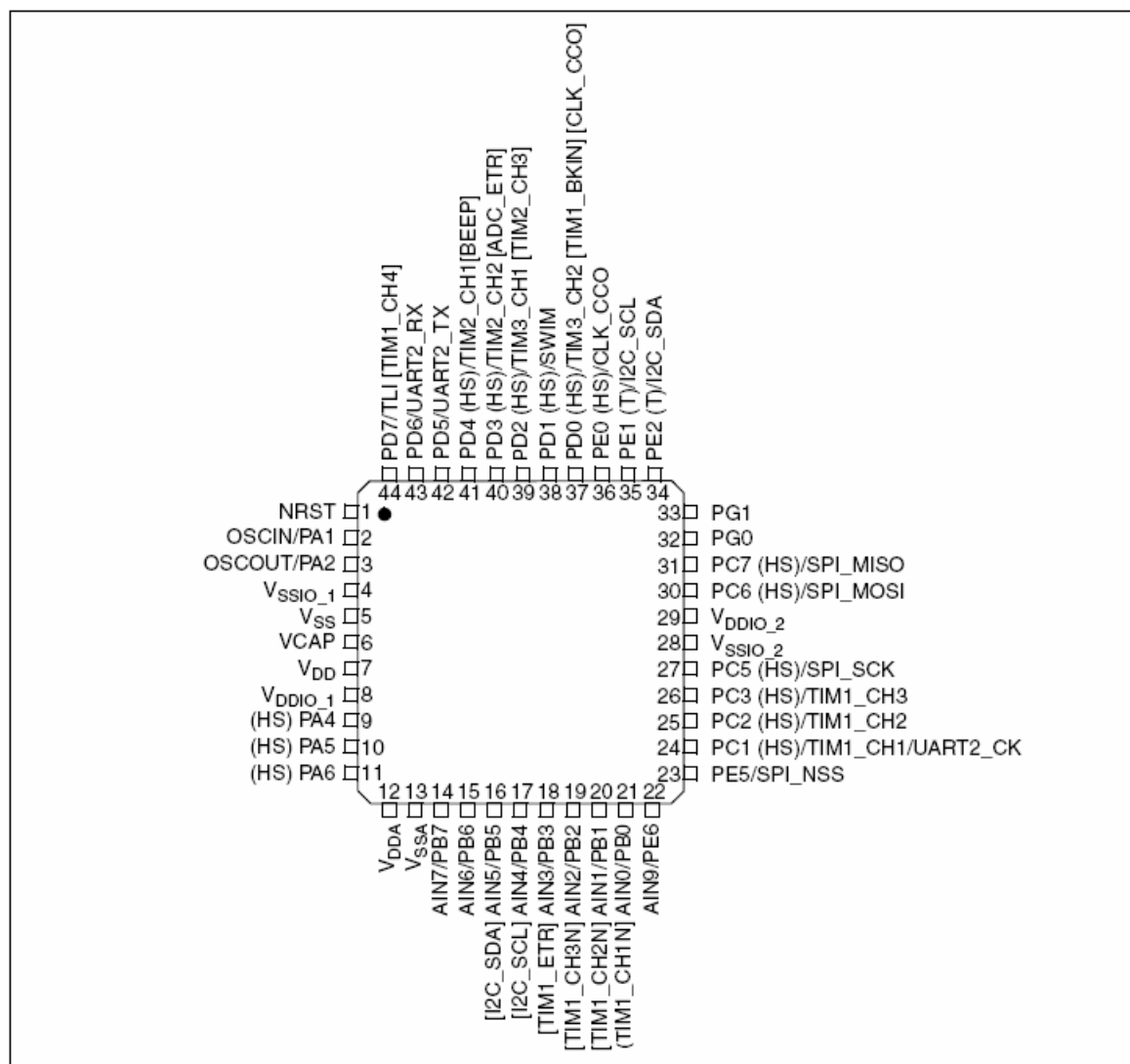
5.1 封装引脚

图3 LQFP 48引脚图



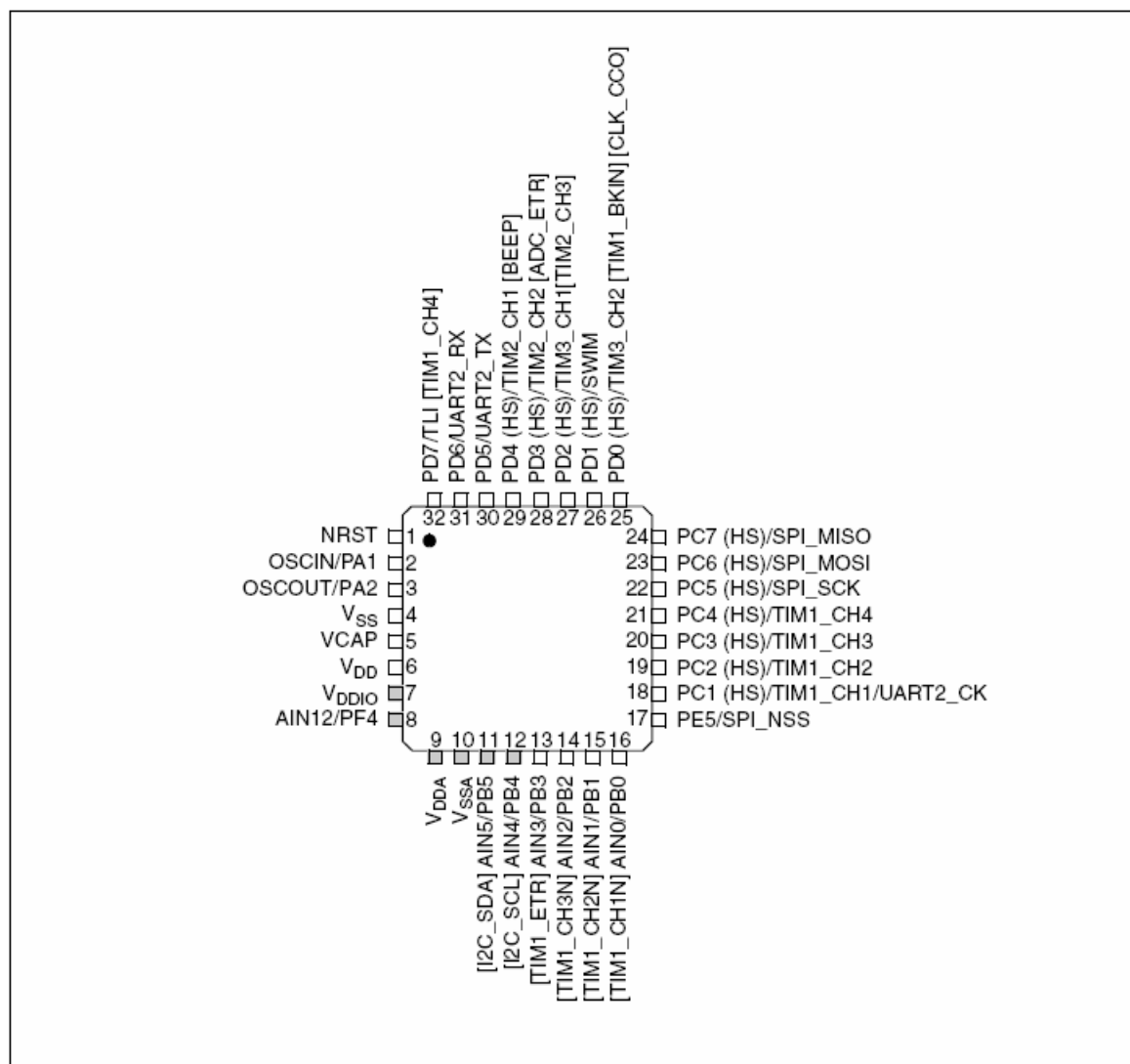
1. (HS)高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到VDD的保护二极管)。
3. []复用功能重映射选项(如果相同的复用功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。

图4 LQFP44引脚图



1. (HS)高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到VDD的保护二极管)。
3. []复用功能重映射选项(如果相同的复用功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。

图5 VQFN32/LQFP32引脚图



注：表6列出了与STM8S103K的引出脚比较。

1. (HS)高吸收电流。
2. []复用功能重映射选项(如果相同的复用功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。

表4 符号和缩写说明

类型	I = 输入, O = 输出, S = 供电引脚	
电平	输入	CM = CMOS
	输出	HS = High sink 高吸收电流
输出速率	O1 = 慢速(最高到2MHz) O2 = 快速(最高到10MHz) O3 = 可配置成快速或慢速, 复位后默认为慢速 O4 = 可配置成快速或慢速, 复位后默认为快速	
端口和控制配置	输入	float = 浮置, wpu = 弱上拉
	输出	T = 真正的开漏结构, OD = 开漏结构, PP = 推挽

复位状态用加粗字体表示

表5 STM8S105微控制器引脚说明

管脚编号			管脚名称	类型	输入			输出				主功能 (复位后)	默认的 复用功能	映射后的 备选功能 [设置选项]
LQFP48	LQFP44	VQFN32/LQFP32			浮空	弱上拉	外部中断	高吸收	速度	OD	PP			
1	1	1	NRST	I/O		X						复位(Reset)		
2	2	2	PA1/OSCIN	I/O	X	X			O1	X	X	端口A1	晶振输入	
3	3	3	PA2/OSCOUT	I/O	X	X	X		O1	X	X	端口A2	晶振输出	
4	4	-	V _{SSIO_1}	S								I/O地线		
5	5	4	VSS	S								数字地		
6	6	5	VCAP	S								1.8V调压器电容		
7	7	6	VDD	S								数字部分供电		
8	8	7	V _{DDIO_1}	S								I/O供电		
9	-	-	PA3/TIM2_CH3 [SPI_NSS]	I/O	X	X	X		O1	X	X	端口A3	定时器2通道3	TIM3_CH1 [AFR1]
10	9	-	PA4	I/O	X	X	X	HS	O3	X	X	端口A4		
11	10	-	PA5	I/O	X	X	X	HS	O3	X	X	端口A5		
12	11	-	PA6	I/O	X	X	X	HS	O3	X	X	端口A6		
-	-	8	PF4/AIN12	I/O	X	X			O1	X	X	端口F4	模拟输入12 ⁽¹⁾	
13	12	9	V _{DDA}	S								模拟供电		
14	13	10	V _{SSA}	S								模拟地		
15	14	-	PB7/AIN7	I/O	X	X	X		O1	X	X	端口B7	模拟输入7	
16	15	-	PB6/AIN6	I/O	X	X	X		O1	X	X	端口B6	模拟输入6	
17	16	11	PB5/AIN5 [I ² C_SDA]	I/O	X	X	X		O1	X	X	端口B5	模拟输入5	I ² C_SDA [AFR6]
18	17	12	PB4/AIN4 [I ² C_SCL]	I/O	X	X	X		O1	X	X	端口B4	模拟输入4	I ² C_SCL [AFR6]
19	18	13	PB3/AIN3/ TIM1_ETR	I/O	X	X	X		O1	X	X	端口B3	模拟输入3	TIM1_ETR [AFR5]
20	19	14	PB2/AIN2/ TIM1_CH3N	I/O	X	X	X		O1	X	X	端口B2	模拟输入2	TIM1_CH3N [AFR5]
21	20	15	PB1/AIN1/ [TIM1_CH2N]	I/O	X	X	X		O1	X	X	端口B1	模拟输入1	TIM1_CH2N [AFR5]
22	21	16	PB0/AIN0/ [TIM1_CH1N]	I/O	X	X	X		O1	X	X	端口B0	模拟输入0	TIM1_CH1N [AFR5]



管脚编号			管脚名称	类型	输入			输出				主功能 (复位后)	默认的 复用功能	映射后的 备选功能 [设置选项]
LQFP48	LQFP44	VQFN32/LQFP32			浮空	弱上拉	外部中断	高吸收	速度	OD	PP			
23	-	-	PE7/AIN8	I/O	X	X	X		O1	X	X	端口E7	模拟输入8	
24	22	-	PE6/AIN9	I/O	X	X	X		O1	X	X	端口E6	模拟输入9 ⁽²⁾	
25	23	17	PE5/SPI_NSS	I/O	X	X	X		O1	X	X	端口E5	SPI主/从选择	
26	24	18	PC1/TIM1_CH1/ UART2_CK	I/O	X	X	X	HS	O3	X	X	端口C1	定时器1-通道1 UART2同步时钟	
27	25	19	PC2/TIM1_CH2	I/O	X	X	X	HS	O3	X	X	端口C2	定时器1-通道2	
28	26	20	PC3/TIM1_CH3	I/O	X	X	X	HS	O3	X	X	端口C3	定时器1-通道3	
29	-	21	PC4/TIM1_CH4	I/O	X	X	X	HS	O3	X	X	端口C4	定时器1-通道4	
30	27	22	PC5/SPI_SCK	I/O	X	X	X	HS	O3	X	X	端口C5	SPI时钟	
31	28	-	V _{SSIO_2}	S								I/O地线		
32	29	-	V _{DDIO_2}	S								I/O供电		
33	30	23	PC6/SPI_MOSI	I/O	X	X	X	HS	O3	X	X	端口C6	SPI主出/从入	
34	31	24	PC7/SPI_MISO	I/O	X	X	X	HS	O3	X	X	端口C7	SPI主入/从出	
35	32	-	PG0	I/O	X	X			O1	X	X	端口G0		
36	33	-	PG1	I/O	X	X			O1	X	X	端口G1		
37	-	-	PE3/TIM1_BKIN	I/O	X	X	X		O1	X	X	端口E3	定时器1-刹车输入	
38	34	-	PE2/I ² C_SDA	I/O	X	X	X		O1	T ⁽³⁾		端口E2	I ² C数据	
39	35	-	PE1/I ² C_SCL	I/O	X	X	X		O1	T ⁽³⁾		端口E1	I ² C时钟	
40	36	-	PE0/CLK_CCO	I/O	X	X	X	HS	O3	X	X	端口E0	可配置的时钟输出	
41	37	25	PD0/TIM3_CH2 [TIM1_BKIN] [CLK_CCO]	I/O	X	X	X	HS	O3	X	X	端口D0	定时器3-通道2	TIM1_BKIN [AFR3]/ CLK_CCO [AFR2]
42	38	26	PD1/SWIM	I/O	X	X	X	HS	O4	X	X	端口D1	SWIM数据接口	
43	39	27	PD2/TIM3_CH1 [TIM2_CH3]	I/O	X	X	X	HS	O3	X	X	端口D2	定时器3-通道1	TIM2_CH3 [AFR1]
44	40	28	PD3/TIM2_CH2/ [ADC_ETR]	I/O	X	X	X	HS	O3	X	X	端口D3	定时器2通道2	ADC_ETR [AFR0]
45	41	29	PD4/TIM2_CH1/ [BEEP]	I/O	X	X	X	HS	O3	X	X	端口D4	定时器2通道1	BEEP输出 [AFR7]
46	42	30	PD5/UART2_TX	I/O	X	X	X		O3	X	X	端口D5	UART1数据发送	
47	43	31	PD6/UART2_RX	I/O	X	X	X		O3	X	X	端口D6	UART1数据接收	
48	44	32	PD7/TL1 [TIM1_CH4]	I/O	X	X	X		O3	X	X	端口D7	最高级中断	TIM1_CH4 [AFR4]

1. AIN12不能用于ADC的扫描模式也不能用于模拟看门狗。
2. 在44脚封装中，AIN9不能用于ADC的扫描模式。
3. 在开漏输出列中‘T’表示真正的开漏I/O(没有P-buffer和连接到V_{DD}的保护二极管)。



表6 32引脚基础型系列引脚7到引脚12兼容性对照表

引脚序号	STM8S105K(见图5)		STM8S103K(见相关数据手册)	
	引脚名称	注释	引脚名称	注释
7	V _{DDIO}	专用IO口供电电源	PA3/TIM2_CH3 [SPI_NSS]	V _{DDIO} 由内部连接倒V _{DD} ，引脚7连接到PA3。 可用作TIM2的通道3或者SPI的主/从选择。
8	PF4/AIN12	GPIO端口F4。可用作ADC输入通道12	PF4	GPIO端口F4。不可用作ADC输入端口。
9	V _{DDA}	ADC专用的供电和参考电压	PB7	V _{DDA} 由内部连接到V _{DD} 。 引脚9连接到GPIO端口B7。
10	V _{SSA}	ADC专用地。	PB6	V _{SSA} 由内部连接到V _{SS} 。 引脚10连接到GPIO端口B6。
11	PB5/AIN5/I2C_SDA	GPIO端口B5。可用作ADC输入端口5或者I ² C数据线。	PB5/I2C_SDA	GPIO端口B5。 可用作I ² C数据线。真正的开漏结构，无ADC输入功能。
12	PB4/AIN4/I2C_SCL	GPIO端口B4。可用作ADC输入端口4或者I ² C时钟线。	PB4/I2C_SCL	GPIO端口B4。 可用作I ² C时钟线。真正的开漏结构，无ADC输入功能。

5.1.1 备选功能重映射

如引脚描述表最右列中所示，通过对8个AFR(备选功能重映射)选项位中的一位，一些备选功能可以被重新映射到不同的I/O端口上。请参考第7章：选项字节。当相应的重映射选项被打开后，引脚默认的复用功能将不可用了。

如果要使用备选的功能，外设寄存器中相应的外设一定要被使能。

备选功能重映射不影响I/O端口的GPIO功能(请见参考手册RM0016中有关GPIO的章节)。

6 中断向量映像

表7 中断向量表

中断编号	中断源	说明	从停机模式唤醒	从活跃停机模式唤醒	向量地址
	RESET	复位	是	是	0x00 8000
	TRAP	软件中断	-	-	0x00 8004
0	TLI	外部最高级中断	-	-	0x00 8008
1	AWU	从停机模式自动唤醒	-	是	0x00 800C
2	CLK	时钟控制器	-	-	0x00 8010
3	EXTI0	端口A外部中断	是 ⁽¹⁾	是 ⁽¹⁾	0x00 8014
4	EXTI1	端口B外部中断	是	是	0x00 8018
5	EXTI2	端口C外部中断	是	是	0x00 801C
6	EXTI3	端口D外部中断	是	是	0x00 8020
7	EXTI4	端口E外部中断	是	是	0x00 8024
8		保留	-	-	0x00 8028
9		保留	-	-	0x00 802C
10	SPI	传输结束	是	是	0x00 8030
11	TIM1	定时器1 更新/上溢出/下溢出/触发/刹车	-	-	0x00 8034
12	TIM1	定时器1 捕获/比较	-	-	0x00 8038
13	TIM2	定时器2 更新/上溢出	-	-	0x00 803C
14	TIM2	定时器2 捕获/比较	-	-	0x00 8040
15	TIM3	定时器3 更新/上溢出	-	-	0x00 8044
16	TIM3	定时器2 捕获/比较	-	-	0x00 8048
17		保留	-	-	0x00 804C
18		保留	-	-	0x00 8050
19	I ² C	I ² C中断	是	是	0x00 8054
20	UART2	发送完成	-	-	0x00 8058
21	UART2	接收寄存器数据满	-	-	0x00 805C
22	ADC1	ADC1转换结束/模拟看门狗中断	-	-	0x00 8060
23	TIM4	定时器4 更新/上溢出	-	-	0x00 8064
24	FLASH	EOP/WR_PG_DIS	-	-	0x00 8068
保留					0x00 806C 至 0x00 807C

1. PA1除外



7 选项字节

选项字节包括芯片硬件特性的配置和存储器的保护信息，这些字节保存在存储器中一个专用的块内。除了ROP(读出保护)字节，每个选项字节必须被保存两次，一个是通常的格式(OPTx)和一个用来备份的互补格式(NOPTx)。

可以在ICP模式(通过SWIM)下访问下表中EEPROM的地址来修改选项字节。

选项字节也可以通过应用程序在IAP模式下修改，但是ROP选项只能在ICP模式(通过SWIM)下被修改。

有关SWIM编程过程的内容请参考[STM8S闪存编程手册\(PM0051\)](#)和[STM8 SWIM通信协议和调试模块用户手册\(UM0470\)](#)。

表8 选项字节

地址	选项名称	选项字节	选项位								出厂默认设置
			7	6	5	4	3	2	1	0	
0x4800	读保护	OPT0	ROP[7:0]								00h
0x4801	用户	OPT1	UBC[7:0]								00h
0x4802	启动代码	NOPT1	NUBC[7:0]								FFh
0x4803	备选功能重映射 (AFR)	OPT2	AFR7	AFR6	AFR5	AFR4	AFR3	AFR2	AFR1	AFR0	00h
0x4804		NOPT2	NAFR7	NAFR6	NAFR5	NAFR4	NAFR3	NAFR2	NAFR1	NAFR0	FFh
0x4805	其它选项	OPT3	保留			HSI TRIM	LSI EN	IWDG HW	WWDG HW	WWDG HALT	00h
0x4806		NOPT3	保留			NHSI TRIM	NLSI EN	NIWDG HW	NWWDG HW	NWWDG HALT	FFh
0x4807	时钟选项	OPT4	保留				EXT CLK	CKAWU SEL	PRS C1	PRS C0	00h
0x4808		NOPT4	保留				NEXT CLK	NCKAWU SEL	NPRS C1	NPRS C0	FFh
0x4809	HSE时钟启动选项	OPT5	HSECNT[7:0]								00h
0x480A		NOPT5	NHSECNT[7:0]								FFh
0x480B	保留	OPT6	保留								00h
0x480C		NOPT6	保留								FFh
0x480D	保留	OPT7	保留								00h
0x480E		NOPT7	保留								FFh
0x487E	Bootloader	OPTBL	BL[7:0]								00h
0x487F		NOPTBL	NBL[7:0]								FFh

表9 选项字节描述

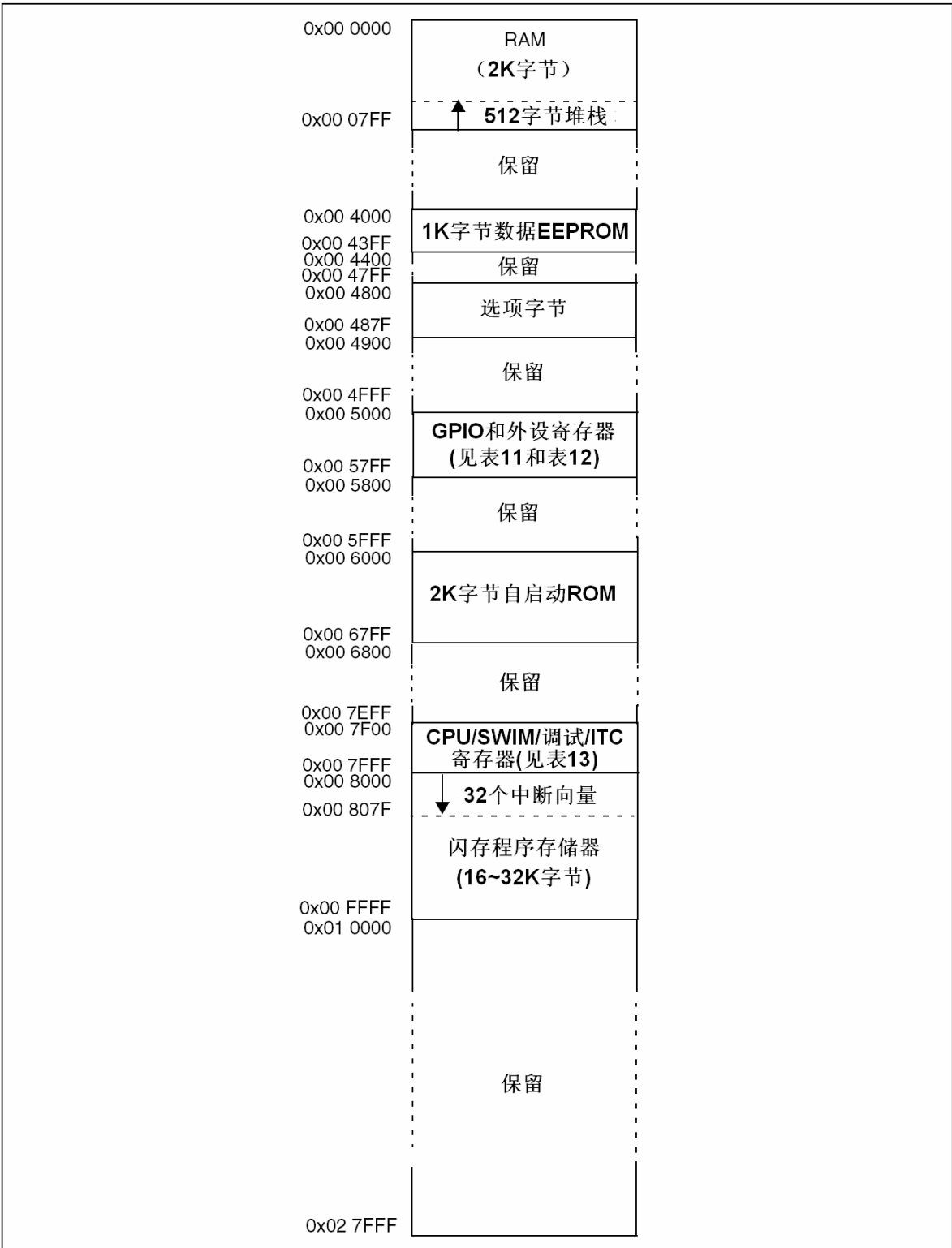
选项字节	说明
OPT0	ROP[7:0] 存储器读出保护(ROP) 0xAA: 读出保护使能(通过SWIM协议写入) <i>注: 详细内容请参考产品参考手册(RM0016)中关于Flash/EEPROM存储器读保护内容的章节。</i>
OPT1	UBC[7:0] 用户启动代码区域 0x00: 没有UBC, 没有写保护。 0x01: 页0~页1定义为UBC, 存储器写保护。 0x02: 页0~页3定义为UBC, 存储器写保护。 0x03: 页0~页4定义为UBC, 存储器写保护。 ... 0x3E: 页0~页63定义为UBC, 存储器写保护。 其余数值: 保留 <i>注: 详细内容请参考产品参考手册(RM0016)中关于Flash/EEPROM存储器写保护内容的章节。</i>
OPT2	AFR7 备选功能重映射选项7 0: 端口D4备选功能为TIM2_CH1 1: 端口D4备选功能为BEEP
	AFR6 备选功能重映射选项6 0: 端口B5备选功能为AIN5, 端口B4备选功能为AIN4 1: 端口B5备选功能为I ² C_SDA, 端口B4备选功能为I ² C_SCL
	AFR5 备选功能重映射选项5 0: 端口B3备选功能为AIN3, 端口B2备选功能为AIN2, 端口B1备选功能为AIN1, 端口B0备选功能为AIN0 1: 端口B3备选功能为TIM1_ETR, 端口B2备选功能为TIM1_CH3N, 端口B1备选功能为TIM1_CH2N, 端口B0备选功能为TIM1_CH1N
	AFR4 备选功能重映射选项4 0: 端口D7备选功能为TLI 1: 端口D7备选功能为TIM1_CH4
	AFR3 备选功能重映射选项3 0: 端口D0备选功能为TIM3_CH2 1: 端口D0备选功能为TIM1_BKIN
	AFR2 备选功能重映射选项2 0: 端口D0备选功能为TIM3_CH2 1: 端口D0备选功能为CLK_CCO <i>注: 如果同时选择AFR2和AFR3, 则AFR2选项的优先级高于AFR3。</i>
	AFR1 备选功能重映射选项1 0: 端口A3备选功能为TIM2_CH3, 端口D2备选功能为TIM3_CH1 1: 端口A3备选功能为TIM3_CH1, 端口D2备选功能为TIM2_CH3
	AFR0 备选功能重映射选项0 0: 端口D3备选功能为TIM2_CH2 1: 端口D3备选功能为ADC_ETR
OPT3	HSITRIM: 高速内部时钟调节寄存器大小 0: CLK_HSITRIMR寄存器支持3位调节。 1: CLK_HSITRIMR寄存器支持4位调节。
	LSI_EN: 低速内部时钟使能 0: LSI时钟不能被用作CPU的时钟源。 1: LSI时钟可以被用作CPU的时钟源。
	IWDG_HW: 独立看门狗 0: IWDG独立看门狗由软件激活。 1: IWDG独立看门狗由硬件激活。

	WWDG_HW: 窗口看门狗激活 0: WWDG窗口看门狗由软件激活。 1: WWDG窗口看门狗由硬件激活。
	WWDG_HALT: 当芯片进入停机模式时窗口看门狗的复位动作 0: 如果窗口看门狗使能, 当芯片进入停机模式时不产生复位。 1: 如果窗口看门狗使能, 当芯片进入停机模式时可以产生复位。
OPT4	EXT_CLK: 外部时钟选择 0: 外部晶体振荡器连接到OSCIN/OSCOOUT引脚上 1: 外部时钟连接到OSCIN引脚上
	CKAWUSEL: 自动唤醒单元/时钟 0: LSI时钟源作为AWU的时钟 1: HSE分频后的时钟作为AWU的时钟源
	PRSC[1:0]: AWU时钟预分频 0x: 16MHz到128kHz分频 10: 8MHz到128kHz分频 11: 4MHz到128kHz分频
OPT5	HSECNT[7:0]: HSE晶体振荡器稳定时间 0x00: 2048个HSE周期 0xB4: 128个HSE周期 0xD2: 8个HSE周期 0xE1: 0.5个HSE周期
OPT6	保留
OPT7	保留
OPTBL	BL[7:0]: 启动引导选项字节 复位后引导ROM中的程序检查这个选项。同时根据0x487E, 0x487F地址的内容和复位向量0x8000中的内容决定CPU跳到引导程序还是复位向量运行。 更多信息请参考STM8S引导程序手册。

8 存储器和寄存器映像

8.1 存储器映像

图6 存储器映像



下表列出了每一种存储器的大小和边界地址，对于不同的RAM大小的情况下，堆栈的顶部都是RAM的结束地址。

表10 FLASH，数据EEPROM和RAM边界地址

存储器区域	大小(字节)	起始地址	结束地址
FLASH程序存储器	32K	0x00 8000	0x00 FFFF
	16K	0x00 8000	0x00 BFFF
RAM	2K	0x00 0000	0x00 07FF
数据EEPROM	1024	0x00 4000	0x00 43FF

8.2 寄存器映像

表11 I/O端口硬件寄存器映像

地 址	模 组	寄存器标号	寄存器含义	复位值
00 5000h	端口A	PA_ODR	端口A数据输出锁存寄存器	00h
00 5001h		PA_IDR	端口A输入引脚值寄存器	00h
00 5002h		PA_DDR	端口A数据方向寄存器	00h
00 5003h		PA_CR1	端口A控制寄存器1	00h
00 5004h		PA_CR2	端口A控制寄存器2	00h
00 5005h	端口B	PB_ODR	端口B数据输出锁存寄存器	00h
00 5006h		PB_IDR	端口B输入引脚值寄存器	00h
00 5007h		PB_DDR	端口B数据方向寄存器	00h
00 5008h		PB_CR1	端口B控制寄存器1	00h
00 5009h		PB_CR2	端口B控制寄存器2	00h
00 500Ah	端口C	PC_ODR	端口C数据输出锁存寄存器	00h
00 500Bh		PC_IDR	端口C输入引脚值寄存器	00h
00 500Ch		PC_DDR	端口C数据方向寄存器	00h
00 500Dh		PC_CR1	端口C控制寄存器1	00h
00 500Eh		PC_CR2	端口C控制寄存器2	00h
00 500Fh	端口D	PD_ODR	端口D数据输出锁存寄存器	00h
00 5010h		PD_IDR	端口D输入引脚值寄存器	00h
00 5011h		PD_DDR	端口D数据方向寄存器	00h
00 5012h		PD_CR1	端口D控制寄存器1	00h
00 5013h		PD_CR2	端口D控制寄存器2	00h
00 5014h	端口E	PE_ODR	端口E数据输出锁存寄存器	00h
00 5015h		PE_IDR	端口E输入引脚值寄存器	00h
00 5016h		PE_DDR	端口E数据方向寄存器	00h
00 5017h		PE_CR1	端口E控制寄存器1	00h
00 5018h		PE_CR2	端口E控制寄存器2	00h
00 5019h	端口F	PF_ODR	端口F数据输出锁存寄存器	00h
00 501Ah		PF_IDR	端口F输入引脚值寄存器	00h
00 501Bh		PF_DDR	端口F数据方向寄存器	00h
00 501Ch		PF_CR1	端口F控制寄存器1	00h
00 501Dh		PF_CR2	端口F控制寄存器2	00h
00 501Eh	端口G	PG_ODR	端口G数据输出锁存寄存器	00h
00 501Fh		PG_IDR	端口G输入引脚值寄存器	00h
00 5020h		PG_DDR	端口G数据方向寄存器	00h
00 5021h		PH_CR1	端口G控制寄存器1	00h

参照2009年2月STM8S105xx 数据手册英文第6版



00 5022h		PG_CR2	端口G控制寄存器2	00h
00 5023h	端口H	PH_ODR	端口H数据输出锁存寄存器	00h
00 5024h		PH_IDR	端口H输入引脚值寄存器	00h
00 5025h		PH_DDR	端口H数据方向寄存器	00h
00 5026h		PH_CR1	端口H控制寄存器1	00h
00 5027h		PH_CR2	端口H控制寄存器2	00h
00 5028h	端口I	PI_ODR	端口I数据输出锁存寄存器	00h
00 5029h		PI_IDR	端口I输入引脚值寄存器	00h
00 502Ah		PI_DDR	端口I数据方向寄存器	00h
00 502Bh		PI_CR1	端口I控制寄存器1	00h
00 502Ch		PI_CR2	端口I控制寄存器2	00h

表12 通用硬件寄存器影像

地 址	模 组	寄存器标号	寄存器含义	复位值
00 5050h 至 00 5059h	保留区(10字节)			
00 505Ah	Flash	FLASH_CR1	FLASH控制寄存器1	00h
00 505Bh		FLASH_CR2	FLASH控制寄存器2	00h
00 505Ch		FLASH_NCR2	FLASH互补控制寄存器2	FFh
00 505Dh		FLASH_FPR	FLASH保护寄存器	00h
00 505Eh		FLASH_NFPR	FLASH互补保护寄存器	FFh
00 505Fh		FLASH_IAPSR	FLASH在应用编程状态寄存器	00h
00 5060h 至 00 5061h	保留区(2字节)			
00 5062h	Flash	FLASH_PUKR	FLASH解保护寄存器	00h
00 5063h	保留区(1字节)			
00 5064h	Flash	FLASH_DUKR	数据EEPROM解保护寄存器	00h
00 5065h 至 00 509Fh	保留区(59字节)			
00 50A0h	ITC	EXTI_CR1	外部中断控制寄存器1	00h
00 50A1h		EXTI_CR2	外部中断控制寄存器2	00h
00 50A2h 至 00 50B2h	保留区(17字节)			
00 50B3h	RST	RST_SR	复位状态寄存器	xx
00 50B4h 至 00 50BFh	保留区(12字节)			
00 50C0h	CLK	CLK_I CKR	内部时钟控制寄存器	01h
00 50C1h		CLK_E CKR	外部时钟控制寄存器	00h
00 50C2h	保留区(1字节)			
00 50C3h	CLK	CLK_CMSR	主时钟状态寄存器	E1h
00 50C4h		CLK_SWR	主时钟切换寄存器	E1h
00 50C5h		CLK_SWCR	时钟切换控制寄存器	x0h
00 50C6h		CLK_CKDIVR	时钟分频寄存器	18h

参照2009年2月STM8S105xx 数据手册英文第6版



www.bdtic.com/ST

00 50C7h		CLK_PCKENR1	外设时钟门控寄存器1	FFh
00 50C8h		CLK_CSSR	时钟安全系统寄存器	00h
00 50C9h		CLK_CCOR	可配置时钟控制寄存器	00h
00 50CAh		CLK_PCKENR2	外设时钟门控寄存器2	FFh
00 50CBh		CLK_CANCCR	CAN总线时钟控制寄存器	00h
00 50CCh		CLK_HSITRIMR	HIS时钟微调寄存器	xxh
00 50CDh		CLK_SWIMCCR	SWIM时钟控制寄存器	x0h
00 50CEh 至 00 50D0h	保留区(3字节)			
00 50D1h	WWDG	WWDG_CR	WWDG控制寄存器	7Fh
00 50D2h		WWDG_WR	WWDG窗口寄存器	7Fh
00 50D3h 至 00 50DFh	保留区(13字节)			
00 50E0h	IWDG	IWDG_KR	IWDG密钥寄存器	—
00 50E1h		IWDG_PR	IWDG预分频寄存器	00h
00 50E2h		IWDG_RLR	IWDG重装载寄存器	FFh
00 50E3h 至 00 50EFh	保留区(13字节)			
00 50F0h	AWU	AWU_CSR1	AWU控制/状态寄存器	00h
00 50F1h		AWU_APR	AWU异步预分频寄存器	3Fh
00 50F2h		AWU_TBR	AWU时基选择寄存器	00h
00 50F3h	BEEP	BEEP_CSR	BEEP控制/状态寄存器	1Fh
00 50F4h 至 00 50FFh	保留区(12字节)			
00 5200h	SPI	SPI_CR1	SPI控制寄存器1	00h
00 5201h		SPI_CR2	SPI控制寄存器2	00h
00 5202h		SPI_ICR	SPI中断控制寄存器	00h
00 5203h		SPI_SR	SPI状态寄存器	02h
00 5204h		SPI_DR	SPI数据寄存器	00h
00 5205h		SPI_CRCPR	SPI CRC多项式寄存器	07h
00 5206h		SPI_RXCR	SPI接收CRC寄存器	FFh
00 5207h		SPI_TXCR	SPI发送CRC寄存器	FFh
00 5208h 至 00 520Fh	保留区(8字节)			
00 5210h	I ² C	I2C_CR1	I ² C控制寄存器1	00h
00 5211h		I2C_CR2	I ² C控制寄存器2	00h
00 5212h		I2C_FREQR	I ² C频率寄存器	00h
00 5213h		I2C_OARL	I ² C自身地址寄存器低位	00h
00 5214h		I2C_OARH	I ² C自身地址寄存器高位	00h
00 5215h	保留区(1字节)			
00 5216h	I ² C	I2C_DR	I ² C数据寄存器	00h
00 5217h		I2C_SR1	I ² C状态寄存器1	00h
00 5218h		I2C_SR2	I ² C状态寄存器2	00h

参照2009年2月STM8S105xx 数据手册英文第6版



www.bdtic.com/ST

00 5219h		I2C_SR3	I ² C状态寄存器3	00h
00 521Ah		I2C_ITR	I ² C中断控制寄存器	00h
00 521Bh		I2C_CCRL	I ² C时钟控制寄存器低位	00h
00 521Ch		I2C_CCRH	I ² C时钟控制寄存器高位	00h
00 521Dh		I2C_TRISER	I ² C TRISE寄存器	02h
00 521Eh		I2C_PECR	I ² C包错误检查寄存器	00h
00 521Fh 至 00 522Fh	保留区(17字节)			
00 5230h 至 00 523Fh	保留区(16字节)			
00 5240h	UART2	UART2_SR	UART1 状态寄存器	C0h
00 5241h		UART2_DR	UART1 数据寄存器	xxh
00 5242h		UART2_BRR1	UART1 波特率寄存器1	00h
00 5243h		UART2_BRR2	UART1 波特率寄存器2	00h
00 5244h		UART2_CR1	UART1 控制寄存器1	00h
00 5245h		UART2_CR2	UART1 控制寄存器2	00h
00 5246h		UART2_CR3	UART1 控制寄存器3	00h
00 5247h		UART2_CR4	UART1 控制寄存器4	00h
00 5248h		保留		
00 5249h		UART2_CR6	UART2 控制寄存器6	00h
00 524Ah		UART2_GTR	UART1保护时间寄存器	00h
00 524Bh		UART2_PSCR	UART1预分频寄存器	00h
00 524Ch 至 00 524Fh	保留区(4字节)			
00 5250h	TIM1	TIM1_CR1	TIM1控制寄存器1	00h
00 5251h		TIM1_CR2	TIM1控制检测器2	00h
00 5252h		TIM1_SMCR	TIM1从模式控制寄存器	00h
00 5253h		TIM1_ETR	TIM1外部触发寄存器	00h
00 5254h		TIM1_IER	TIM1中断使能寄存器	00h
00 5255h		TIM1_SR1	TIM1状态寄存器1	00h
00 5256h		TIM1_SR2	TIM1状态寄存器2	00h
00 5257h		TIM1_EGR	TIM1事件产生寄存器	00h
00 5258h		TIM1_CCMR1	TIM1比较/捕获模式寄存器1	00h
00 5259h		TIM1_CCMR2	TIM1比较/捕获模式寄存器2	00h
00 525Ah		TIM1_CCMR3	TIM1比较/捕获模式寄存器3	00h
00 525Bh		TIM1_CCMR4	TIM1比较/捕获模式寄存器4	00h
00 525Ch		TIM1_CCER1	TIM1比较/捕获使能寄存器1	00h
00 525Dh		TIM1_CCER2	TIM1比较/捕获使能寄存器2	00h
00 525Eh		TIM1_CNTRH	TIM1计数器高位	00h
00 525Fh		TIM1_CNTRL	TIM1计数器低位	00h
00 5260h		TIM1_PSCRH	TIM1预分频寄存器高位	00h
00 5261h		TIM1_PSCRL	TIM1预分频寄存器低位	00h
00 5262h		TIM1_ARRH	TIM1预装载寄存器高位	FFh



00 5263h		TIM1_ARRL	TIM1预装载寄存器低位	FFh
00 5264h		TIM1_RCR	TIM1重复计数器寄存器	00h
00 5265h		TIM1_CCR1H	TIM1比较/捕获寄存器1高位	00h
00 5266h		TIM1_CCR1L	TIM1比较/捕获寄存器1低位	00h
00 5267h		TIM1_CCR2H	TIM1比较/捕获寄存器2高位	00h
00 5268h		TIM1_CCR2L	TIM1比较/捕获寄存器2低位	00h
00 5269h		TIM1_CCR3H	TIM1比较/捕获寄存器3高位	00h
00 526Ah		TIM1_CCR3L	TIM1比较/捕获寄存器3低位	00h
00 526Bh		TIM1_CCR4H	TIM1比较/捕获寄存器4高位	00h
00 526Ch		TIM1_CCR4L	TIM1比较/捕获寄存器4低位	00h
00 526Dh		TIM1_BKR	TIM1刹车寄存器	00h
00 526Eh		TIM1_DTR	TIM1死区寄存器	00h
00 526Fh		TIM1_OISR	TIM1输出停滞状态寄存器	00h
00 5270h 至 00 52FFh	保留区(147字节)			
00 5300h	TIM2	TIM2_CR1	TIM2控制寄存器1	00h
00 5301h		TIM2_IER	TIM2中断使能寄存器	00h
00 5302h		TIM2_SR1	TIM2状态寄存器1	00h
00 5303h		TIM2_SR2	TIM2状态寄存器2	00h
00 5304h		TIM2_EGR	TIM2事件产生寄存器	00h
00 5305h		TIM2_CCMR1	TIM2比较/捕获寄存器1	00h
00 5306h		TIM2_CCMR2	TIM2比较/捕获寄存器2	00h
00 5307h		TIM2_CCMR3	TIM2比较/捕获寄存器3	00h
00 5308h		TIM2_CCER1	TIM2比较/捕获使能寄存器1	00h
00 5309h		TIM2_CCER2	TIM2比较/捕获使能寄存器2	00h
00 530Ah		TIM2_CNTRH	TIM2计数器高位	00h
00 530Bh		TIM2_CNTRL	TIM2计数器低位	00h
00 530Ch		TIM2_PSCR	TIM2预分频寄存器	00h
00 530Dh		TIM2_ARRH	TIM2预装载寄存器高位	FFh
00 530Eh		TIM2_ARRL	TIM2预装载寄存器低位	FFh
00 530Fh		TIM2_CCR1H	TIM2比较/捕获寄存器1高位	00h
00 5310h		TIM2_CCR1L	TIM2比较/捕获寄存器1低位	00h
00 5311h		TIM2_CCR2H	TIM2比较/捕获寄存器2高位	00h
00 5312h		TIM2_CCR2L	TIM2比较/捕获寄存器2低位	00h
00 5313h		TIM2_CCR3H	TIM2比较/捕获寄存器3高位	00h
00 5314h		TIM2_CCR3L	TIM2比较/捕获寄存器3低位	00h
00 5315h 至 00 531Fh	保留区(11字节)			
00 5320	TIM3	TIM3_CR1	TIM3控制寄存器1	00h
00 5321		TIM3_IER	TIM3中断使能寄存器	00h
00 5322		TIM3_SR1	TIM3状态寄存器1	00h
00 5323		TIM3_SR2	TIM3状态寄存器2	00h
00 5324		TIM3_EGR	TIM3事件产生寄存器	00h
00 5325		TIM3_CCMR1	TIM3比较/捕获寄存器1	00h

参照2009年2月STM8S105xx 数据手册英文第6版



00 5326		TIM3_CCMR2	TIM3比较/捕获寄存器2	00h
00 5327		TIM3_CCER1	TIM3比较/捕获使能寄存器1	00h
00 5328		TIM3_CNTRH	TIM3计数器高位	00h
00 5329		TIM3_CNTRL	TIM3计数器低位	00h
00 532A		TIM3_PSCR	TIM3预分频寄存器	00h
00 532B		TIM3_ARRH	TIM3预装载寄存器高位	FFh
00 532C		TIM3_ARRL	TIM3预装载寄存器低位	FFh
00 532D		TIM3_CCR1H	TIM3比较/捕获寄存器1高位	00h
00 532E		TIM3_CCR1L	TIM3比较/捕获寄存器1低位	00h
00 532F		TIM3_CCR2H	TIM3比较/捕获寄存器2高位	00h
00 5330		TIM3_CCR2L	TIM3比较/捕获寄存器2低位	00h
00 5331 至 00 533F	保留区(15字节)			
00 5340h	TIM4	TIM4_CR1	TIM4控制寄存器1	00h
00 5341h		TIM4_IER	TIM4中断使能寄存器	00h
00 5342h		TIM4_SR	TIM4状态寄存器	00h
00 5343h		TIM4_EGR	TIM4事件产生寄存器	00h
00 5344h		TIM4_CNTR	TIM4计数器	00h
00 5345h		TIM4_PSCR	TIM4预分频寄存器	00h
00 5346h		TIM4_ARR	TIM4预装载寄存器	FFh
00 5347h 至 00 53DFh	保留区(153字节)			
00 53E0h 至 00 53F3h	ADC1	ADC_DBxR	ADC数据缓冲寄存器	00h
00 53F4h 至 00 53FFh	保留区(12字节)			
00 5400h	ADC1	ADC_CSR	ADC控制/状态寄存器	00h
00 5401h		ADC_CR1	ADC配置寄存器1	00h
00 5402h		ADC_CR2	ADC配置寄存器2	00h
00 5403h		ADC_CR3	ADC配置寄存器3	00h
00 5404h		ADC_DRH	ADC数据寄存器高位	00h
00 5405h		ADC_DRL	ADC数据寄存器低位	00h
00 5406h		ADC_TDRH	ADC施密特触发器禁用寄存器高位	00h
00 5407h		ADC_TDRL	ADC施密特触发器禁用寄存器低位	00h
00 5408h		ADC_HTRH	ADC高阈值高位	03h
00 5409h		ADC_HTRL	ADC高阈值低位	FFh
00 540Ah		ADC_LTRH	ADC低阈值高位	00h
00 540Bh		ADC_LTRL	ADC低阈值低位	00h
00 540Ch		ADC_AWSRH	ADC模拟看门狗状态寄存器高位	00h
00 540Dh		ADC_AWSRL	ADC模拟看门狗状态寄存器低位	00h
00 540Eh		ADC_AWCRH	ADC模拟看门狗控制寄存器高位	00h
00 540Fh		ADC_AWCRL	ADC模拟看门狗控制寄存器低位	00h



00 5410h 至 00 57FFh	保留区(1008字节)
---------------------------	-------------

表13 CPU/SWIM/调试模块/中断控制寄存器

地 址	模 组	寄存器标号	寄存器含义	复位值
00 7F00h	CPU ⁽¹⁾	A	累加器	00h
00 7F01h		PCE	程序计数器扩展字节	00h
00 7F02h		PCH	程序计数器高字节	00h
00 7F03h		PCL	程序计数器低字节	00h
00 7F04h		XH	X索引寄存器高字节	00h
00 7F05h		XL	X索引寄存器低字节	00h
00 7F06h		YH	Y索引寄存器高字节	00h
00 7F07h		YL	Y索引寄存器低字节	00h
00 7F08h		SPH	堆栈指针高字节	17h
00 7F09h		SPL	堆栈指针低字节	FFh
00 7F0Ah		CCR	条件代码寄存器	28h
00 7F0Bh 至 00 7F5Fh	保留区(85字节)			
00 7F60h	CPU	CFG_GCR	全局配置寄存器	00h
00 7F70h	ITC	ITC_SPR1	中断软件优先级寄存器1	FFh
00 7F71h		ITC_SPR2	中断软件优先级寄存器2	FFh
00 7F72h		ITC_SPR3	中断软件优先级寄存器3	FFh
00 7F73h		ITC_SPR4	中断软件优先级寄存器4	FFh
00 7F74h		ITC_SPR5	中断软件优先级寄存器5	FFh
00 7F75h		ITC_SPR6	中断软件优先级寄存器6	FFh
00 7F76h		ITC_SPR7	中断软件优先级寄存器7	FFh
00 7F77h		ITC_SPR8	中断软件优先级寄存器8	FFh
00 7F78h 至 00 7F79h	保留区(2字节)			
00 7F80h	SWIM	SWIM_CSR	SWIM控制状态寄存器	00h
00 7F81h 至 00 7F8Fh	保留区(15字节)			
00 7F90h	DM	DM_BK1RE	DM断点1寄存器扩展字节	FFh
00 7F91h		DM_BK1RH	DM断点1寄存器高字节	FFh
00 7F92h		DM_BK1RL	DM断点1寄存器低字节	FFh
00 7F93h		DM_BK2RE	DM断点2寄存器扩展字节	FFh
00 7F94h		DM_BK2RH	DM断点2寄存器高字节	FFh
00 7F95h		DM_BK2RL	DM断点2寄存器低字节	FFh
00 7F96h		DM_CR1	DM调试模块控制寄存器1	00h
00 7F97h		DM_CR2	DM调试模块控制寄存器2	00h
00 7F98h		DM_CSR1	DM调试模块控制/状态寄存器1	10h
00 7F99h		DM_CSR2	DM调试模块控制/状态寄存器2	00h
00 7F9Ah		DM_ENFCTR	DM使能功能寄存器	FFh
00 7F9Bh	保留区(5字节)			

参照2009年2月STM8S105xx 数据手册英文第6版



www.bdtic.com/ST

至	
00 7F9Fh	

1. 只有调试模块可以访问



9 电气特性

9.1 参数条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

9.1.1 最小和最大值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过推算、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在推算的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

9.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=5\text{V}$ 。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)。

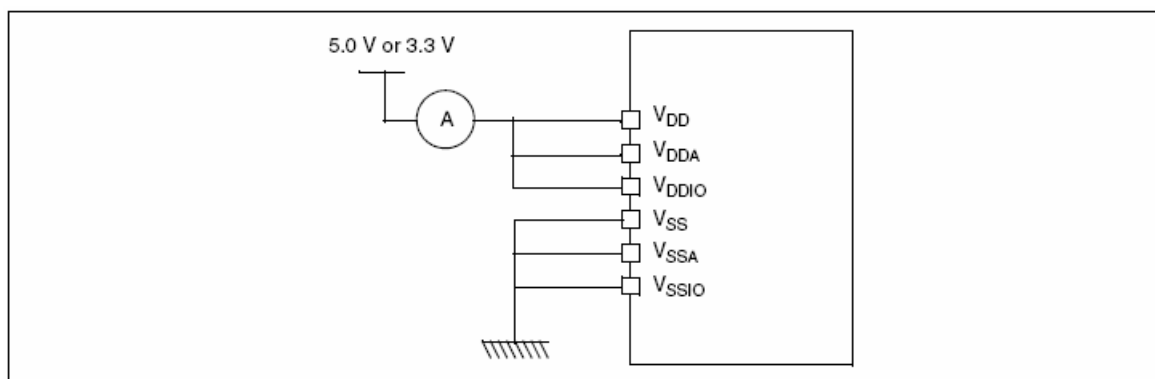
9.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

9.1.4 典型电流消耗

测量典型电流消耗时， V_{DD} ， V_{DDIO} 和 V_{DDA} 连接在一起，如下图所示。

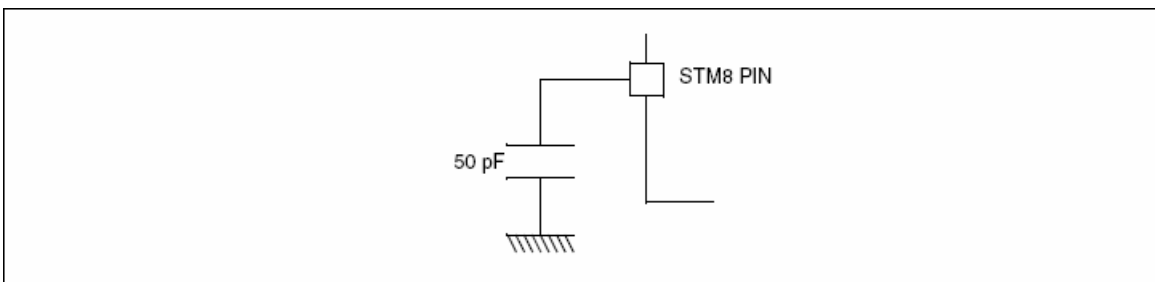
图7 供电电流测量条件



9.1.5 负载电容

测量管脚参数时的负载条件如下图所示。

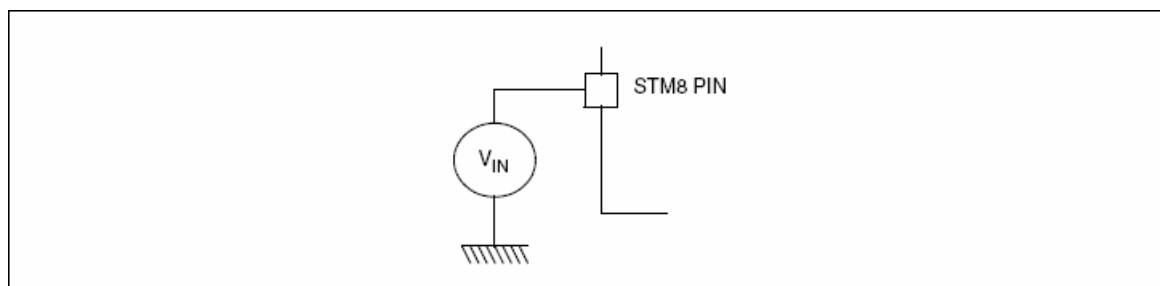
图8 管脚负载条件



9.1.6 引脚输入电压

管脚上的输入电压测量如下图所示。

图9 管脚输入电压



9.2 绝对最大额定值

加在器件上的载荷如果超过‘绝对最大额定值’列表中给出的值可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表14 电压特性

符号	描述	最小值	最大值	单位
$V_{DDx} - V_{SS}$	供电电压 ⁽¹⁾	-0.3	6.5	V
V_{IN}	在真正开漏管脚上的输入电压(PE1、PE2) ⁽²⁾	$V_{SS}-0.3$	6.5	
	在其他管脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ V_{DDx} - V_{DD} $	不同供电管脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地管脚之间的电压差		50	
V_{ESD}	ESD静电放电电压	参考‘绝对最大额定值’列表		

1. 所有的电源(V_{DD} , V_{DDIO} , V_{DDA})和地(V_{SS} , V_{SSIO} , V_{SSA})管脚必须始终连接到外部对应的供电引脚上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{DD}$ 时，有一个负向注入电流。对于真正开漏的管脚，没有正向注入电流，它对应 V_{IN} 的最大值必须得到保证。

表15 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD} 电源线的总电流(输出电流) ⁽²⁾	60	mA
I_{VSS}	经过 V_{SS} 地线的总电流(灌电流) ⁽²⁾	60	
I_{IO}	任意I/O和控制管脚上的输出灌电流	20	
	任意I/O和控制管脚上的输出电流	20	
ΣI_{IO}	所有I/O和控制管脚上的总输出电流(有2个 V_{DDIO} 的器件) ⁽³⁾	200	
	所有I/O和控制管脚上的总输出电流(有1个 V_{DDIO} 的器件) ⁽³⁾	100	
	所有I/O和控制管脚上的总输出灌电流(有2个 V_{DDIO} 的器件) ⁽³⁾	160	
	所有I/O和控制管脚上的总输出灌电流(有1个 V_{DDIO} 的器件) ⁽³⁾	80	
$I_{INJ(PIN)}$ ^{(4) (5)}	NRST管脚的注入电流	+/-4	
	OSCIN管脚的注入电流	+/-4	
	其他管脚的注入电流 ⁽⁶⁾	+/-4	
$\Sigma I_{INJ(PIN)}$ ⁽⁴⁾	所有I/O和控制管脚上的总注入电流 ⁽⁶⁾	+/-20	

1. 数据基于特性总结得出，没有在生产时测试。
2. 所有的电源(V_{DD} , V_{DDIO} , V_{DDA})和地(V_{SS} , V_{SSIO} , V_{SSA})管脚必须始终连接到外部对应的供电引脚上。
3. 同时使用的用于大电流I/O(灌电流或拉电流)的管脚，必须均匀地分布在 V_{DDIO}/V_{SSIO} 的管脚之间。

4. $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{DD}$ 时，有一个负向注入电流。对于真正开漏的管脚，没有正向注入电流，它对应 V_{IN} 的最大值必须得到保证。
5. 负注入电流会干扰器件的模拟性能。参看9.3.10节。
6. 当几个I/O口同时有注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与负向注入电流的即时绝对值之和。该结果基于在器件4个I/O端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表16 热特性

符号	描述	值	单位
T_{STG}	保存温度范围	-65 至 +150	° C
T_J	最大结温	150	

9.3 工作条件

表17 通用操作条件

符号	参数	条件	最小值	最大值	单位
f _{CPU}	内部CPU时钟频率		0	16	MHz
V _{DD} /V _{DD_IO}	标准工作电压		2.95	5.5	V
P _D	功率消耗 温度标号6: T _A =85℃ 温度标号3: T _A =125℃	44和48脚的产品, 8个标准端口的输出, 同时有2个大电流吸收端口和2个开漏端口 ⁽¹⁾ 。		443	mW
	功率消耗 T _A =125℃ 温度标号3	32脚的产品, 8个标准端口的输出, 同时有2个大电流吸收端口 ⁽¹⁾ 。		360	
T _A	环境温度(温度标号6)	最大功率消耗	-40	85	℃
		低功率消耗 ⁽²⁾	-40	105	
	环境温度(温度标号3)	最大功率消耗	-40	125	
		低功率消耗 ⁽²⁾	-40	140	
T _J	结温度范围		见表51		

- 有关计算方法, 请参考9.4节。
- 在低功耗状态, 只要T_J不超过T_{JMAX} (请参考9.4节), T_A就可以延伸到这个范围。

图10 不同f_{CPUmax}及V_{DD}对比

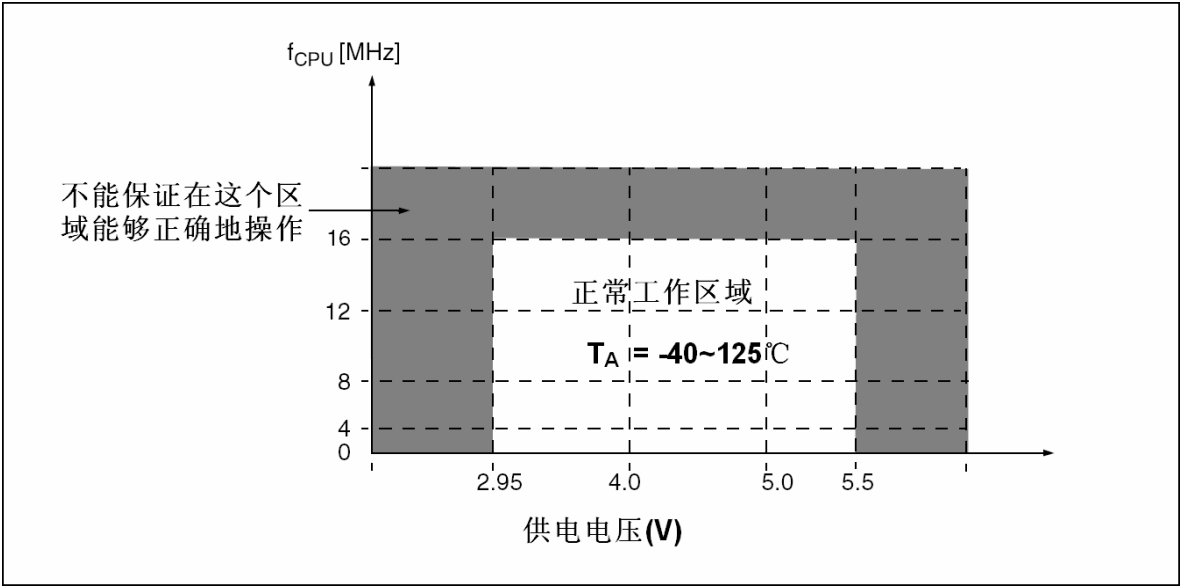


表18 在上电/掉电时的工作条件

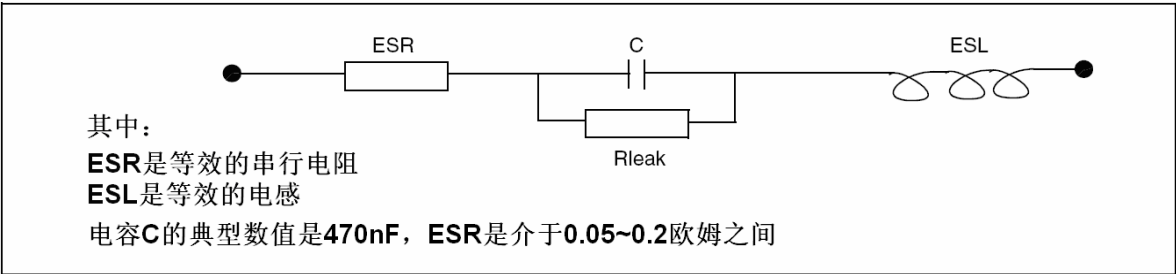
符号	参数	条件	最小值	典型值	最大值	单位
t _{VDD}	V _{DD} 上升速率		2 ⁽¹⁾		∞	μs/V
	V _{DD} 下降速率		2 ⁽¹⁾		∞	
t _{TEMP}	复位释放延迟	V _{DD} 上升			1.7 ⁽¹⁾	ms
V _{IT+}	上电复位阈值		2.65	2.8	2.95	V
V _{IT-}	掉电复位阈值		2.58	2.7	2.88	V
V _{HYS(BOR)}	掉电复位滞后			70		mV

- 由设计保证, 未在生产上测试。

9.3.1 VCAP外部电容

通过在V_{CAP}脚上加一个外部电容C_{EXT}来保证主电压调节器的稳定。该电容的典型值为470nF，同时具有较低的等效串联电阻(ESR)。要注意引脚上的串联电感值要小于15nH。

图11 外部电容



9.3.2 供电电流特性

电流消耗的测量方法如图7所示。

在运行模式下的总电流消耗

MCU处于以下条件中：

- 所有的I/O口工作于输入模式，并被连接到V_{DD}或V_{SS}(无负载)。
- 除非明确提及，所有外设都停止工作(通过配置外设时钟门控寄存器来停止时钟)。

运行在通常的V_{DD}及T_A条件下。

表19 在V_{DD}=5.0V，MCU处于运行模式执行代码时的总电流消耗

符 号	参 数	条 件		典型值	最大值	单 位
I _{DD(RUN)}	运行模式下的 供电电流，代 码在RAM中执 行	f _{CPU} =f _{MASTER} =16MHz	HSE晶振(16MHz)	3.2		mA
			HSE外部时钟(16MHz)	2.6	TBD	
			HSI RC振荡器(16MHz)	2.5	TBD ⁽¹⁾	
		f _{CPU} =f _{MASTER} /128=125kHz	HSE外部时钟(16MHz)	TBD	TBD ⁽¹⁾	
			HSI RC振荡器(16MHz)	1.3	TBD ⁽¹⁾	
		f _{CPU} =f _{MASTER} /128=15.625kHz	HSI RC振荡器(16MHz/8)	0.75		
		f _{CPU} =f _{MASTER} =128kHz	LSI RC振荡器(128kHz)	0.75		
	运行模式下的 供电电流，代 码在Flash中执 行	f _{CPU} =f _{MASTER} =16MHz	HSE晶振(16MHz)	7.7		
			HSE外部时钟(16MHz)	7.0	TBD ⁽¹⁾	
			HSI RC振荡器(16MHz)	7.0	TBD ⁽¹⁾	
		f _{CPU} =f _{MASTER} =2MHz	HSI RC振荡器(16MHz/8) ⁽²⁾	1.5		
		f _{CPU} =f _{MASTER} /128=125kHz	HSI RC振荡器(16MHz)	1.35		
		f _{CPU} =f _{MASTER} /128=15.625kHz	HSI RC振荡器(16MHz/8)	0.75		
		f _{CPU} =f _{MASTER} =128kHz	LSI RC振荡器(128kHz)	0.6		

1. 数据基于特性总结得出，没有在生产上测试。

2. 默认时钟配置将外设全部关闭。

表20 在 $V_{DD}=3.3V$, MCU处于运行模式执行代码时的总电流消耗

符号	参数	条件	典型值	最大值	单位
$I_{DD(RUN)}$	运行模式下的供电电流, 代码在RAM中执行	$f_{CPU}=f_{MASTER}=16MHz$	HSE晶振(16MHz)	2.8	
			HSE外部时钟(16MHz)	2.6	TBD
			HSI RC振荡器(16MHz)	2.5	TBD ⁽¹⁾
		$f_{CPU}=f_{MASTER}/128=125kHz$	HSE外部时钟(16MHz)	TBD	TBD ⁽¹⁾
			HSI RC振荡器(16MHz)	1.3	TBD ⁽¹⁾
		$f_{CPU}=f_{MASTER}/128=15.625kHz$	HSI RC振荡器(16MHz/8)	0.75	
	运行模式下的供电电流, 代码在Flash中执行	$f_{CPU}=f_{MASTER}=128kHz$	LSI RC振荡器(128kHz)	0.55	
		$f_{CPU}=f_{MASTER}=16MHz$	HSE晶振(16MHz)	7.3	
			HSE外部时钟(16MHz)	7.0	TBD ⁽¹⁾
			HSI RC振荡器(16MHz)	7.0	TBD ⁽¹⁾
		$f_{CPU}=f_{MASTER}=2MHz$	HSI RC振荡器(16MHz/8) ⁽²⁾	1.5	
		$f_{CPU}=f_{MASTER}/128=125kHz$	HSI RC振荡器(16MHz)	1.35	
		$f_{CPU}=f_{MASTER}/128=15.625kHz$	HSI RC振荡器(16MHz/8)	0.75	
		$f_{CPU}=f_{MASTER}=128kHz$	LSI RC振荡器(128kHz)	0.6	

1. 数据基于特性总结得出, 没有在生产上测试。

2. 默认时钟配置将外设全部关闭。

在等待模式下的电流消耗

表21 在 $V_{DD}=5.0V$, MCU处于等待模式时的总电流消耗

符号	参数	条件	典型值	最大值	单位
$I_{DD(WFI)}$	等待模式下的供电电流	$f_{CPU}=f_{MASTER}=16MHz$	HSE晶振(16MHz)	2.15	
			HSE外部时钟(16MHz)	1.55	TBD ⁽¹⁾
			HSI RC振荡器(16MHz)	1.5	TBD ⁽¹⁾
		$f_{CPU}=f_{MASTER}/128=125kHz$	HSI RC振荡器(16MHz)	1.3	
		$f_{CPU}=f_{MASTER}/128=15.625kHz$	HSI RC振荡器(16MHz/8) ⁽²⁾	0.7	
		$f_{CPU}=f_{MASTER}=128kHz$	LSI RC振荡器(128kHz)	0.5	

1. 数据基于特性总结得出, 没有在生产上测试。

2. 默认时钟配置将外设全部关闭。

表22 在 $V_{DD}=3.3V$, MCU处于等待模式时的总电流消耗

符号	参数	条件	典型值	最大值	单位
$I_{DD(WFI)}$	等待模式下的供电电流	$f_{CPU}=f_{MASTER}=16MHz$	HSE晶振(16MHz)	1.75	
			HSE外部时钟(16MHz)	1.55	TBD ⁽¹⁾
			HSI RC振荡器(16MHz)	1.5	TBD ⁽¹⁾
		$f_{CPU}=f_{MASTER}/128=125kHz$	HSI RC振荡器(16MHz)	1.3	
		$f_{CPU}=f_{MASTER}/128=15.625kHz$	HSI RC振荡器(16MHz/8) ⁽²⁾	0.7	
		$f_{CPU}=f_{MASTER}=128kHz$	LSI RC振荡器(128kHz)	0.5	

1. 数据基于特性总结得出, 没有在生产上测试。

2. 默认时钟配置将外设全部关闭。



在活跃停机模式下的电流消耗

表23 在 $V_{DD}=5.0V$ ，MCU处于活跃停机模式时的总电流消耗

符号	参数	条件			典型值	最大值	单位
		主调压器(MVR) ⁽¹⁾	闪存模式 ⁽²⁾	时钟源			
$I_{DD(AH)}$	活跃停机模式下的供电电流	开启	工作模式	HSE晶振(16MHz)	1080	TBD ⁽³⁾	μA
				LSI RC振荡器(128kHz)	200		
			断电模式	HSE晶振(16MHz)	1030		
				LSI RC振荡器(128kHz)	140		
		关闭	工作模式	LSI RC振荡器(128kHz)	68		
			断电模式		12	TBD ⁽³⁾	

1. 配置CLK_ICKR寄存器中的REGAH位。
2. 配置FLASH_CR1寄存器中的AHALT位。
3. 数据基于特性总结得出，没有在生产上测试。

表24 在 $V_{DD}=3.3V$ ，MCU处于活跃停机模式时的总电流消耗

符号	参数	条件			典型值	单位
		主调压器(MVR) ⁽¹⁾	闪存模式 ⁽²⁾	时钟源		
$I_{DD(AH)}$	活跃停机模式下的供电电流	开启	工作模式	HSE晶振(16MHz)	680	μA
				LSI RC振荡器(128kHz)	200	
			断电模式	HSE晶振(16MHz)	630	
				LSI RC振荡器(128kHz)	150	
		关闭	工作模式	LSI RC振荡器(128kHz)	66	
			断电模式		10	

1. 配置CLK_ICKR寄存器中的REGAH位。
2. 配置FLASH_CR1寄存器中的AHALT位。

在停机模式下的电流消耗

表25 在 $V_{DD}=5.0V$ ，MCU处于停机模式时的总电流消耗

符号	参数	条件	典型值	最大值	单位
$I_{DD(H)}$	停机模式下的供电电流	闪存处于工作模式，唤醒后使用HSI时钟	62		μA
		闪存处于断电模式，唤醒后使用HSI时钟	6.5	20	

表26 在 $V_{DD}=3.3V$ ，MCU处于停机模式时的总电流消耗

符号	参数	条件	典型值	单位
$I_{DD(H)}$	停机模式下的供电电流	闪存处于工作模式，唤醒后使用HSI时钟	60	μA
		闪存处于断电模式，唤醒后使用HSI时钟	4.5	

低功耗模式下的唤醒时间

表27 唤醒时间

1. 数据由设计保证，没有在生产上测试。
2. $t_{WU(WFI)} = 2 \times 1/f_{master} + 7 \times 1/f_{CPU}$ 。
3. 测量从中断事件发生到取中断向量。
4. 配置CLK_ICR寄存器中的REGAH位。
5. 配置FLASH_CR1寄存器中的AHALT位。
6. 根据同步状态需要增加1个LSI周期。

在强迫复位状态下的总电流消耗及时间

表28 在强迫复位状态下的总电流消耗及时间

符号	参数	条件	典型值	最大值 ⁽¹⁾	单位
$I_{DD(R)}$	复位状态下的供电电流	$V_{DD}=5.0V$	1.6		mA
		$V_{DD}=3.3V$	0.8		
$t_{RESETBL}$	释放复位管脚至读取复位向量			150	μs

1. 数据由设计保证，没有在生产上测试。

片上外设的电流消耗

运行在通常的 V_{DD} 及 T_A 条件下。

使用内部HSI RC振荡器， $f_{CPU}=f_{MASTER}=16MHz$ 。

表29 外设电流功耗

符号	参数	典型值	单位
$I_{DD(TIM1)}$	定时器1供电电流 ⁽¹⁾	230	μA
$I_{DD(TIM2)}$	定时器2供电电流 ⁽¹⁾	115	
$I_{DD(TIM3)}$	定时器3供电电流 ⁽¹⁾	90	
$I_{DD(TIM4)}$	定时器4供电电流 ⁽¹⁾	30	
$I_{DD(UART2)}$	UART2供电电流 ⁽²⁾	110	
$I_{DD(SPI)}$	SPI供电电流 ⁽²⁾	45	
$I_{DD(I2C)}$	I ² C供电电流 ⁽²⁾	65	
$I_{DD(ADC1)}$	ADC1进行转换时的供电电流 ⁽³⁾	955	

1. 数据根据复位配置和定时器计数器运行在16MHz时的 I_{DD} 差值测量得到。没有IC/OC操作(没有I/O端口操作)。生产时不做测试。
2. 数据根据片上外设处于复位配置并且没有开启时钟，和开启片上外设时钟但未处于复位配置时的 I_{DD} 差值测量得到。没有I/O端口操作。生产时不做测试。
3. 数据根据复位配置与连续的A/D转换时的 I_{DD} 差值测量得到。生产时不做测试。



电流消耗曲线

图12至图13为当代码在RAM中运行时的典型电流消耗。

图12 使用内部HSI RC时钟 $f_{\text{CPU}}=16\text{MHz}$ 时典型的 $I_{\text{DD(RUN)}}$ 对比 V_{DD}
TBD

图13 使用内部HSI RC时钟 $f_{\text{CPU}}=16\text{MHz}$ 时典型的 $I_{\text{DD(WFI)}}$ 对比 V_{DD}
TBD

9.3.3 外部时钟源和时间特性

HSE用户外部时钟

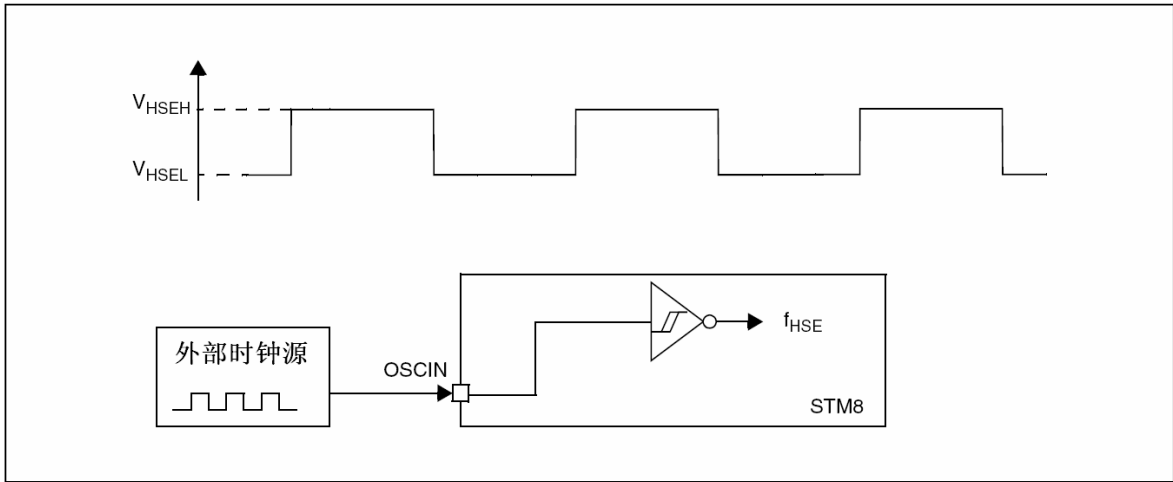
运行在通常的 V_{DD} 及 T_A 条件下。

表30 HSE用户外部时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率		0		16	MHz
$V_{HSEH}^{(1)}$	OSCIN输入管脚高电平电压		$0.7 \times V_{DD}$		$V_{DD} + 0.3V$	V
$V_{HSEL}^{(1)}$	OSCIN输入管脚低电平电压		V_{SS}		$0.3 \times V_{DD}$	
I_{LEAK_HSE}	OSCIN输入管脚漏电流	$V_{SS} < V_{IN} < V_{DD}$	-1		+1	μA

1. 数据基于特性总结得出，没有在生产时测试。

图14 HSE外部时钟源



HSE石英/陶瓷晶体振荡器

HSE可由1~16MHz石英/陶瓷晶体提供时钟。本节的所有信息都是基于使用典型外部器件得到的特性结果。在实际应用中，晶体和负载电容必须尽可能近地放置于振荡器管脚旁，以减少输出畸变及启动时间。请参考晶体的用户手册以了解更多信息(频率、封装、精度...)。

表31 HSE振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE}	外部高速振荡器频率		1		16	MHz
R_F	反馈电阻			220		k Ω
$C^{(1)}$	建议的加载电容 ⁽²⁾				20	pF
$I_{DD(HSE)}$	HSE振荡器功率消耗	$C=20pF, f_{osc}=16MHz$			6(启动) 1.6(稳定) ⁽³⁾	mA
		$C=10pF, f_{osc}=16MHz$			6(启动) 1.2(稳定) ⁽³⁾	
g_m	振荡器跨导系数		5			mA/V
$t_{SU(HSE)}^{(4)}$	启动时间	V_{DD} 是稳定的		1		ms

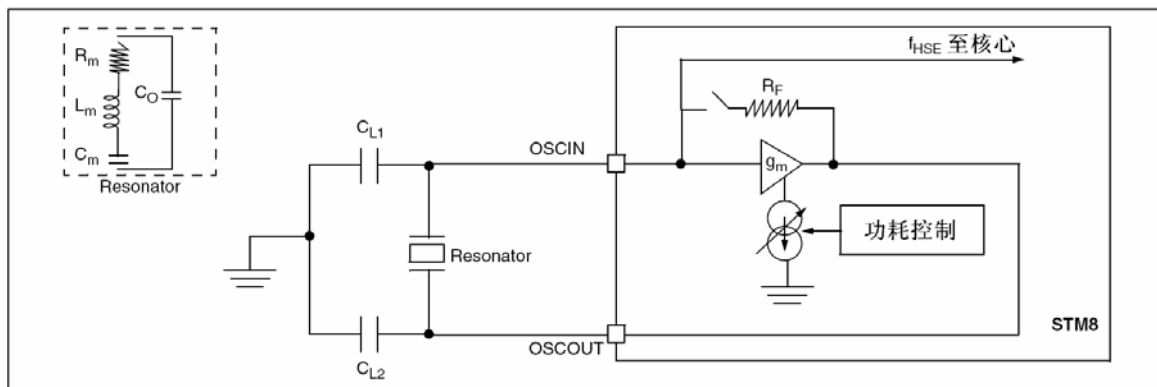
1. C 大约为晶体 C_{load} 的2倍。

2. 可根据供电电流，使用 R_m 较小的高质量晶体来优化振荡器的选择。更多信息请参考晶体的用户手册。

3. 数据基于特性总结得出，没有在生产中测试。

4. $t_{SU(HSE)}$ 是晶体的起振时间，其值为从软件使能HSE开始，直到16MHz稳定振荡的时间。该值通过测量一个标准晶体得到；对于不同的晶体制造商，该值可能变化较大。

图15 HSE振荡器电路框图



HSE振荡器关键参数 g_m 计算公式

$$g_{m\text{crit}} = (2 \times \pi \times f_{\text{HSE}})^2 \times R_m (2C_o + C)^2$$

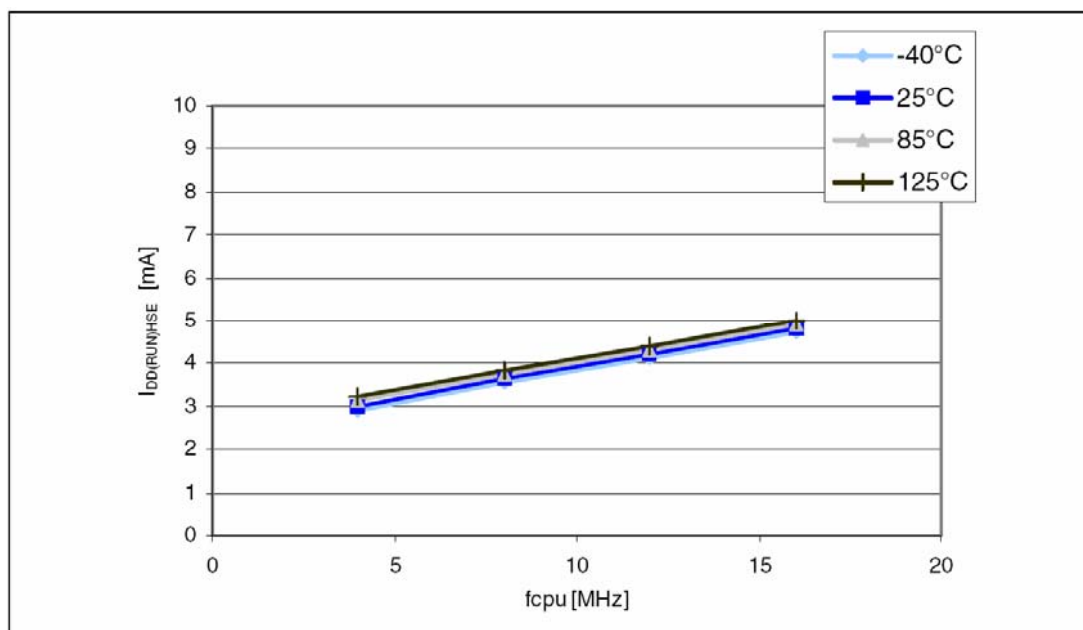
R_m : 理想电阻(参看晶体技术手册)

C_m : 理想电容(参看晶体技术手册)

$C_{L1}=C_{L2}=C$: 外部接地电容

$g_m \gg g_{m\text{crit}}$

图16 4种温度下，典型的HSE频率与 f_{CPU} 的对比



9.3.4 内部时钟源和时间特性

运行在通常的 V_{DD} 及 T_A 条件下。

高速内部RC振荡器(HSI)

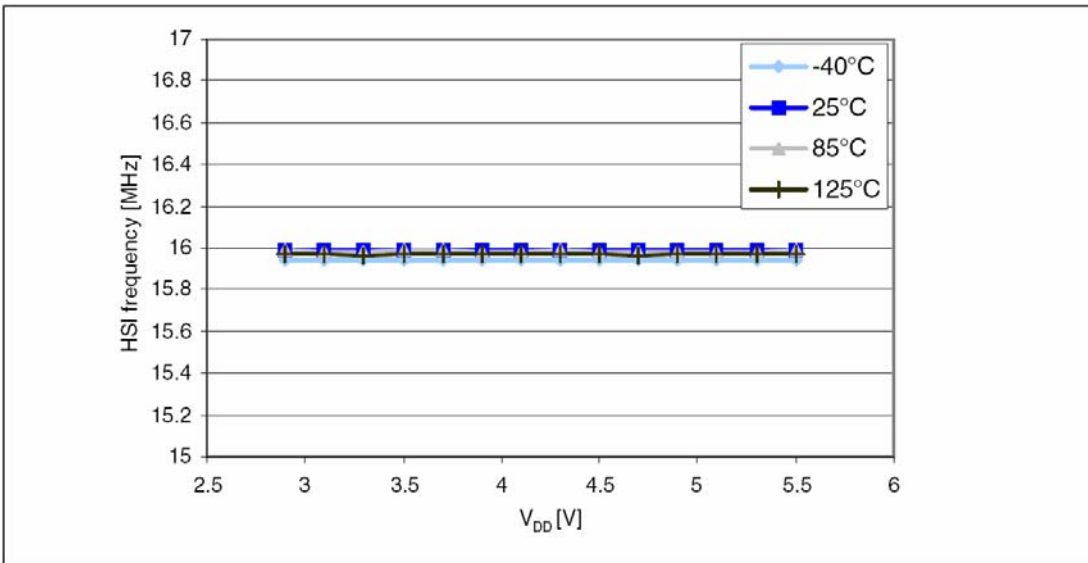
表32 HSI振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			16		MHz
ACC_{HSI}	HSI振荡器的精度	用户使用CLK_HSITRIM寄存器在给定的 V_{DD} 和 T_A 条件下调整 ⁽¹⁾	-1 ⁽¹⁾		1 ⁽¹⁾	%
	HSI振荡器的精度 (工厂校准后)	$V_{DD}=5V, T_A=25^{\circ}C$	-1.5		1.5	%
		$V_{DD}=5V, 25^{\circ}C \leq T_A \leq 125^{\circ}C$	-2.5		2.5	
		$2.95V \leq V_{DD} \leq 5.5V$ $-40^{\circ}C \leq T_A \leq 125^{\circ}C$	TBD ⁽²⁾		TBD ⁽²⁾	
$t_{SU(HSI)}$	HSI振荡器包括校准的 唤醒时间		5		1 ⁽¹⁾	μs
$I_{DD(HSI)}$	HSI振荡器电流消耗			170	250 ⁽²⁾	μA

1. 由设计保证，没有在生产上测试。

2. 数据基于特性总结得出，没有在生产上测试。

图17 在4种温度下典型的HSI频率与 V_{DD} 对比



低速内部RC振荡器(LSI)

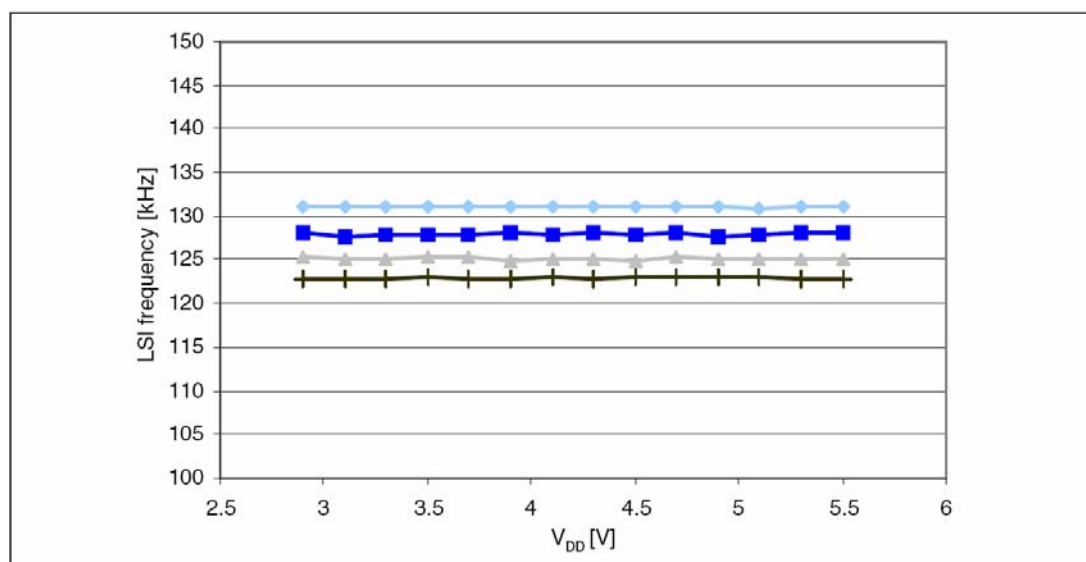
运行在通常的 V_{DD} 及 T_A 条件下。

表33 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率		110	128	146	kHz
$t_{SU(LSI)}$	LSI振荡器的唤醒时间				7 ⁽¹⁾	μs
$I_{DD(LSI)}$	LSI振荡器电流消耗			5		μA

1. 由设计保证，没有在生产上测试。

图18 在4种温度下典型的LSI频率与V_{DD}对比



9.3.5 存储器特性

RAM和硬件寄存器

表34 RAM和硬件寄存器

符号	参数	条件	最小值	典型值	最大值	单位
V _{RM}	数据保持 ⁽¹⁾	停机(或复位)模式	V _{IT-max}			V

1. 不丢失在RAM和硬件寄存器中保存的数据的最小供电电压(在停机模式或复位状态)。由设计保证, 没有在生产上测试。关于V_{IT-max}参数, 见表18。

FLASH程序存储器/数据EEPROM存储器

正常工作条件: T_A = -40~125℃

表35 FLASH程序存储器/数据EEPROM存储器

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD}	工作电压(所有模式下, 执行/写/擦除)	f _{CPU} ≤ 16MHz	2.95		5.5	V
t _{prog}	对于字节/字/块(1字节/4字节/128字节)标准编程时间(包括擦除)			6	6.6	ms
	对于1块(128字节)的快速编程时间			3	3.33	
t _{erase}	擦除一块的时间(128字节)			3	3.33	
N _{RW}	擦除/写入周期 ⁽²⁾ (程序存储器)	T _A = +85℃	10k			次数
	擦除/写入周期 ⁽²⁾ (数据存储器)	T _A = +125℃	300k	1M		
t _{RET}	在T _A =+85℃时经过10k次擦除/写入后, 数据保持(程序存储器)	T _{RET} = 55℃	20			年
	在T _A =+85℃时经过10k次擦除/写入后, 数据保持(数据存储器)	T _{RET} = 55℃	20			
	在T _A =+125℃时经过300k次擦除/写入后, 数据保持(数据存储器)	T _{RET} = 85℃	1			
I _{DD}	供电电流(Flash编程或擦除1至128字节)			2		mA

1. 数据基于特性总结得出, 没有在生产上测试。
2. 存储器的组织结构是基于4字节的; 因此, 即使写/擦除操作只针对1个字节, 实际的操作也是基于4个字节。

9.3.6 I/O端口管脚特性

通用特性

除非特别说明，数据均对应于MCU运行在通常的 V_{DD} 及 T_A 条件下。所有没有使用的I/O口必须连接到固定的电平：例如将I/O口配置成输出模式，或使用上拉或下拉电阻。

表36 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	$V_{DD} = 5V$	-0.3V		$0.3 \times V_{DD}$	V
V_{IH}	输入高电平电压		$0.7 \times V_{DD}$		$V_{DD} + 0.3V$	V
V_{hys}	滞回电压 ⁽¹⁾			700		mV
R_{pu}	上拉电阻	$V_{DD} = 5V, V_{IN} = V_{SS}$	30	45	60	k Ω
t_R, t_F	上升和下降时间 (10%~90%)	快速I/O, 负载=50pF			20 ⁽²⁾	ns
		标准和大吸收I/O, 负载=50pF			125 ⁽²⁾	
I_{ikg}	数据输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1 ⁽²⁾	μA
$I_{ikg\ ana}$	模拟输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 250 ⁽²⁾	
$I_{ikg(inj)}$	相邻管脚的漏电流	注入电流 $\pm 4mA$			± 1 ⁽²⁾	

1. 施密特触发器的滞回电压。数据基于特性总结得出，没有在生产中测试。
2. 数据基于特性总结得出，没有在生产上测试。

图19 在4种温度下典型的 V_{IL} 和 V_{IH} 与 V_{DD} 的对比

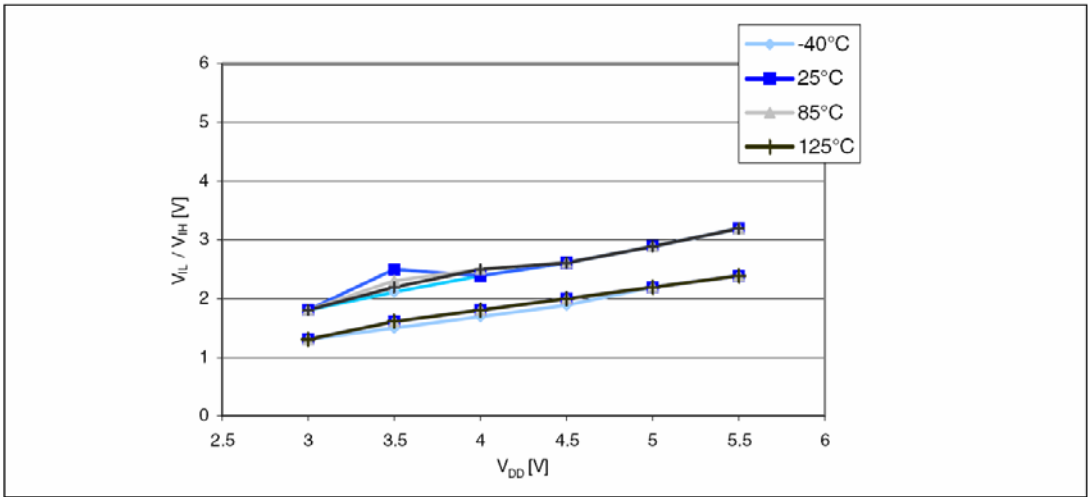


图20 在4种温度下典型的上拉电阻与 V_{DD} 的对比

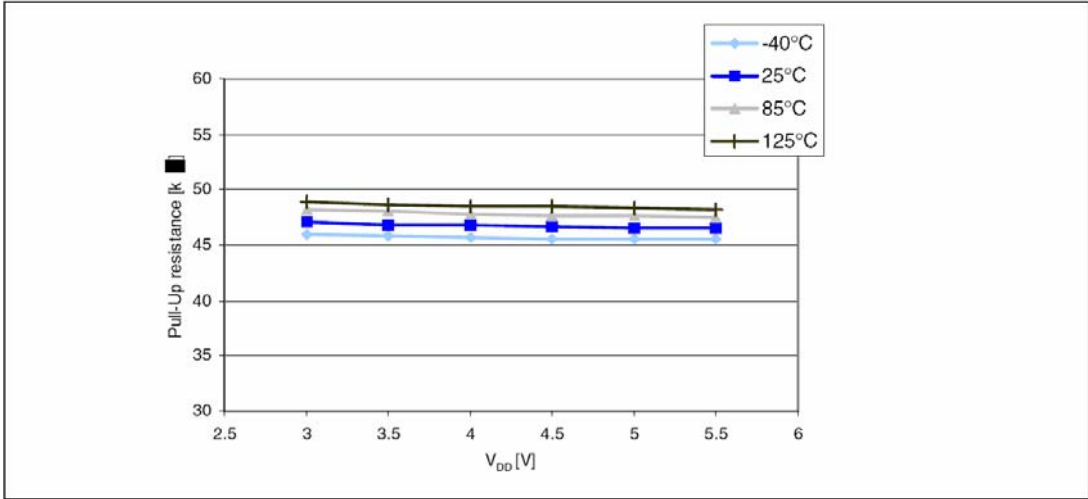
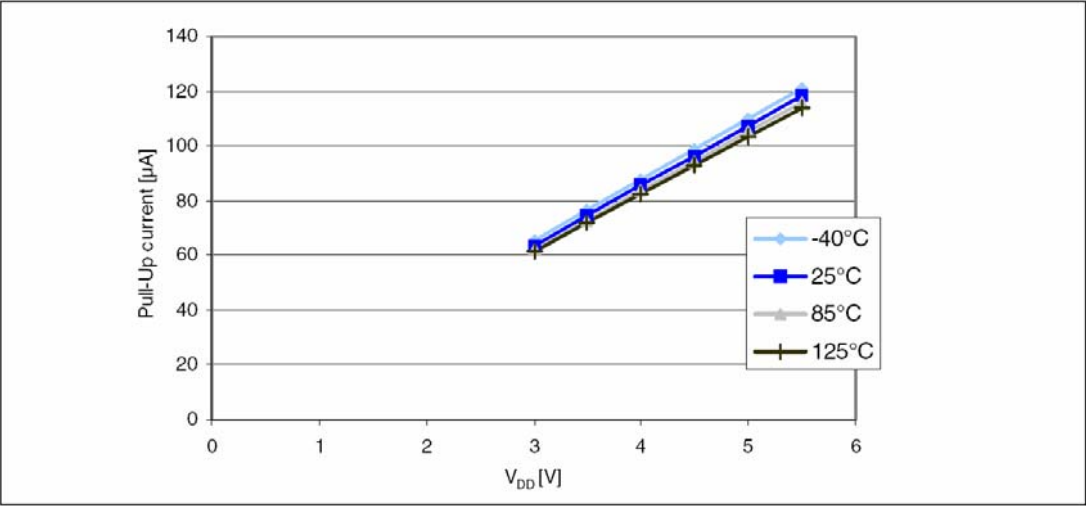


图21 在4种温度下典型的上拉电流 I_{PU} 与 V_{DD} 的对比



1. 上拉是一个纯电阻，曲线向下经过0点。

表37 输出驱动电流(标准端口)

符号	参数	条件	最小值	最大值	单 位
V_{OL}	输出低电平，4个管脚吸收电流	$I_{IO} = 4\text{mA}$, $V_{DD} = 3.3\text{V}$		1 ⁽¹⁾	V
	输出低电平，8个管脚吸收电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 5\text{V}$		2	
V_{OH}	输出高电平，4个管脚输出电流	$I_{IO} = 4\text{mA}$, $V_{DD} = 3.3\text{V}$	2.1 ⁽¹⁾		
	输出高电平，8个管脚输出电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 5\text{V}$	2.4		

1. 数据基于特性总结得出，没有在生产中测试。

表38 输出驱动电流(真正的开漏端口)

符号	参数	条件	最小值	最大值	单 位
V_{OL}	输出低电平，2个管脚吸收电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 3.3\text{V}$		1.5 ⁽¹⁾	V
		$I_{IO} = 10\text{mA}$, $V_{DD} = 5\text{V}$		1	
		$I_{IO} = 20\text{mA}$, $V_{DD} = 5\text{V}$		2 ⁽¹⁾	

1. 数据基于特性总结得出，没有在生产中测试。

表39 输出驱动电流(吸收大电流端口)

符号	参数	条件	最小值	最大值	单 位
V_{OL}	输出低电平，4个管脚吸收电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 3.3\text{V}$		1 ⁽¹⁾	V
	输出低电平，8个管脚吸收电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 5.0\text{V}$		0.8	
	输出低电平，4个管脚吸收电流	$I_{IO} = 20\text{mA}$, $V_{DD} = 5.0\text{V}$		1.6 ⁽¹⁾	
V_{OH}	输出高电平，4个管脚输出电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 3.3\text{V}$	1.9 ⁽¹⁾		
	输出高电平，8个管脚输出电流	$I_{IO} = 10\text{mA}$, $V_{DD} = 5.0\text{V}$	3.8		
	输出高电平，4个管脚输出电流	$I_{IO} = 20\text{mA}$, $V_{DD} = 5.0\text{V}$	2.9 ⁽¹⁾		

1. 数据基于特性总结得出，没有在生产中测试。

典型的输出电平曲线

图22至图31是在单一的引脚上输出时测量到的典型输出电平曲线。

图22 $V_{DD}=3.3V$ 时，典型的 V_{OL} 曲线(标准端口)

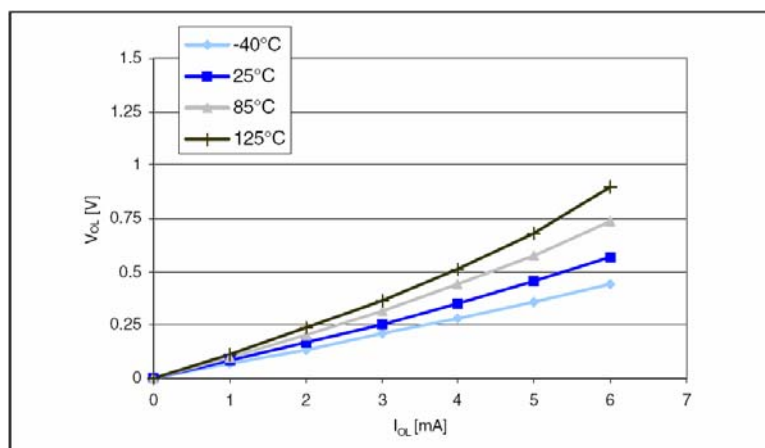


图23 $V_{DD}=5.0V$ 时，典型的 V_{OL} 曲线(标准端口)

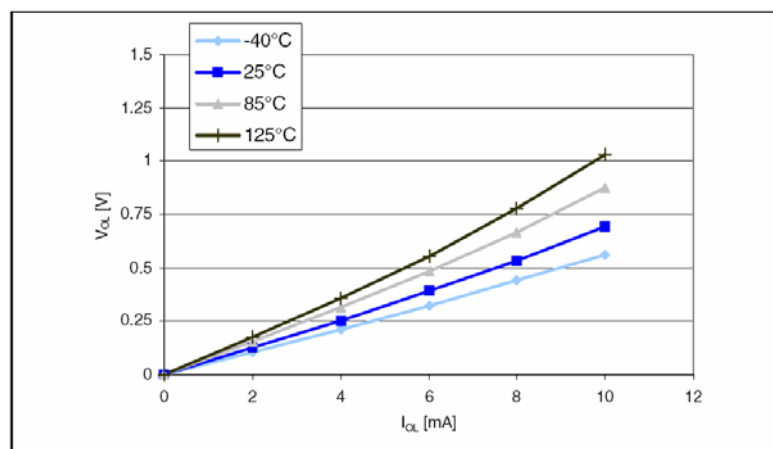


图24 $V_{DD}=3.3V$ 时，典型的 V_{OL} 曲线(真正开漏端口)

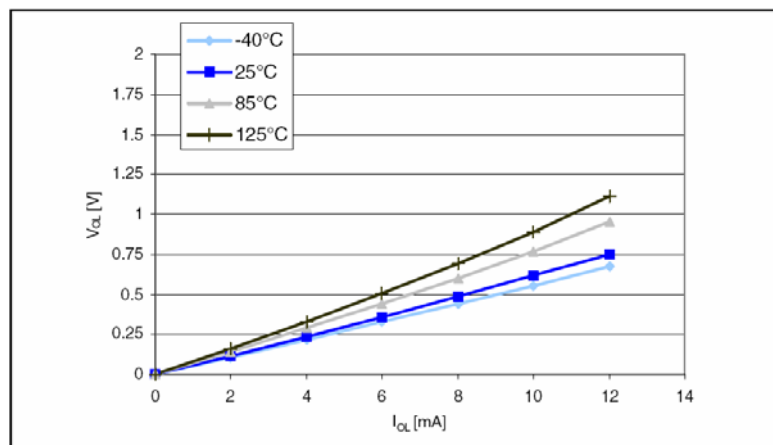


图25 $V_{DD} = 5.0V$ 时，典型的 V_{OL} 曲线(真正开漏端口)

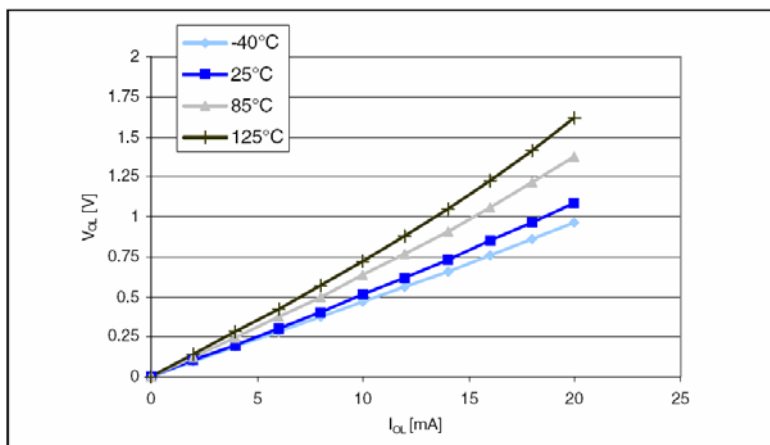


图26 $V_{DD} = 3.3V$ 时，典型的 V_{OL} 曲线(吸收大电流端口)

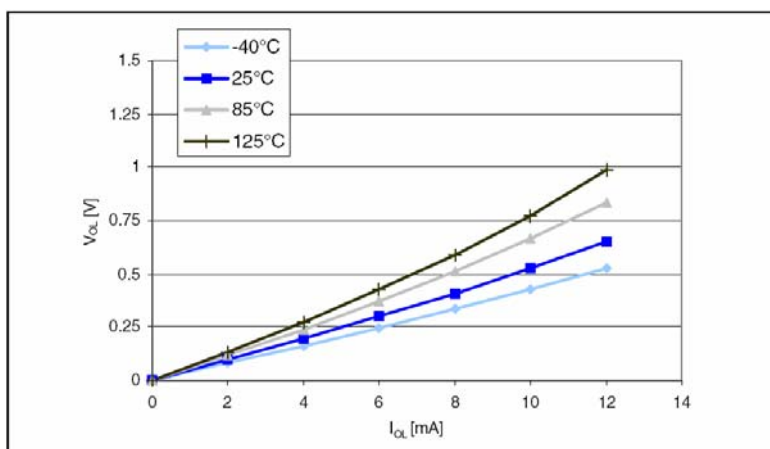


图27 $V_{DD} = 5.0V$ 时，典型的 V_{OL} 曲线(吸收大电流端口)

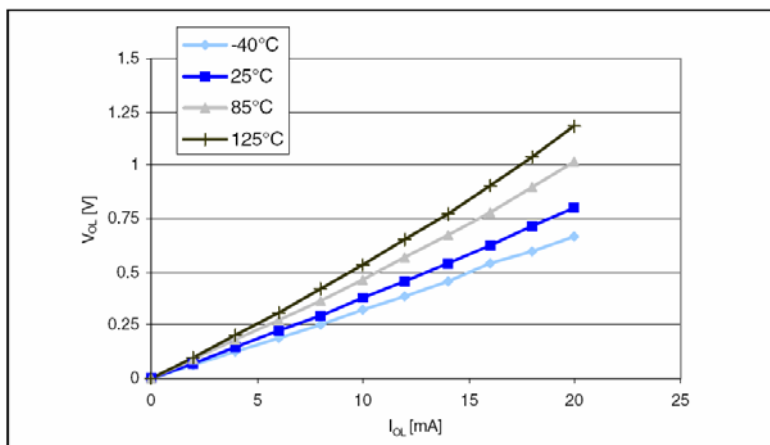


图28 $V_{DD} = 3.3V$ 时，典型的 $V_{DD}-V_{OH}$ 曲线(标准端口)

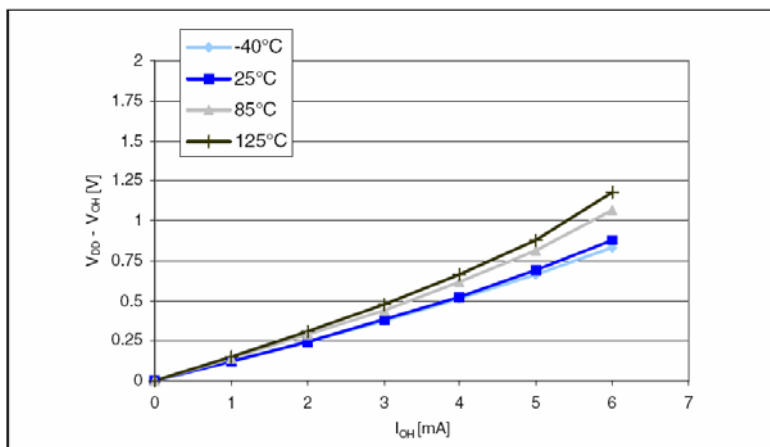


图29 $V_{DD} = 5.0V$ 时，典型的 $V_{DD}-V_{OH}$ 曲线(标准端口)

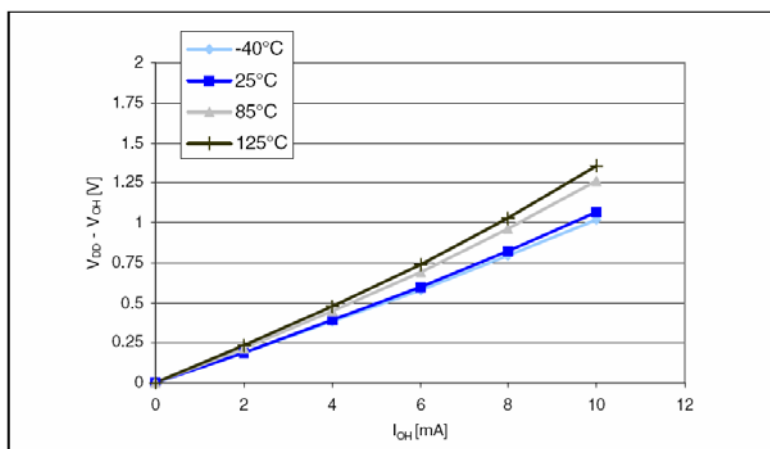


图30 $V_{DD} = 3.3V$ 时，典型的 $V_{DD}-V_{OH}$ 曲线(吸收大电流端口)

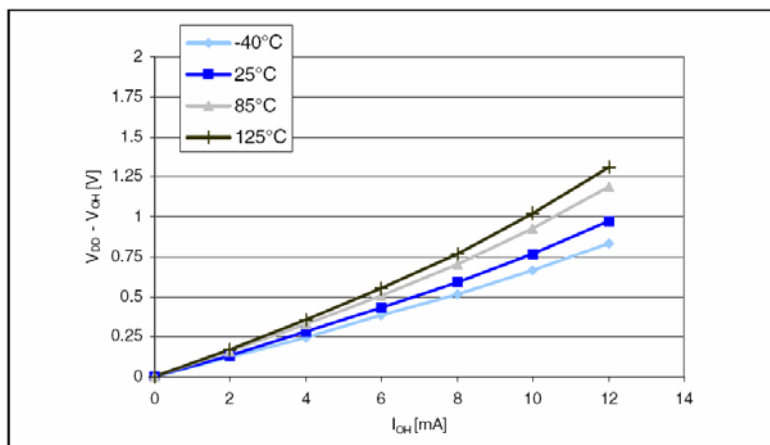
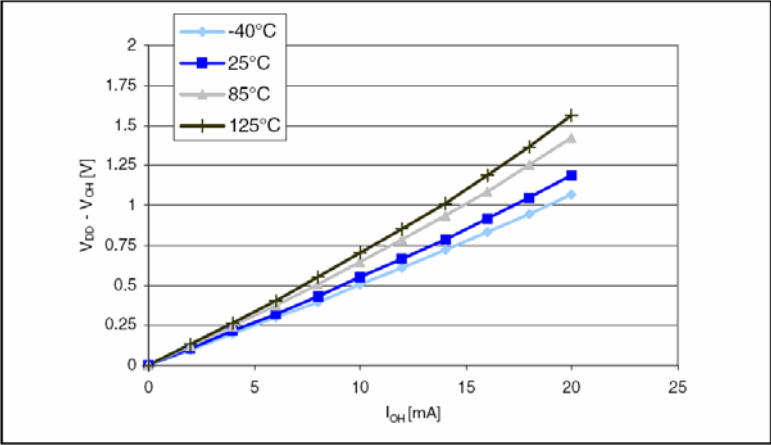


图31 $V_{DD} = 5.0V$ 时，典型的 $V_{DD}-V_{OH}$ 曲线(吸收大电流端口)



9.3.7 复位管脚特性

除非特别说明，数据均对应于MCU运行在通常的 V_{DD} 及 T_A 条件下。

表40 NRST管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{NRST})$	NRST输入低电平 ⁽¹⁾		-0.3V		$0.3 \times V_{DD}$	V
$V_{IH}(\text{NRST})$	NRST输入高电平 ⁽¹⁾		$0.7 \times V_{DD}$		$V_{DD} + 0.3$	
$V_{OL}(\text{NRST})$	NRST输出低电平 ⁽¹⁾	$I_{OL}=2\text{mA}$			0.5	
$R_{PU}(\text{NRST})$	NRST上拉电阻 ⁽²⁾		30	40	60	k Ω
$t_{IFP}(\text{NRST})$	NRST输入滤波脉冲 ⁽³⁾				75	ns
$t_{INFP}(\text{NRST})$	NRST输入无滤波脉冲 ⁽³⁾		500			ns
$t_{OP}(\text{NRST})$	NRST输出脉冲 ⁽³⁾		15			μs

1. 数据基于特性总结得出，没有在生产中测试。
2. R_{PU} 上拉等效阻抗是基于一个有阻抗的晶体管。
3. 数据由设计保证，没有在生产中测试。

图32 在4种温度条件下NRST的典型 V_{IL} 和 V_{IH} 相对于 V_{DD} 的变化

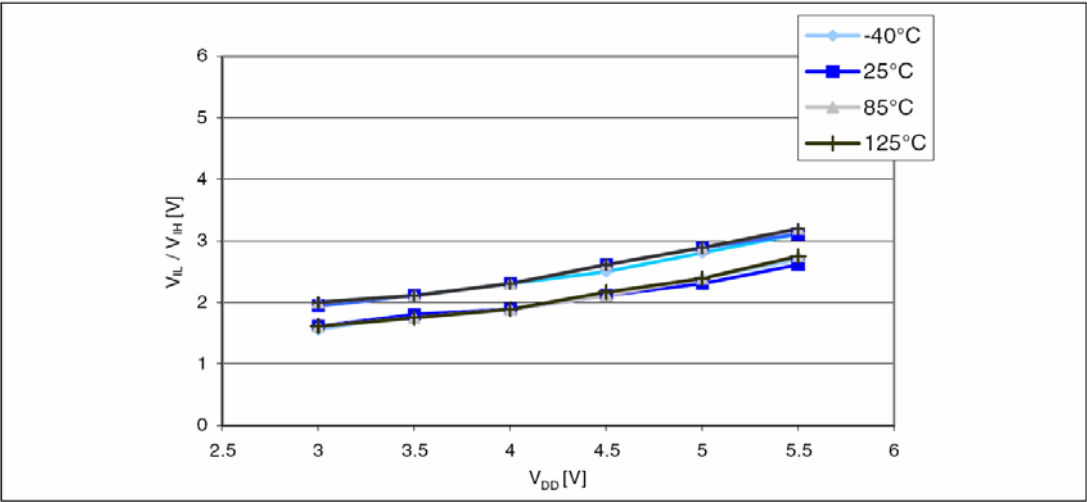


图33 在4种温度条件下NRST的典型上拉阻抗 R_{PU} 相对于 V_{DD} 的变化

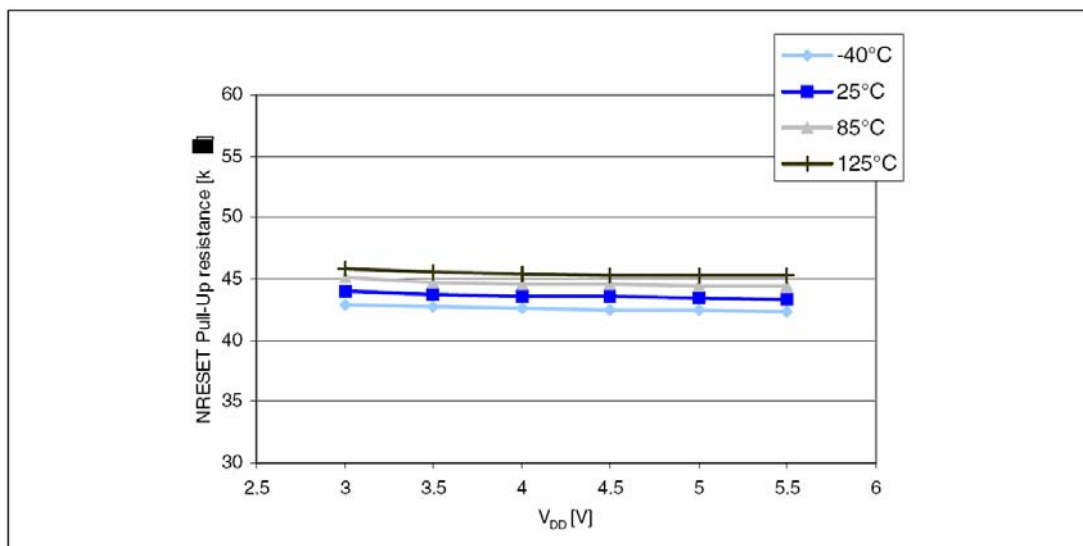
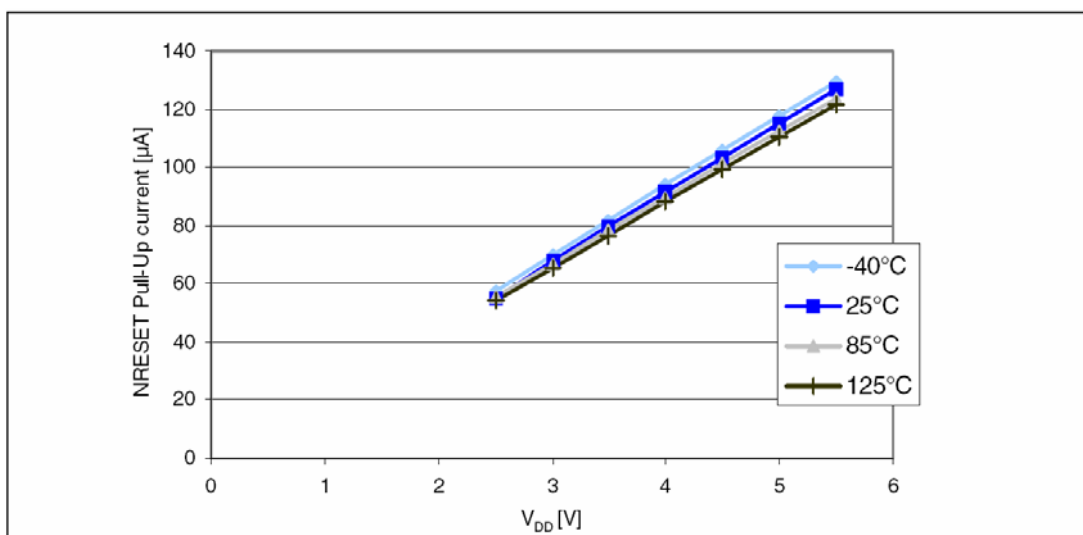
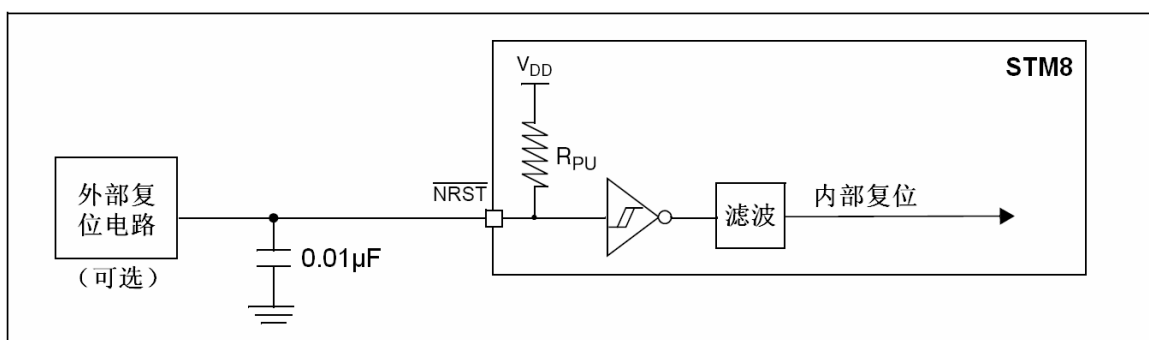


图34 在4种温度条件下NRST的典型上拉电流 I_{PU} 相对于 V_{DD} 的变化



下图中的复位网络保护芯片不被意外复位。用户必须确保NRST引脚上的电平能够低于表36中 V_{IL} 极限值。否则芯片将不能够被复位。

图35 推荐的复位引脚保护



9.3.8 串行外设接口(SPI)

除非特别指定，下表中的参数是在通常的环境温度、 f_{MASTER} 频率和 V_{DD} 供电电压条件下测量得到的。 $t_{\text{MASTER}} = 1/f_{\text{MASTER}}$

更多关于输入/输出复用功能特性(NSS, SCK, MOSI, MISO)的细节请参考I/O端口特性。

表41 SPI特性

符号	参数	条件 ⁽¹⁾	最小值	最大值	单位
f_{SCK} $1/t_{\text{c(SCK)}}$	SPI时钟频率	主模式	0	10	MHz
		从模式	0	10	
$t_{\text{r(SCK)}}$ $t_{\text{f(SCK)}}$	SPI时钟上升和下降时间	电容负载: C = 30pF		25	ns
$t_{\text{SU(NSS)}}^{(1)}$	NSS建立时间	从模式	$4 \times t_{\text{MASTER}}$		
$t_{\text{H(NSS)}}^{(1)}$	NSS保持时间	从模式	70		
$t_{\text{W(SCKH)}}^{(1)}$ $t_{\text{W(SCKL)}}^{(1)}$	SCK高和低的时间	主模式	110	140	
$t_{\text{SU(MI)}}^{(1)}$ $t_{\text{SU(SI)}}^{(1)}$	数据输入建立时间	主模式	5		
		从模式	5		
$t_{\text{H(MI)}}^{(1)}$ $t_{\text{H(SI)}}^{(1)}$	数据输入保持时间	主模式	7		
		从模式	10		
$t_{\text{a(SO)}}^{(1)(2)}$	数据输出访问时间	从模式 $f_{\text{MASTER}}=16\text{MHz}$, $f_{\text{SCK}}=8\text{MHz}$		400	
		从模式		$4 \times t_{\text{MASTER}}$	
$t_{\text{dis(SO)}}^{(1)(3)}$	数据输出禁止时间	从模式	25		
$t_{\text{V(SO)}}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)		100	
$t_{\text{V(MO)}}^{(1)}$	数据输出有效时间	主模式(使能边沿之后)		30	
$t_{\text{H(SO)}}^{(1)}$ $t_{\text{V(MO)}}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	100		
		主模式(使能边沿之后)	6		

1. 数据基于设计模拟和/或特性总结得出，没有在生产中测试。
2. 最小时间是指驱动到输出的最小时间，最大时间是指数据在端口上有效的最长时间。
3. 最小时间是指输出变为无效的最小时间，最大时间是指端口上的数据变为高阻态的最长时间。

图36 SPI时序图 — 从模式并且CPHA=0

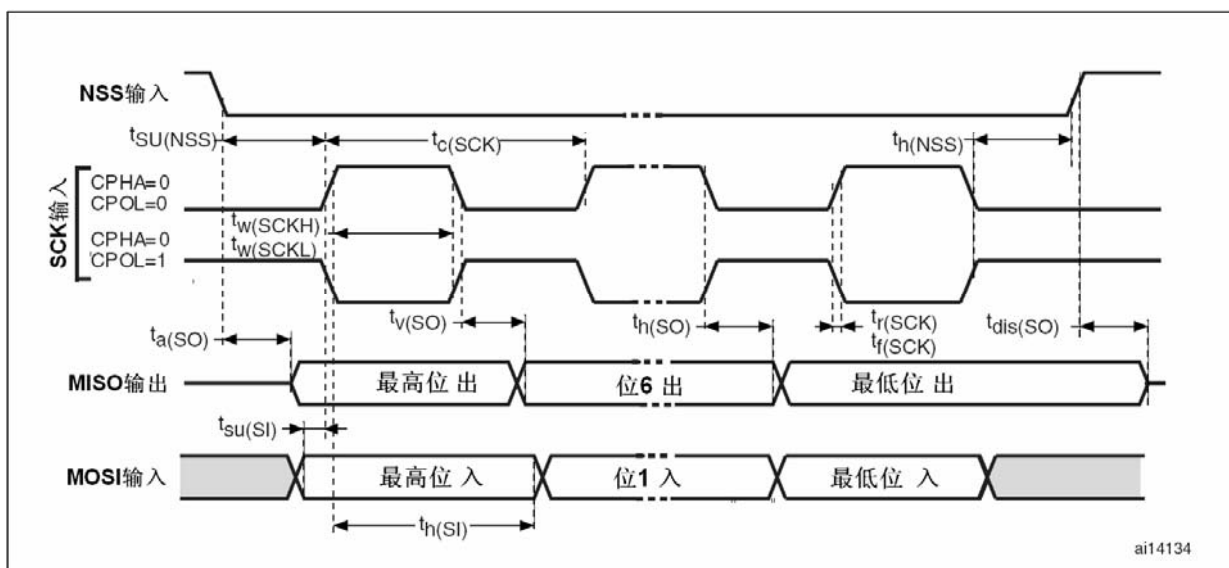


图37 SPI时序图 — 从模式并且CPHA=1⁽¹⁾

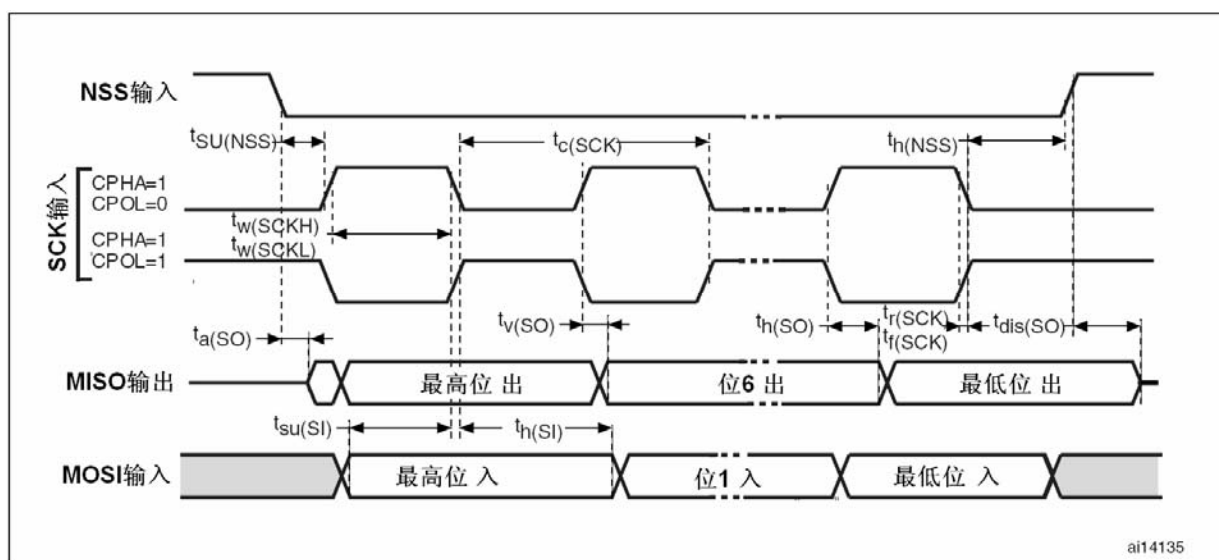
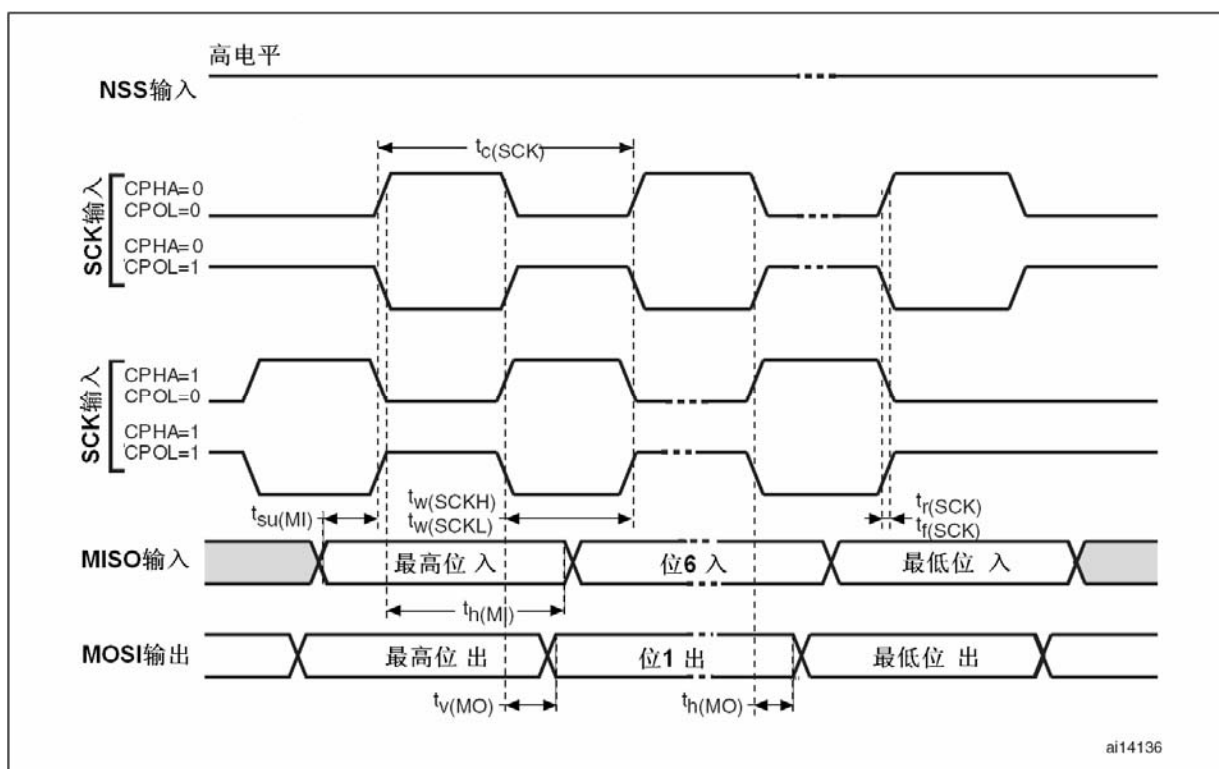


图38 SPI时序图 — 主模式⁽¹⁾



9.3.9 I²C接口特性

表42 I²C特性

符号	参数	标准I ² C模式		快速I ² C模式 ⁽¹⁾		单位
		最小值 ⁽²⁾	最大值 ⁽²⁾	最小值 ⁽²⁾	最大值 ⁽²⁾	
t _w (SCLL)	SCL时钟低时间	4.7		1.3		μs
t _w (SCLH)	SCL时钟高时间	4.0		0.6		
t _{su} (SDA)	SDA建立时间	250		100		ns
t _h (SDA)	SDA数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
t _r (SDA) t _r (SCL)	SDA和SCL上升时间		1000		300	
t _f (SDA) t _f (SCL)	SDA和SCL下降时间		300		300	
t _h (STA)	开始条件保持时间	4.0		0.6		μs
t _{su} (STA)	重复的开始条件建立时间	4.7		0.6		
t _{su} (STO)	停止条件建立时间	4.0		0.6		μs
t _w (STO:STA)	停止至开始条件时间(总线空闲)	4.7		1.3		μs
C _b	每条总线的容性负载		400		400	pF

1. f_{MASTER}至少为8MHz才能达到最快的I²C速度(400kHz)。
2. 数据基于标准I²C协议的需要，没有在生产中测试。
3. 如果接口不允许延长低电平时间，则只需要遵守开始条件的最长保持时间。
4. 为了跳过SCL下降沿的不确定区域，芯片必须在内部为SDA提供一个至少300ns的保持时间。

9.3.10 10 位ADC特性

V_{DDA}、f_{MASTER}和T_A在通常的操作条件下，除非特别说明。

表43 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{ADC}	ADC时钟频率	V _{DDA} = 2.95~5.5V	1		4	MHz
		V _{DDA} = 4.5~5.5V	1		6	
V _{DDA}	模拟供电		3		5.5	V
V _{REF+}	正参考电压		2.75 ⁽¹⁾		V _{DDA}	V
V _{REF-}	负参考电压		V _{SSA}		0.5 ⁽¹⁾	V
V _{AIN}	转换电压范围 ⁽²⁾		V _{SSA}		V _{DDA}	V
		具有V _{REF+} 和V _{REF-} 的型号	V _{REF-}		V _{REF+}	V
C _{ADC}	内部采样保持电容			3		pF
t _s ⁽²⁾	采样时间	f _{ADC} = 4MHz	0.75			μs
		f _{ADC} = 6MHz	0.5			
t _{STAB}	从待机模式唤醒时间			7		μs
t _{CONV}	总转换时间(包括采样时间，10位分辨率)	f _{ADC} = 4MHz	3.5			μs
		f _{ADC} = 6MHz	2.33			μs

表44 $R_{AIN} < 10k\Omega$, $V_{DDA} = 3.3V$ 条件下ADC的精确度

符号	参数	条件	典型值	最大值 ⁽¹⁾	单位
E _T	总误差 ⁽²⁾	f _{ADC} = 2MHz	1.1	2	LSB
		f _{ADC} = 4MHz	1.6	2.5	
E _O	偏移误差 ⁽²⁾	f _{ADC} = 2MHz	0.7	1.5	
		f _{ADC} = 4MHz	1.3	2	
E _G	增益误差 ⁽²⁾	f _{ADC} = 2MHz	0.2	1.5	
		f _{ADC} = 4MHz	0.5	2	
E _D	微分线性误差 ⁽²⁾	f _{ADC} = 2MHz	0.7	1	
		f _{ADC} = 4MHz	0.7	1	
E _L	积分线性误差 ⁽²⁾	f _{ADC} = 2MHz	0.6	1.5	
		f _{ADC} = 4MHz	0.6	1.5	

1. 基于对具有V_{REF+}/V_{REF-}的LQFP80产品数据特性总结，没有在生产中测试。

2. ADC精度与负的注入电流的关系：必须避免在任何模拟输入管脚注入负的电流，这会显著地降低将要在另一个模拟输入上的转换精度。建议在可能产生潜在的负注入电流的标准模拟管脚上增加一个肖特基二极管。任何正的注入电流，只要不超过9.3.6节的I_{INJ(PIN)}和ΣI_{INJ(PIN)}，则不会影响ADC的精度。

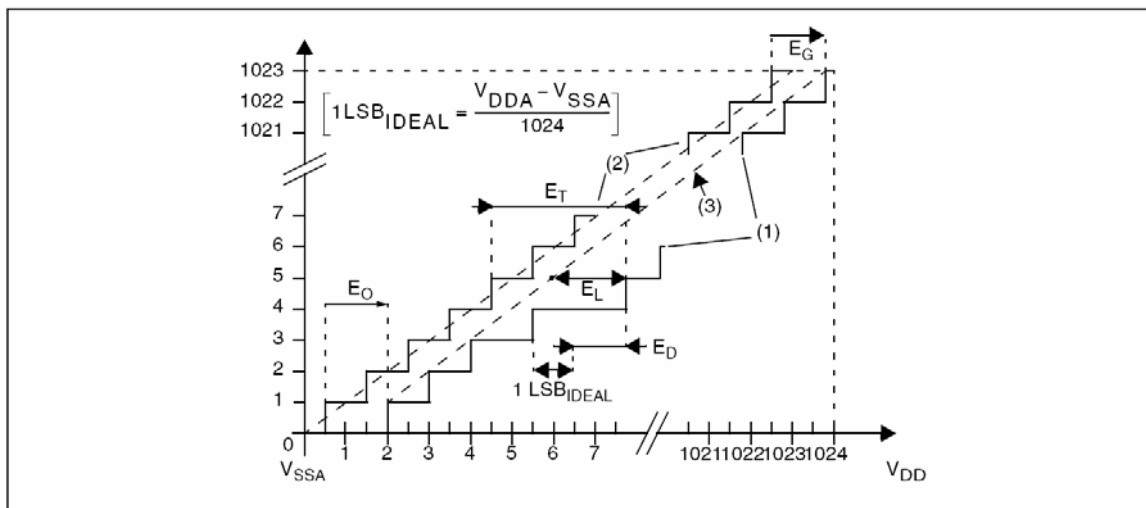
表45 $R_{AIN} < 10k\Omega$, $V_{DD} = 5V$ 条件下ADC的精确度

符号	参数	条件	典型值	最大值 ⁽¹⁾	单位
E _T	总误差 ⁽²⁾	f _{ADC} = 2MHz	1	2.5	LSB
		f _{ADC} = 4MHz	1.4	3	
		f _{ADC} = 6MHz	1.6	3.5	
E _O	偏移误差 ⁽²⁾	f _{ADC} = 2MHz	0.6	2	
		f _{ADC} = 4MHz	1.1	2.5	
		f _{ADC} = 6MHz	1.2	2.5	
E _G	增益误差 ⁽²⁾	f _{ADC} = 2MHz	0.2	2	
		f _{ADC} = 4MHz	0.6	2.5	
		f _{ADC} = 6MHz	0.8	2.5	
E _D	微分线性误差 ⁽²⁾	f _{ADC} = 2MHz	0.7	1.5	
		f _{ADC} = 4MHz	0.7	1.5	
		f _{ADC} = 6MHz	0.8	1.5	
E _L	积分线性误差 ⁽²⁾	f _{ADC} = 2MHz	0.6	1.5	
		f _{ADC} = 4MHz	0.6	1.5	
		f _{ADC} = 6MHz	0.6	1.5	

1. 正在进行数据特性总结。

2. ADC精度与负的注入电流的关系：必须避免在任何模拟输入管脚注入负的电流，这会显著地降低将要在另一个模拟输入上的转换精度。建议在可能产生潜在的负注入电流的标准模拟管脚上增加一个肖特基二极管(连接到地

图39 ADC的精确度特性



1. 一个真实的转换曲线例子

2. 理想的转换曲线

3. 端点连接线

E_T = 总误差: 实际的转换曲线与理想的转换曲线的最大偏差。

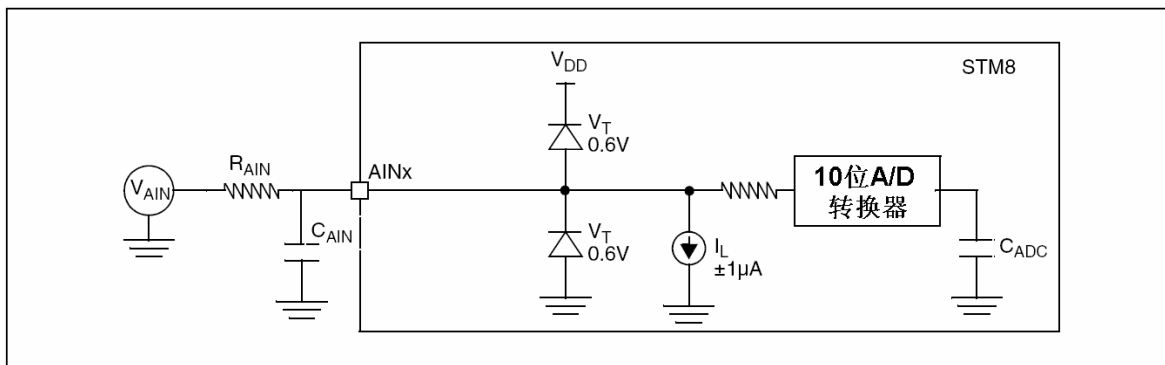
E_O = 偏移误差: 第一个实际的转换值与第一个理想的转换值之间的偏差

E_G = 增益误差: 最后一个实际的转换值与最后一个理想的转换值之间的偏差

E_D = 差分线性误差: 实际的转换步长与理想的转换步长之间的最大偏差

E_L = 积分线性误差: 在任何实际转换值与端点连接线的最大偏差

图40 ADC的典型应用



9.3.11 EMC特性

兼容性测试是在产品评定中一个样本基础上进行的。

功能EMS(电磁兼容)

产品在两种电磁测试环境下运行一个简单的应用程序(用I/O端口翻转两个LED)直到失效发生(在LED上表现出来)。

- **ESD:** 静电放电(正向和反向)加载在芯片的所有引脚上, 直到功能性干扰发生。测试遵守IEC 1000-4-2标准。
- **FTB:** 快速脉冲群电压(正向和反向)经过一个100pF的电容加载在 V_{DD} 和 V_{SS} 上, 直到功能性干扰发生。测试遵守IEC 1000-4-4标准。

设备复位允许正常的操作继续进行。表中的测试结果是基于[应用笔记AN1709](#)中定义的EMS等级和分类得到的。

设计可靠的软件以避免噪声问题

EMC性能评定和优化是在典型的应用环境和简单的MCU软件下元器件级别的测试。应该注意的是良好的EMC性能高度依赖于用户的应用和特殊的软件。



参照2009年2月STM8S105xx 数据手册英文第6版

www.bdtic.com/ST

因此建议用户进行EMC软件优化，并且针对应用的EMC等级要求进行预先的测试。

软件要求

软件流程中必须包括对于失控情况的处理，例如：

- 程序指针错误
- 意外复位
- 关键数据纠错(控制寄存器等)

评估试验

大多数一般失效(意外复位和程序指针错误)能够恢复，通过在NRST引脚或振荡器引脚上加上1秒钟的低电平。

为了完成这种试验，ESD信号可以被直接加载在芯片引脚上，可超出指定的范围。当检测到意外的状态时，软件能够阻止不可恢复的错误发生(参见[应用笔记AN1015](#))。

表46 EMS数据

符号	参数	条件	级别/等级
V_{FESD}	施加到任意I/O脚上的静电电压，导致功能失效的极限。	$V_{DD}=5V$, $T_A=+25^{\circ}C$, $f_{MASTER}=16MHz$, 遵循IEC 1000-4-2标准	2B
V_{EFTB}	通过一个100pF的电容，施加到 V_{DD} 和 V_{SS} 脚上的快速脉冲群电压，导致功能失效的极限。	$V_{DD}=5V$, $T_A=+25^{\circ}C$, $f_{MASTER}=16MHz$, 遵循IEC 1000-4-4标准	4A

电磁干扰(EMI)

电磁干扰测试遵循为测试软件、板卡布局和引脚负载制定的SAE J 1752/3 标准。

表47 EMI数据

符号	参数	条件				单位	
		一般条件	监视频率段	最大 $f_{HSE}/f_{CPU}^{(1)}$			
				16MHz/ 8MHz	16MHz/ 16MHz		
S_{EMI}	尖峰级别	$V_{DD}=5V$, $T_A=+25^{\circ}C$, LQFP48封装 遵循SAE J 1752/3	0.1MHz~30MHz	13	14	dBμV	
			30MHz~130MHz	23	19		
			130MHz~1GHz	-4	-4		
	SAE EMI级别			2	1.5	-	

1. 数据基于特性总结得出，没有在生产中测试。

最大绝对等级(电子敏感性)

为了确定产品在电子敏感性方面的性能，使用特定的测试方法进行了两种不同的测试(ESD和LU)。更加详尽的内容参见[应用笔记AN1181](#)。

静电放电(ESD)

静电放电(3个正向脉冲，接着是3个反向脉冲，间隔为1秒)根据引脚的组合加载在每一组样本引脚上。样本的大小取决于芯片供电引脚的数目(3个样本x(n+1)供电引脚)。测试符合JESD22-A114A/A115A标准。更多详尽的内容参见[应用笔记AN1181](#)。

表48 ESD绝对最大等级

符号	评级	条件	等级	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A=+25^{\circ}C$ ，遵循JESD22-A114	A	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	LQFP32封装， $T_A=+25^{\circ}C$ ，遵循JESD22-C101	IV	1000	V

静态死锁

为了获得死锁性能，需要在10个样片上进行两种相反的静态测试。

- 供电过压(加载到每一个电源供电引脚)和
- 在每一个样片上进行电流注入(加载到每一个输入、输出和可配置的I/O上)

测试符合EIA/JESD 78 IC死锁标准。更多详尽的内容参见[应用笔记AN1181](#)。

表49 电子敏感性

符号	参数	条件	等级 ⁽¹⁾
LU	静态死锁等级	T _A =+25℃	A
		T _A =+85℃	A
		T _A =+125℃	A

1. 等级说明：A等级是STMicroelectronics的内部规范。它的所有限制高于JEDEC规范，也就是说一个符合A等级的芯片超出了JEDEC标准。B等级严格符合所有JEDEC标准(国际标准)。

9.4 热特性

芯片的最大结温(T_{Jmax})一定不能超过表17给出的数值范围。

芯片的最大结温(T_{Jmax})用摄氏温度表示，可用下面的公式计算：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

这里：

- T_{Amax}是最大的环境温度，用℃表示
- Θ_{JA} 是封装结到环境的热阻抗，用℃/W标示
- P_{Dmax}是P_{INTmax}和P_{I/Omax}的和(P_{Dmax}= P_{INTmax}+ P_{I/Omax})
- P_{INTmax}是I_{DD}和V_{DD}的积，用瓦特(Watt)表示，是芯片的最大内部功耗
- P_{I/Omax}是所有输出引脚的最大功率消耗

这里：

$$P_{I/Omax} = \sum (V_{OL} \cdot I_{OL}) + \sum ((V_{DD} - V_{OH}) \cdot I_{OH})$$

考虑在应用中I/O上低电平和高电平的实际的V_{OL}*I_{OL}和V_{OH}*I_{OH}。

表50 热特性⁽¹⁾

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗—— LQFP48 – 7x7mm	57	℃/W
Θ_{JA}	结到环境的热阻抗—— LQFP44 – 10x10mm	54	℃/W
Θ_{JA}	结到环境的热阻抗—— LQFP32 – 7x7mm	59	℃/W
Θ_{JA}	结到环境的热阻抗—— VFQFN32 – 5x5mm	21.6	℃/W

1. 热阻抗是基于自然对流环境下，对符合JEDEC JESD51-2标准的4层PCB板测量得到的。

9.4.1 参考文档

JESD51-2 集成电路热测量环境条件 – 自然对流(空气静止)。

参见www.jedec.org。

9.4.2 选择产品的温度范围

当订购微控制器时，温度范围在订购代码中指定(见第11章)。

下面的例子说明如何根据特定的应用计算需要的温度范围。

假设下面的应用条件：

- 最大环境温度T_{Amax} = 75℃(根据JESD51-2标准测量)
- I_{DDmax} = 15 mA, V_{DD} = 5.5 V



参照2009年2月STM8S105xx 数据手册英文第6版

www.bdtic.com/ST

- 同时最多有8个I/O端口处于输出低电平 $I_{OL}=10\text{mA}$, $V_{OL}=2\text{V}$
- 同时最多有4个大电流吸收的I/O端口处于输出低电平 $I_{OL}=20\text{mA}$, $V_{OL}=1.5\text{V}$
- 同时最多有2个真开漏的I/O端口处于输出低电平 $I_{OL}=20\text{mA}$, $V_{OL}=2\text{V}$

$$P_{INTmax} = 15\text{mA} \times 5.5\text{V} = 82.5\text{mW}$$

$$P_{IOmax} = (10\text{mA} \times 2\text{V} \times 8) + (20\text{mA} \times 2\text{V} \times 2) + (20\text{mA} \times 1.5\text{V} \times 4) = 360\text{mW}$$

这样得到了: $P_{INTmax} = 82.5\text{mW}$ 和 $P_{IOmax} = 360\text{mW}$:

$$P_{Dmax} = 82.5\text{mW} + 360\text{mW}$$

$$\text{因此 } P_{Dmax} = 443\text{mW}$$

根据表50中得到的数据如下计算 T_{Jmax} :

对于LQFP32 59°C/W

$$T_{Jmax} = 75^\circ\text{C} + (59^\circ\text{C/W} \times 443\text{mW}) = 75^\circ\text{C} + 27^\circ\text{C} = 102^\circ\text{C}$$

结果在尾缀为6的版本($-40 < T_J < 106^\circ\text{C}$)温度范围内。

在这个例子中, 最低要订购温度范围尾缀为6的芯片。

表51 结温度范围

符号	参数	条件	订购代码尾缀为6 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)		订购代码尾缀为3 ($T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$)		单位
			最小值	最大值	最小值	最大值	
T_J	结温度范围	LQFP48	-40	110	-40	150	$^\circ\text{C}$
		LQFP44	-40	108	-40	149	
		LQFP32	-40	106	-40	146	
		VQFN32	-40	93	-40	133	

图43 32脚低剖面方形扁平封装尺寸(7x7)

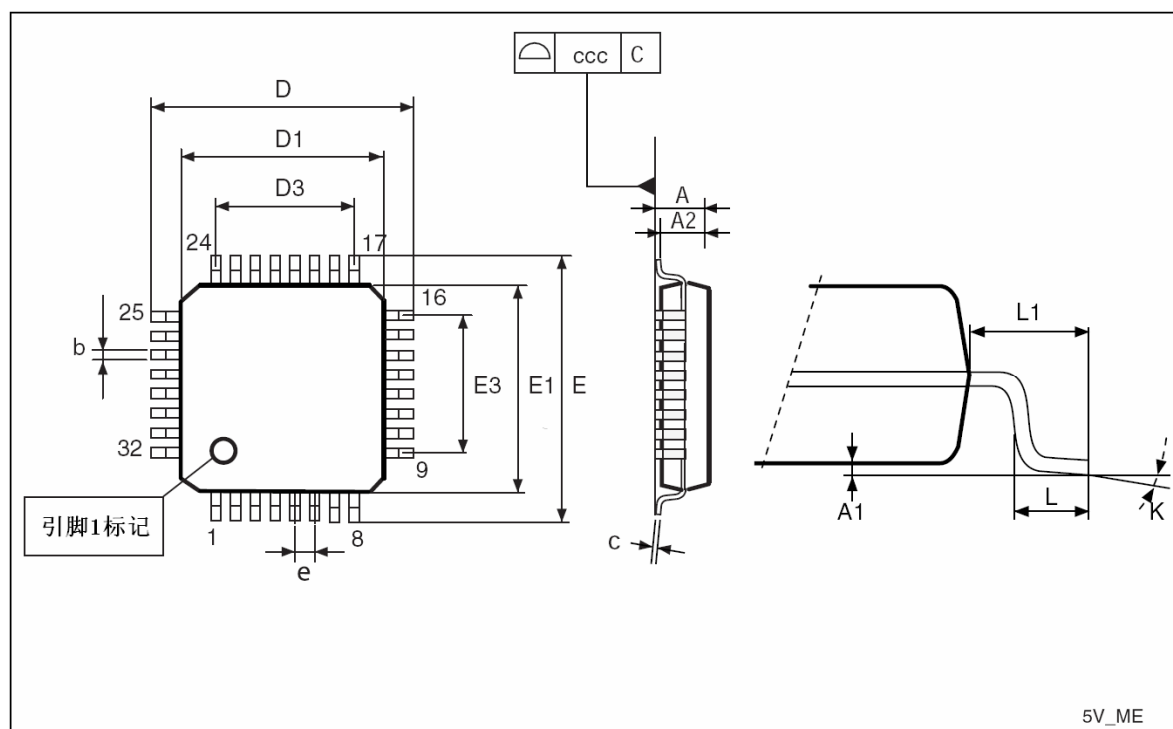


表54 32脚低剖面方形扁平封装尺寸(7x7)

标号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.300	0.370	0.450	0.0118	0.0146	0.0177
c	0.090		0.200	0.0035		0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3		5.600			0.2205	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.600			0.2205	
e		0.800			0.0315	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
ccc			0.100			0.0039

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

10.1.2 QFN封装机械数据

图44 32脚薄细间距方形扁平无引脚QFN封装(5x5)

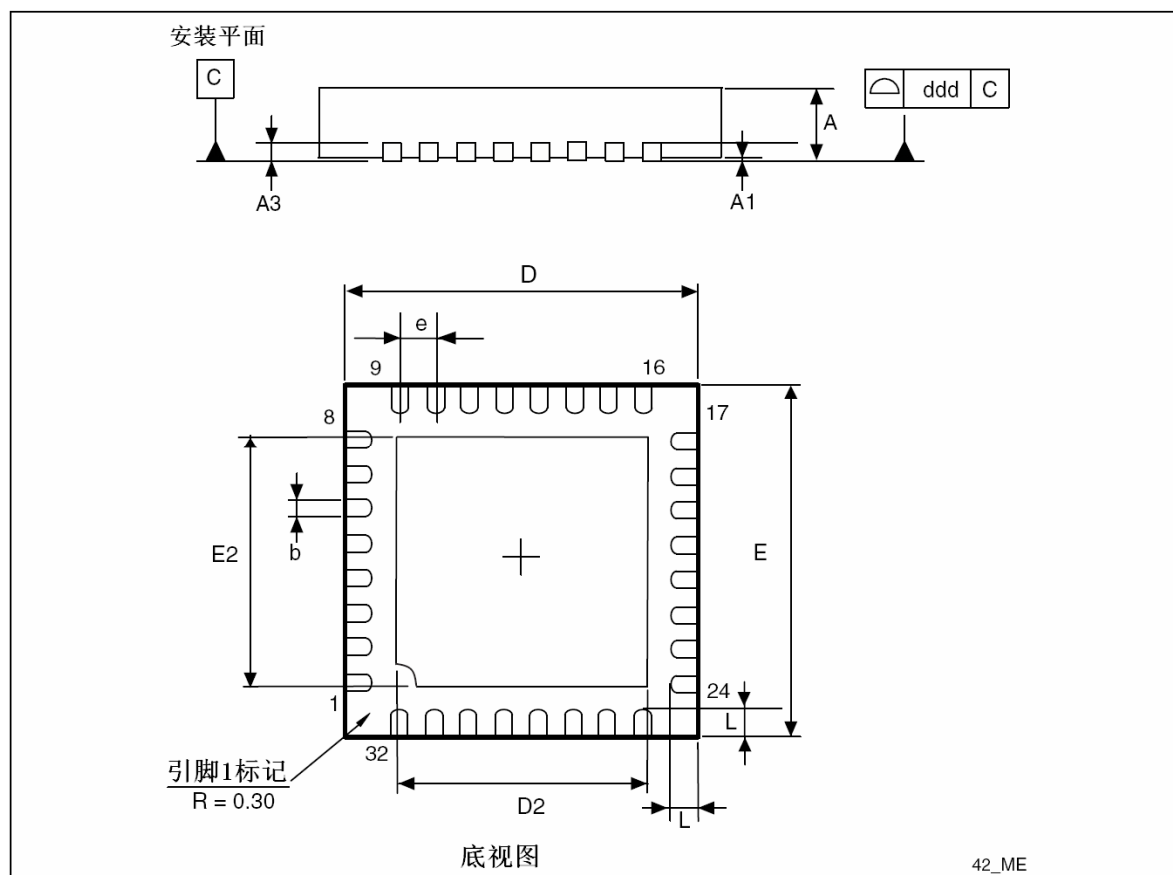


表55 32脚薄细间距方形扁平无引脚QFN封装封装数据

标号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.80	0.90	1.00	0.0315	0.0354	0.0394
A1	0	0.02	0.05		0.0008	0.0020
A3		0.20			0.0079	
b	0.18	0.25	0.30	0.0071	0.0098	0.0118
D	4.85	5.00	5.15	0.1909	0.1969	0.2028
D2	3.20	3.45	3.70	0.1260	0.1358	0.1457
E	4.85	5.00	5.15	0.1909	0.1969	0.2028
E2	3.20	3.45	3.70	0.1260	0.1358	0.1457
e		0.50			0.0197	
L	0.30	0.40	0.50	0.0118	0.0157	0.0197
ddd			0.08			0.0031

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

11 订购信息

图45 STM8S105xx基础型订购信息表

Example:	STM8	S	105	K	4	T	6
Product class STM8 microcontroller							
Family type S = Standard							
Sub-family type 105 = access line STM8S105x							
Pin count K = 32 pins S = 44 pins C = 48 pins							
Program memory size 4 = 16 Kbytes 6 = 32 Kbytes							
Package type U = VFQFPN T = LQFP							
Temperature range 3 = -40 °C to 125 °C 6 = -40 °C to 85 °C							
Package pitch no character = 0.5 mm C = 0.8 mm							
Packing no character = tray or tube TR = tape and reel							

如果需要可用的选择和可订购的型号列表，或者关于这颗芯片任何方面的更多信息，请到 www.st.com 网站或者联络离您最近的ST销售机构。



参照2009年2月STM8S105xx 数据手册英文第6版

www.bdtic.com/ST

12 STM8开发工具 (本章从略)

12.1 仿真和在线调试工具

12.2 软件工具

12.2.1 STM8 工具套件

12.2.2 C和汇编工具

12.2.3 编程工具



13 (英文)版本修改记录

表56 文档版本修改记录

Date	Revision	Changes
05-Jun-2008	1	Initial release.
23-Jun-2008	2	Corrected number of high sink outputs to 9 in I/Os on page 1 . Updated part numbers in Table 2: STM8S105xx access line features on page 9 .
12-Aug-2008	3	Updated part numbers in Table 2: STM8S105xx access line features on page 9 . USART renamed UART1, LINUART renamed UART2. Added Table 6: Pin-to-pin comparison of pin 7 to 12 in 32-pin access line devices on page 26
17-Sep-2008	4	Removed STM8S102xx and STM8S104xx root part numbers corresponding to devices without data EEPROM. Updated STM8S103 pinout in Section 5.2 on page 29 . Added low and medium density Flash memory categories. Added Note 1 in Table 19: Current characteristics . Updated Table 6: Option bytes on page 39 .
05-Feb-2009	5	Updated STM8S103 pinout in Section 5.2 on page 29 Updated number of High Sink I/Os in pinout. TSSOP20 pinout modified (PD4 moved to pin 1 etc.) Added WFQFN20 package Updated Section 6: Option bytes on page 39 Added Section 7: Memory and register map on page 44
27-Feb-2009	6	Removed STM8S103x products (separate STM8S103 datasheet created) Updated Section 8: Electrical characteristics